



初版

S6E2HE4E0A、S6E2HE6E0A
S6E2HE4F0A、S6E2HE6F0A
S6E2HE4G0A、S6E2HE6G0A

基于32位ARM® Cortex®-M4F
FM4微控制器

S6E2HE 系列产品是高度集成的 32 位微控制器，具有高性能和低成本优势。此系列微控制器基于 ARM Cortex-M4F 处理器、集成片上闪存和 SRAM。此外，它还集成电机控制定时器，A/D 转换器和通信接口（UART、CSIO、I²C、LIN）等各种外设。

特性

32 位 ARM Cortex-M4F 内核

- 处理器版本: r0p1
- 工作频率高达 160 MHz
- 内置 FPU
- 支持 DSP 指令
- 内存保护单元 (MPU): 提升嵌入式系统可靠性
- 嵌套向量中断控制器 (NVIC): 1 个 NMI (不可屏蔽中断)、128 个外设中断以及 16 个中断优先级
- 24 位系统定时器 (系统节拍定时器): 用于操作系统任务调度

片上存储器

■ 闪存

本系列包括两个独立的集成片上闪存。

□ 主闪存

- 最大 512 KB
- 内置闪存加速系统，自带 16 KB 追踪缓冲存储器
- 可在 72 MHz 的工作频率下对闪存执行读操作，无须等待周期。通过闪存加速系统，在高于 72 MHz 的工作频率下，也可以对闪存执行相当的读取操作。
- 代码安全保护功能

□ 工作闪存

- 32 KB
- 读周期:
 - 6 个等待周期: 工作频率为 120 MHz 以上，最高可达 160 MHz
 - 4 个等待周期: 工作频率为 72 MHz 以上，最高可达 120 MHz
 - 2 个等待周期: 工作频率为 40 MHz 以上，最高可达 72 MHz
 - 无等待周期: 工作频率最高可达 40 MHz
 - 为代码保护提供加密功能

■ SRAM

本系列的 SRAM 由三个独立的 SRAM (SRAM0、SRAM1 和 SRAM2) 构成。SRAM0 挂在 Cortex-M4F 内核的 I-code 总线或 D-code 总线。SRAM1 和 SRAM2 挂在 Cortex-M4F 内核的系统总线。

□ SRAM0: 最大 32 KB

□ SRAM1: 最大 16 KB

□ SRAM2: 最大 16 KB

外部总线接口

- 支持 SRAM, NOR、NAND 闪存和 SDRAM 器件
- 最多支持 9 个片选信号，分别为 CS0 到 CS8 (其中 CS8 仅适用于 SDRAM)
- 8/16 位数据宽度
- 最多支持 25 位的地址总线
- 支持地址/数据复用
- 支持外部 RDY 功能
- 支持加扰功能
 - 可以使能/禁用 0x6000_0000 到 0xFFFF_FFFF (大小以 4 MB 为单位) 的外部存储区加扰功能。
 - 能够设置两种加扰密钥
 - **注意:** 必须调用专用的软件库才能实现该功能。

多功能串行接口 (最多支持 8 个通道)

- 64 字节的 FIFO (FIFO 深度取决于通信模式或位长度)。
- 各通道的操作模式如下:
 - UART
 - CSIO
 - LIN
 - I²C
- UART
 - 全双工双缓冲区
 - 可选择是否支持奇偶校验
 - 内置专用波特率发生器
 - 外部时钟可用作串行时钟
 - 硬件流控制：通过 CTS/RTS 自动控制传输 (仅通道 4)。
 - 支持多种错误检测 (奇偶校验错误、帧错误和溢出错误)

■ CSIO

- 全双工双缓冲区
- 内置专用波特率发生器
- 支持溢出错误检测
- 支持串行片选功能 (仅通道 6 和 7)
- 支持高速 SPI 接口 (仅通道 4 和 6)
- 5 到 16 位数据长度

■ LIN

- 支持 LIN 协议 2.1 版本
- 全双工双缓冲区
- 支持主设备/从设备模式
- 生成 LIN break field (LIN 间隔场) (长度 13 到 16 位可配置)
- 生成 LIN break delimiter (LIN 间隔符) (长度 1 到 4 位可配置)
- 支持多种错误检测 (奇偶校验错误、帧错误和溢出错误)

■ I²C

- 支持标准模式 (最高速度为 100 kbps) / 快速模式 (最高速度为 400 kbps)
- 支持高速模式 (Fm+) (最高速度为 1000 kbps, 仅通道 3 = 通道 A 和通道 7 = 通道 B)

DMA 控制器 (8 个通道)

DMA 控制器拥有独立总线, 可与 CPU 同时运行。

■ 8 个独立配置和运行的通道

- 可通过软件或内置外设请求触发数据传输
- 传输地址范围: 32 位 (4 GB)
- 传输模式: 块传输/突发传输/请求传输
- 传输数据类型: 字节/半字/字
- 传输块个数: 1 到 16
- 传输次数: 1 到 65536

DSTC (描述符系统数据传输控制器) (256 个通道)

DSTC 可高速传输数据而无需 CPU 干预。DSTC 采用描述符系统, 根据存储器中描述符的特定内容要求, 直接访问存储器/外设器件和执行数据传输操作。

支持软件激活、硬件激活和链式激活等功能。

A/D 转换器 (最多 24 个通道)**[12 位 A/D 转换器]**

- 逐次逼近型
- 内置 3 个单元
- 转换时间: 0.5 μs@5 V
- 支持优先转换模式 (2 个优先级)
- 扫描转换模式
- 内置 FIFO 存储转换数据 (扫描转换模式: 16 级; 优先转换模式: 4 级)

D/A 转换器 (最多 2 个通道)**■ R-2R 型**

- 12 位分辨率

基础定时器 (最多 8 个通道)

各通道的操作模式如下:

- 16 位 PWM 定时器
- 16 位 PPG 定时器
- 16/32 位重载定时器
- 16/32 位 PWC 定时器
- 事件计数器模式 (外部时钟模式)

通用 I/O 端口

本系列的引脚未用作外部总线或外设功能时, 可将其作为通用 I/O 端口使用。此外还支持端口重定位功能。该功能将 I/O 端口指定到可分配的外设。

- 引脚均可配置上拉功能
- 可直接读取引脚电平
- 支持端口重定位功能
- 120 引脚封装提供多达 100 个高速通用 I/O 端口
- 部分 I/O 引脚耐 5 V 输入电压。

请参考第 4 章引脚说明和第 5 章 I/O 电路类型以了解相关引脚。

多功能定时器 (最多 3 个单元)

多功能定时器由如下模块构成:

- 最小时钟精度: 6.25 ns
- 16 位自由运行定时器 × 3 个通道/单元
- 输入捕获 × 4 个通道/单元
- 输出比较 × 6 个通道/单元
- A/D 触发比较 × 6 个通道/单元
- 波形发生器 × 3 个通道/单元
- 16 位 PPG 定时器 × 3 个通道/单元

通过如下功能, 可实现电机控制:

- PWM 信号输出功能
- 直流斩波输出功能
- 死区控制功能
- 输入捕获功能
- A/D 转换器触发功能
- DTIF (电机紧急停止) 中断功能

实时时钟 (RTC)

实时时钟可记录年（从 00 到 99）、月、日、时、分、秒或星期。

- 支持指定日期和时间（年/月/日/时/分/秒/星期）中断。此功能还支持单独指定的年、月、日、时或分的中断。
- 中断可在一段时间后或者每间隔一段时间产生。
- 可保持时间计数的同时重设时间。
- 自动记录闰年。

正交位置/转数计数器 (QPRC) (最多 3 个通道)

正交位置/转数计数器 (QPRC) 用于测量位置编码器的位置。此外，也可以使用加减计数器。

- 可配置三个外部事件输入引脚 (AIN、BIN 和 ZIN) 的检测边沿。
- 16 位位置计数器
- 16 位转数计数器
- 2 个 16 位比较寄存器

双定时器 (32/16 位递减计数器)

双定时器由两个 32/16 位可编程递减计数器构成。各通道的操作模式如下：

- 自由运行
- 周期 (可重载)
- 单触发

计时计数器

计时计数器用于从低功耗模式唤醒器件。可以选择主时钟、副时钟、内置高速 CR 时钟或内置低速 CR 时钟作为时钟源。

间隔时间：使用 32.768 kHz 副时钟时支持长达 64 s（最大值）的间隔

外部中断控制器单元

- 外部中断输入引脚：最多 16 个引脚
 - 双边沿（上升沿和下降沿）检测
- 包括一个不可屏蔽中断 (NMI)

看门狗定时器 (2 个通道)

达到超时值，看门狗定时器可产生中断或引起复位。

本系列有两个看门狗定时器：一个“硬件”看门狗，一个“软件”看门狗。

硬件看门狗定时器由低速内部 CR 振荡器提供时钟。因此，硬件看门狗定时器能在停止模式除外的所有低功耗模式下运行。

CRC (循环冗余校验) 加速器

CRC 加速器用于验证数据传输或存储的完整性。

支持 CCITT CRC16 和 IEEE-802.3 CRC32。

■ CCITT CRC16 生成多项式：0x1021

■ IEEE-802.3 CRC32 生成多项式：0x04C11DB7

SD 卡接口

可支持符合如下标准 SD 卡。

- Part 1：物理层规范 3.01 版
- Part E1：SDIO 规范 3.00 版
- Part A2：SD 主机控制器标准规范 3.00 版
- 支持 1 位或 4 位数据总线

时钟和复位

[时钟]

5 个动态可选时钟源（两个外部振荡器、两个内部 CR 振荡器和主 PLL 振荡器）。

- 主时钟：4 MHz 到 48 MHz
- 副时钟：32.768 kHz
- 内部高速 CR 时钟：4 MHz
- 内部低速 CR 时钟：100 kHz
- 主 PLL 时钟

[复位]

- INITX 引脚复位
- 上电复位
- 软件复位
- 看门狗定时器复位
- 低电压检测复位
- 时钟监控器复位

时钟监控器 (CSV)

内部 CR 振荡器时钟被用于监控外部时钟的异常状态。

- 如果检测到外部 OSC 时钟故障（时钟停止），将产生复位。
- 如果检测到外部 OSC 频率不正常，将产生中断或复位。

低电压检测 (LVD)

本系列对 VCC 电压进行双重监控。当电压低于所设置的电压时，低电压检测产生中断或复位。

- LVD1：错误报告中断
- LVD2：自动复位

低功耗模式

支持 6 种低功耗模式。

- 睡眠模式
- 定时器模式
- RTC 模式
- 停止模式
- 深度待机 RTC 模式（可选择是否保持 RAM）
- 深度待机停止模式（可选择是否保持 RAM）

VBAT

RTC 操作期间，通过使用独立用于 RTC（记录电路）/32kHz 振荡电路的电源，可降低功耗。此时，以下电路可继续工作：

■RTC

■32 kHz 振荡电路

■上电电路

■备用寄存器：32 字节

■端口电路

■串行线 J-TAG 调试端口 (SWJ-DP)

■嵌入式追踪宏单元 (ETM) 支持全面高效的调试和追踪操作。

唯一 ID

器件的唯一 ID 号 (41 位)。

电源

两种电源

■ 宽电压范围：VCC = 2.7 V 到 5.5 V

■ VBAT 电源：VBAT = 2.7 V 到 5.5 V

调试

目录

1. 产品系列.....	7
2. 封装.....	8
3. 引脚分配.....	9
4. 引脚说明.....	13
5. I/O 电路类型	45
6. 处理注意事项.....	52
6.1 产品设计注意事项.....	52
6.2 封装安装注意事项.....	53
6.3 使用环境注意事项.....	55
7. 器件注意事项.....	56
8. 框图	59
9. 存储器大小	60
10. 存储空间分配.....	60
11. 各 CPU 模式下的引脚状态	63
12. 电气特性.....	70
12.1 最大绝对额定值	70
12.2 推荐工作条件.....	72
12.3 直流特性	75
12.3.1 电流额定值	75
12.3.2 引脚特性.....	85
12.4 交流电特性	87
12.4.1 主时钟输入特性	87
12.4.2 副时钟输入特性	88
12.4.3 内置 CR 振荡特性.....	88
12.4.4 主 PLL 模式（主时钟作为 PLL 输入时钟）	89
12.4.5 主 PLL 模式（内置高速 CR 时钟作为主 PLL 输入时钟）	89
12.4.6 复位输入特性	89
12.4.7 上电复位时序	90
12.4.8 GPIO 输出特性	91
12.4.9 外部总线时序	92
12.4.10 基础定时器输入时序	105
12.4.11 CSIO 时序	106
12.4.12 外部输入时序	139
12.4.13 正交位置/转数计数器时序	140
12.4.14 I ² C 时序.....	142
12.4.15 SD 卡接口时序	144
12.4.16 ETM 时序	146
12.4.17 JTAG 时序	147
12.5 12 位 A/D 转换器	148
12.6 12 位 D/A 转换器	151
12.7 低电压检测特性	152
12.7.1 低电压检测复位	152
12.7.2 低电压检测中断	152
12.8 主闪存写入/擦除特性	153
12.9 工作闪存存储器写入/擦除特性	153

12.10 低功耗模式唤醒时间	154
12.10.1 唤醒因素：中断/WKUP	154
12.10.2 唤醒因素：复位	156
13. 订购信息	158
14. 封装尺寸	159
文档修订记录	163
销售，解决方案和法律信息	164

1. 产品系列

存储器大小

产品名称	S6E2HE4E0A S6E2HE4F0A S6E2HE4G0A	S6E2HE6E0A S6E2HE6F0A S6E2HE6G0A
主闪存	256 KB	512 KB
工作闪存	32 KB	32 KB
片上 SRAM	32 KB	64 KB
SRAM0	16 KB	32 KB
SRAM1	8 KB	16 KB
SRAM2	8 KB	16 KB

功能

产品名称	S6E2HE4E0A S6E2HE6E0A	S6E2HE4F0A S6E2HE6F0A	S6E2HE4G0A S6E2HE6G0A		
引脚数量	80	100	120/121		
CPU	Cortex-M4F、MPU、NVIC 128 个通道				
	频率	160 MHz			
电压范围	2.7 V 到 5.5 V				
DMAC	8 个通道				
DSTC	256 个通道				
外部总线接口	地址: 19 位 (最多), R/W 数据: 8 位 (最多), CS: 5 (最多), SRAM, NOR 闪存	地址: 25 位 (最多), R/W 数据: 8/16 位 (最多), CS: 9 (最多), SRAM, NOR 闪存, SDRAM	地址: 25 位 (最多), R/W 数据: 8/16 位 (最多), CS: 9 (最多), SRAM, NOR 闪存, NAND 闪存, SDRAM		
多功能串行接口 (UART/CSIO/LIN/I ² C)	8 个通道 (最多)				
基础定时器 (PWC/重载定时器/PWM/PPG)	8 个通道 (最多)				
多功 能时 定时 器	A/D 触发比较	6 个通道	3 个单元 (最多)		
	输入捕获	4 个通道			
	自由运行定时器	3 个通道			
	输出比较	6 个通道			
	波形发生器	3 个通道			
	PPG	3 个通道			
SD 卡接口	1 个单元				
QPRC	3 个通道 (最多)				
双定时器	1 个单元				
实时时钟	1 个单元				
计时计数器	1 个单元				
CRC 加速器	支持				
看门狗定时器	1 个软件看门狗 + 1 个硬件看门狗				
外部中断	16 引脚 (最多) + NMI × 1				
I/O 端口	63 个引脚 (最多)	80 个引脚 (最多)	100 个引脚 (最多)		

12 位 A/D 转换器	16 个通道(3 个单元)	24 个通道 (3 个单元)
12 位 D/A 转换器		2 个单元 (最多)
CSV (时钟监控)		支持
LVD (低电压检测)		2 个通道
内置 CR	高速	4 MHz ($\pm 2\%$)
	低速	100 kHz (典型值)
调试功能		SWJ-DP/ETM
唯一 ID		支持

注意:

- 由于封装引脚数量限制，不能对每种产品中外设功能的所有信号进行分配，需要根据所需功能来使用 I/O 端口的重定位功能。
- 请参考第 12.4.3 节内置 CR 振荡特性，了解内置 CR 的精度。

2. 封装

产品名称封装	S6E2HE4E0A S6E2HE6E0A	S6E2HE4F0A S6E2HE6F0A	S6E2HE4G0A S6E2HE6G0A
LQFP: LQH080 (间距为 0.5 mm)	○	-	-
LQFP: LQI100 (间距为 0.5 mm)	-	○	-
LQFP: LQM120 (间距为 0.5 mm)	-	-	○
BGA: FDI121 (间距为 0.5 mm)	-	-	○

○: 支持

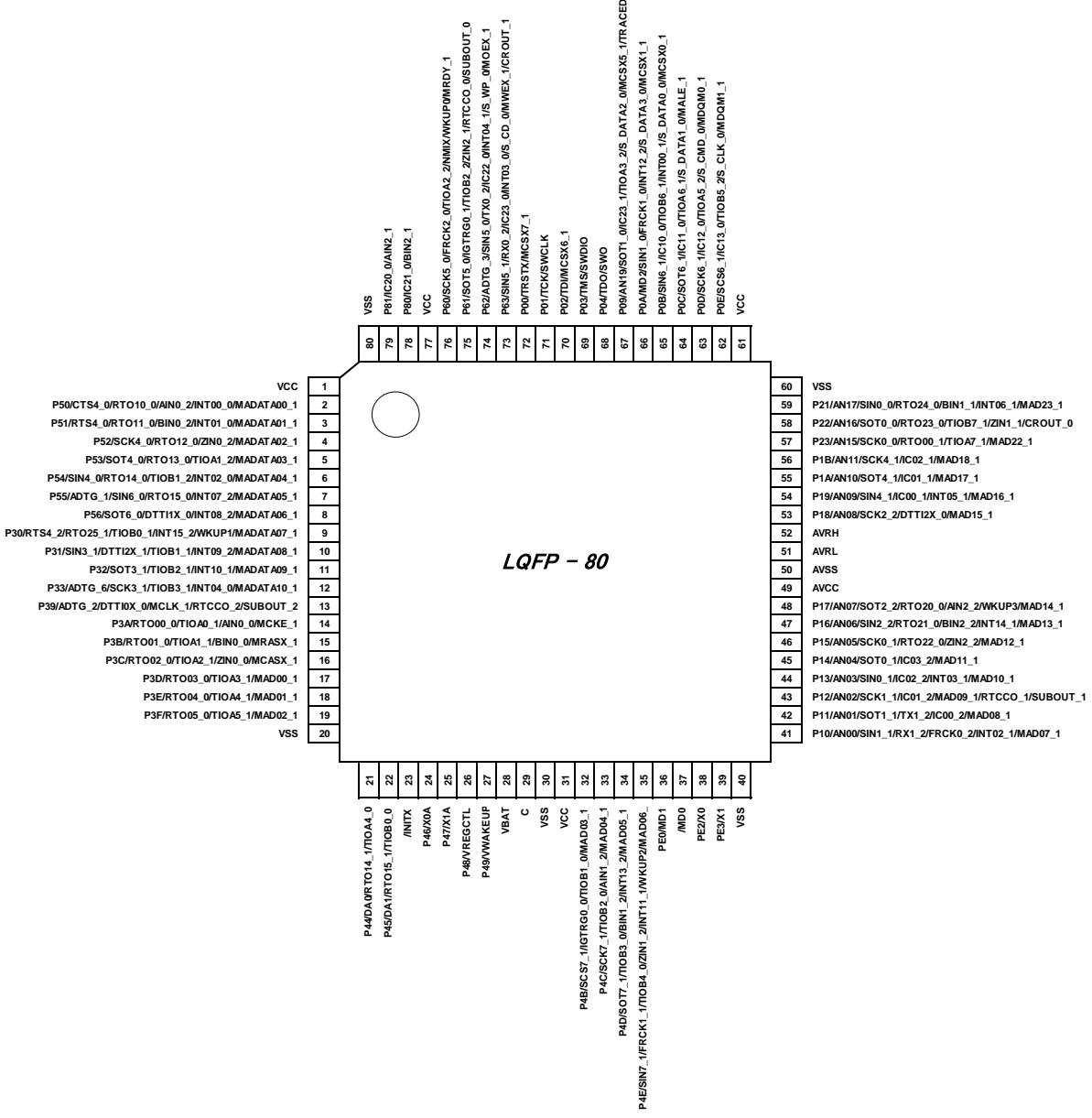
注意:

- 请参见第 14 章封装尺寸，了解详细信息。

3. 引脚分配

LQH080

(顶视图)

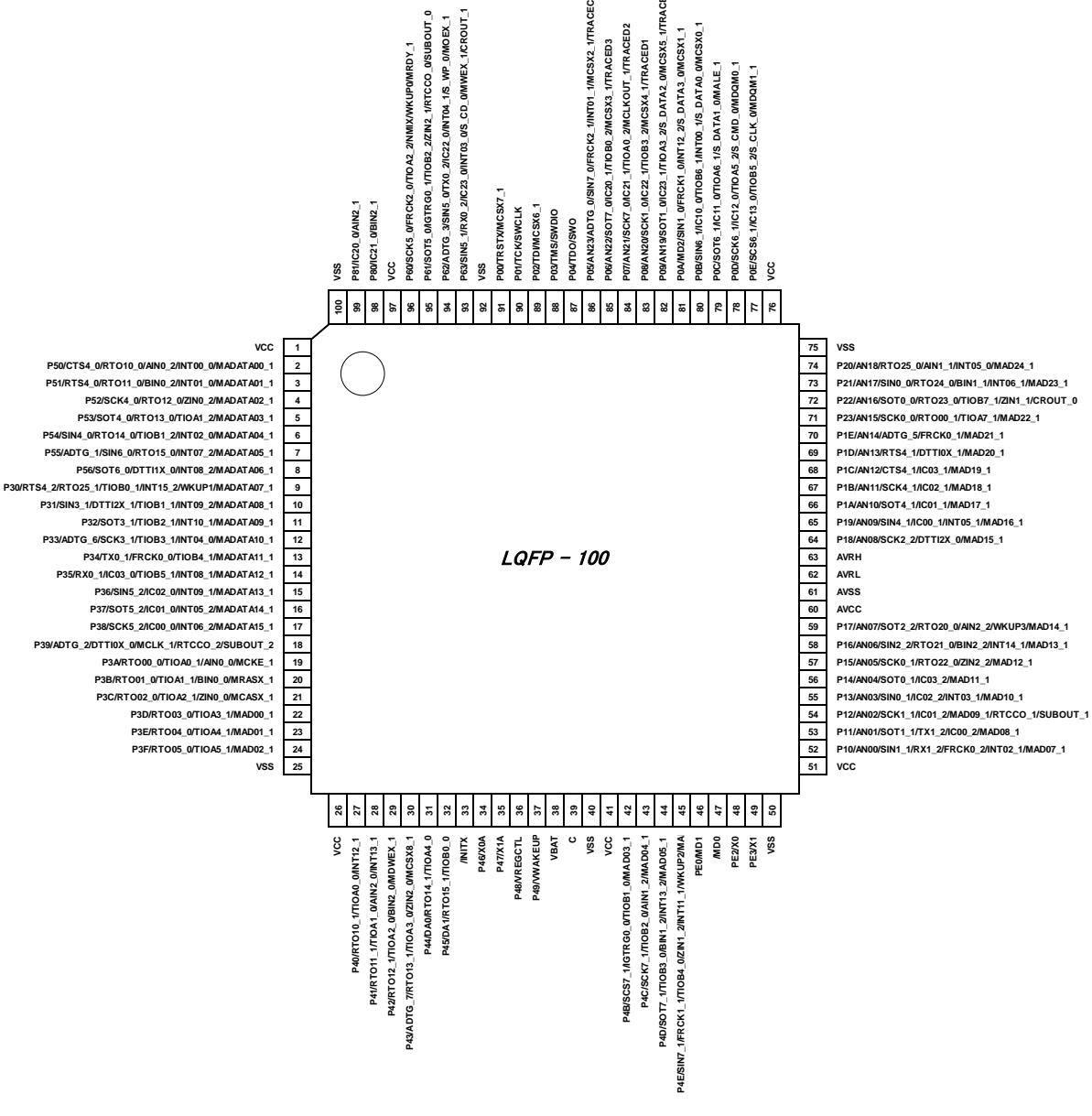


注意:

- 引脚名称（如 **XXX_1** 和 **XXX_2**）中下划线（“**_**”）后面的数字代表重定位端口号。此类功能引脚，可由多个物理引脚映射，提供同一通道的同一功能。使用扩展端口功能寄存器（EPFR）选择引脚。

LQI100

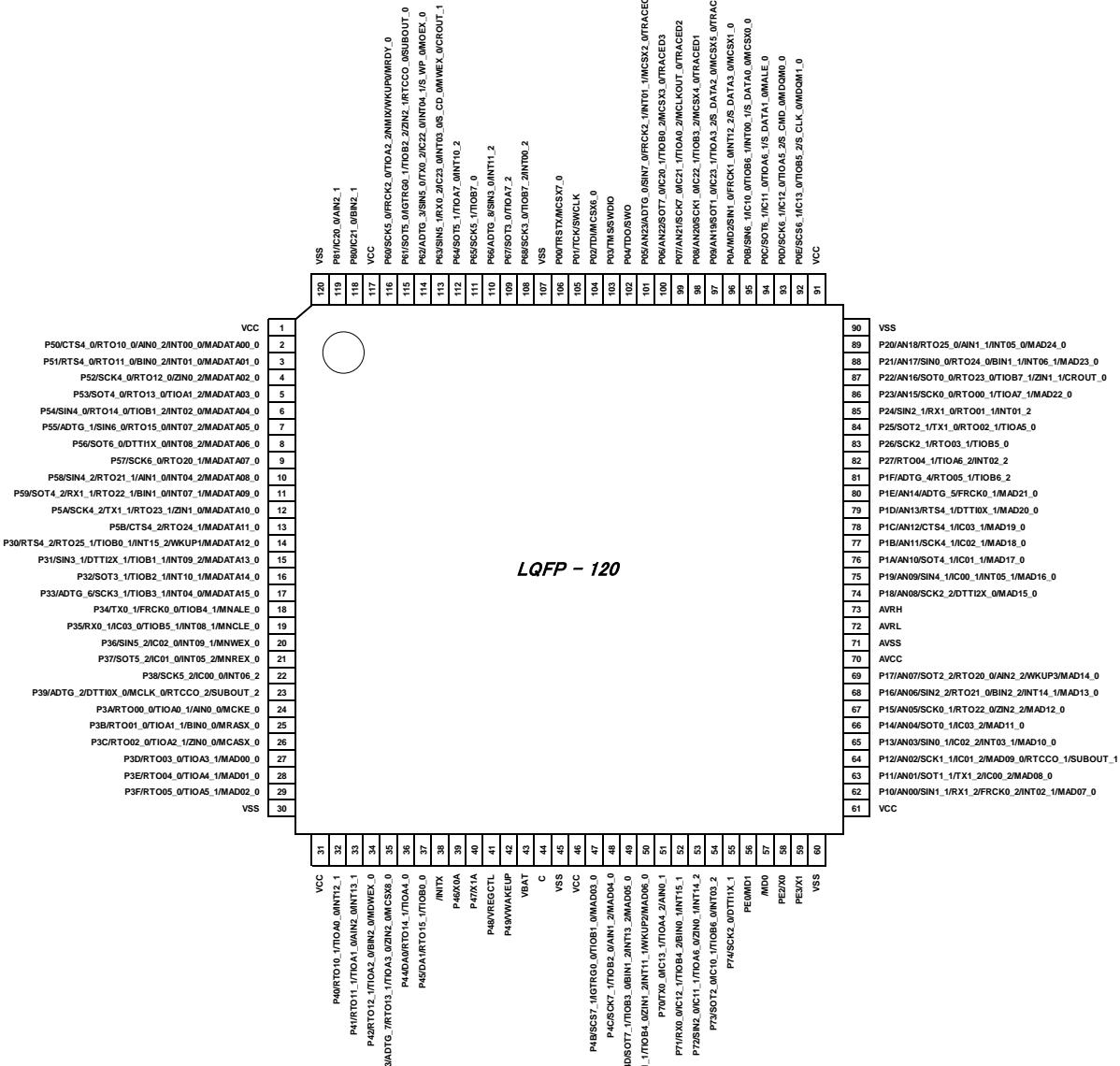
(顶视图)


注意:

- 引脚名称（如XXX_1和XXX_2）中下划线（“_”）后面的数字代表重定位端口号。此类功能引脚，可由多个物理引脚映射，提供同一通道的同一功能。使用扩展端口功能寄存器（EPFR）选择引脚。

LQM120

(顶视图)


注意:

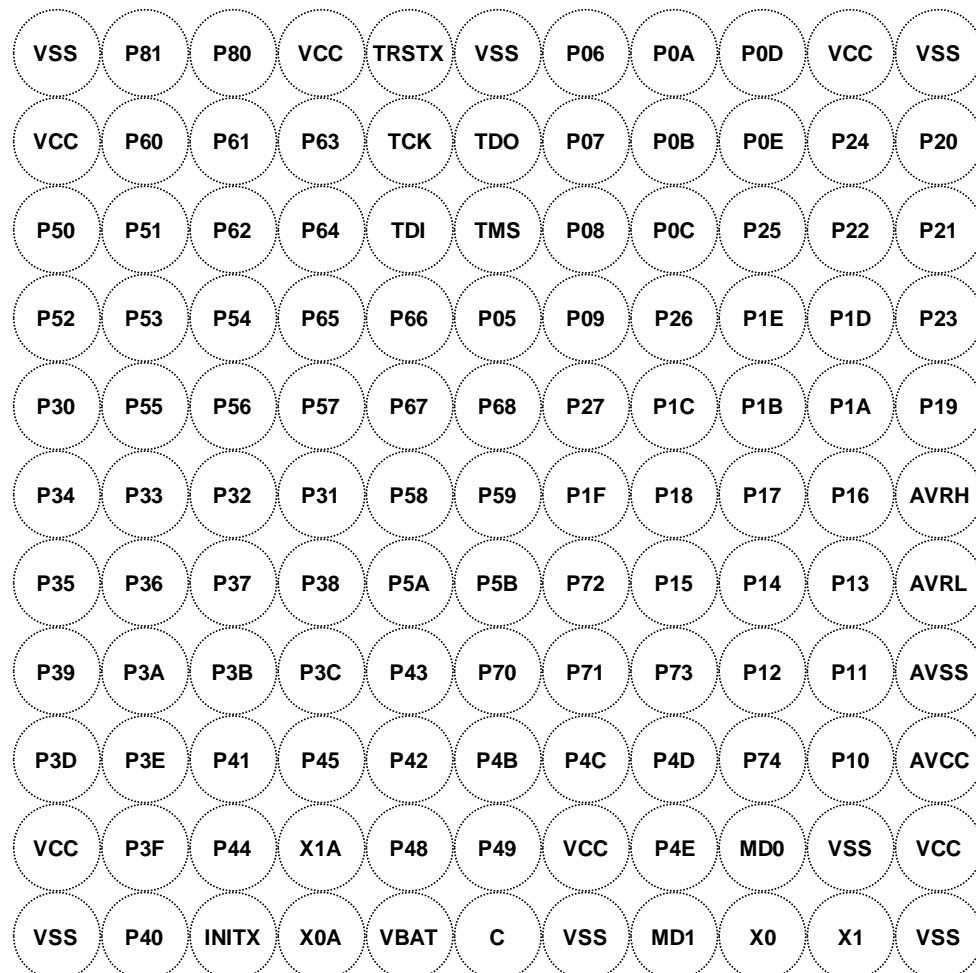
- 引脚名称（如 XXX_1 和 XXX_2）中下划线（“_”）后面的数字代表重定位端口号。此类功能引脚，可由多个物理引脚映射，提供同一通道的同一功能。使用扩展端口功能寄存器（EPFR）选择引脚。

FDI121

(顶视图)

1 2 3 4 5 6 7 8 9 10 11

A B C D E F G H J K L


注意:

- 引脚名称（如XXX_1 和 XXX_2）中下划线（“_”）后面的数字代表重定位端口号。此类功能引脚，可由多个物理引脚映射，提供同一通道的同一功能。使用扩展端口功能寄存器（EPFR）选择引脚。

4. 引脚说明

引脚编号

引脚名称（如 XXX_1 和 XXX_2）中下划线（“_”）后面的数字代表重定位端口号。此类功能引脚，可由多个物理引脚映射，提供同一通道的同一功能。使用扩展端口功能寄存器（EPFR）选择引脚。

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
1	1	1	B1	VCC	E	-
2	2	2	C1	P50		
				CTS4_0		
				AIN0_2		
				RTO10_0 (PPG10_0)		
				INT00_0		
				MADATA00_0		
				P51		
3	3	3	C2	RTS4_0	E	K
				BIN0_2		
				RTO11_0 (PPG10_0)		
				INT01_0		
				MADATA01_0		
				P52		
4	4	4	D1	SCK4_0 (SCL4_0)	E	I
				ZIN0_2		
				RTO12_0 (PPG12_0)		
				MADATA02_0		
				P53		
5	5	5	D2	PIOA1_2	E	I
				SOT4_0 (SDA4_0)		
				RTO13_0 (PPG12_0)		
				MADATA03_0		
				P54		
6	6	6	D3	PIOB1_2	E	K
				SIN4_0		
				RTO14_0 (PPG14_0)		
				INT02_0		
				MADATA04_0		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
7	7	7	E2	P55	E	K
				ADTG_1		
				SIN6_0		
				RTO15_0 (PPG14_0)		
				INT07_2		
				MADATA05_0		
8	8	8	E3	P56	E	K
				SOT6_0 (SDA6_0)		
				DTTI1X_0		
				INT08_2		
				MADATA06_0		
9	-	-	E4	P57	E	I
				SCK6_0 (SCL6_0)		
				MADATA07_0		
				RTO20_1		
10	-	-	F5	P58	E	K
				SIN4_2		
				AIN1_0		
				INT04_2		
				MADATA08_0		
				RTO21_1		
11	-	-	F6	P59	E	K
				SOT4_2 (SDA4_2)		
				BIN1_0		
				INT07_1		
				MADATA09_0		
				RTO22_1		
12	-	-	G5	P5A	E	I
				SCK4_2 (SCL4_2)		
				ZIN1_0		
				MADATA10_0		
				RTO23_1		
13	-	-	G6	P5B	E	I
				CTS4_2		
				MADATA11_0		
				RTO24_1		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型			
LQFP120	LQFP100	LQFP80	BGA121						
14	9	9	E1	P30	E	Q			
				TIOB0_1					
				RTS4_2					
				INT15_2					
				WKUP1					
				-					
				MADATA07_0					
				MADATA12_0					
14			E1	RTO25_1					
10	10			P31	I	K			
				TIOB1_1					
				SIN3_1					
				INT09_2					
				-					
				MADATA08_0					
				MADATA13_0					
	15			F4	DTTI2X_1	N	K		
11	11		P32						
			TIOB2_1						
			SOT3_1 (SDA3_1)						
			INT10_1						
			-						
			MADATA09_0						
			MADATA14_0						
17	12	12	F2	P33	N	K			
				ADTG_6					
				TIOB3_1					
				SCK3_1 (SCL3_1)					
				INT04_0					
				-					
				MADATA10_0					
				MADATA15_0					
18	13	-	F1	P34	E	I			
				TIOB4_1					
				FRCK0_0					
				-					
18				MADATA11_0	E	K			
				MNALE_0					
19	14	-	G1	P35					
				TIOB5_1					
				IC03_0					
				INT08_1					
				-					
19				MADATA12_0					
				MNCLE_0					

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	BGA121			
20	15	-	G2	P36	E	K
				SIN5_2		
				IC02_0		
				INT09_1		
-	-	-	-	MADATA13_0		
20	-	-	G2	MNWEX_0		
21	16	-	G3	P37	E	K
				SOT5_2 (SDA5_2)		
				IC01_0		
				INT05_2		
-	-	-	-	MADATA14_0		
21	-	-	G3	MNREX_0		
22	17	-	G4	P38	E	K
				SCK5_2 (SCL5_2)		
				IC00_0		
				INT06_2		
-	-	-	-	MADATA15_0		
23	18	13	H1	P39	L	I
				ADTG_2		
				DTT10X_0		
				RTCCO_2		
				SUBOUT_2		
				MSDCLK_0		
24	19	14	H2	P3A	G	I
				TIOA0_1		
				AIN0_0		
				RTO00_0 (PPG00_0)		
				MSDCKE_0		
25	20	15	H3	P3B	G	I
				TIOA1_1		
				BIN0_0		
				RTO01_0 (PPG00_0)		
				MRASX_0		
26	21	16	H4	P3C	G	I
				TIOA2_1		
				ZIN0_0		
				RTO02_0 (PPG02_0)		
				MCASX_0		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
27	22	17	J1	P3D	G	I
				TIOA3_1		
				RTO03_0 (PPG02_0)		
				MAD00_0		
28	23	18	J2	P3E	G	I
				TIOA4_1		
				RTO04_0 (PPG04_0)		
				MAD01_0		
29	24	19	K2	P3F	G	I
				TIOA5_1		
				RTO05_0 (PPG04_0)		
				MAD02_0		
30	25	20	L1	VSS	-	-
31	26	-	K1	VCC	-	-
32	27	-	L2	P40	G	K
				TIOA0_0		
				RTO10_1 (PPG10_1)		
				INT12_1		
33	28	-	J3	P41	G	K
				TIOA1_0		
				RTO11_1 (PPG10_1)		
				INT13_1		
				AIN2_0		
34	29	-	J5	P42	G	I
				TIOA2_0		
				RTO12_1 (PPG12_1)		
				MSDWEX_0		
				BIN2_0		
35	30	-	H5	P43	G	I
				ADTG_7		
				TIOA3_0		
				RTO13_1 (PPG12_1)		
				MCSX8_0		
				ZIN2_0		
36	31	21	K3	P44	R	J
				TIOA4_0		
				RTO14_1 (PPG14_1)		
				DA0		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
37	32	22	J4	P45	R	J
				TIOB0_0		
				RTO15_1 (PPG14_1)		
				DA1		
38	33	23	L3	INITX	B	C
39	34	24	L4	P46	P	S
				X0A		
40	35	25	K4	P47	Q	T
				X1A		
41	36	26	K5	P48	O	U
				VREGCTL		
42	37	27	K6	P49	O	U
				VWAKEUP		
43	38	28	L5	VBAT	-	-
44	39	29	L6	C	-	-
45	40	30	L7	VSS	-	-
46	41	31	K7	VCC	-	-
47	42	32	J6	P4B	E	I
				TIOB1_0		
				SCS7_1		
				MAD03_0		
48	43	33	J7	P4C	N	I
				TIOB2_0		
				SCK7_1 (SCL7_1)		
				AIN1_2		
				MAD04_0		
49	44	34	J8	P4D	N	K
				TIOB3_0		
				SOT7_1 (SDA7_1)		
				BIN1_2		
				INT13_2		
				MAD05_0		
50	45	35	K8	P4E	I	Q
				TIOB4_0		
				SIN7_1		
				ZIN1_2		
				FRCK1_1		
				INT11_1		
				WKUP2		
				MAD06_0		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
51	-	-	H6	P70	E	I
				TIOA4_2		
				AIN0_1		
				IC13_1		
52	-	-	H7	P71	E	K
				TIOB4_2		
				BIN0_1		
				IC12_1		
				INT15_1		
53	-	-	G7	P72	E	K
				TIOA6_0		
				SIN2_0		
				ZIN0_1		
				IC11_1		
				INT14_2		
54	-	-	H8	P73	E	K
				TIOB6_0		
				SOT2_0 (SDA2_0)		
				IC10_1		
				INT03_2		
55	-	-	J9	P74	E	I
				SCK2_0 (SCL2_0)		
				DTTI1X_1		
56	46	36	L8	PE0	C	E
				MD1		
57	47	37	K9	MD0	J	D
58	48	38	L9	PE2	A	A
				X0		
59	49	39	L10	PE3	A	B
				X1		
60	50	40	L11	VSS	-	-
61	51	-	K11	VCC	-	-
62	52	41	J10	P10	F	M
				AN00		
				SIN1_1		
				FRCK0_2		
				INT02_1		
				MAD07_0		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
63	53	42	H10	P11	F	L
				AN01		
				SOT1_1 (SDA1_1)		
				IC00_2		
				MAD08_0		
64	54	43	H9	P12	F	L
				AN02		
				SCK1_1 (SCL1_1)		
				IC01_2		
				RTCCO_1		
				SUBOUT_1		
				MAD09_0		
65	55	44	G10	P13	F	M
				AN03		
				SIN0_1		
				IC02_2		
				INT03_1		
				MAD10_0		
66	56	45	G9	P14	F	L
				AN04		
				SOT0_1 (SDA0_1)		
				IC03_2		
				MAD11_0		
67	57	46	G8	P15	F	L
				AN05		
				SCK0_1 (SCL0_1)		
				MAD12_0		
				ZIN2_2		
				RTO22_0		
68	58	47	F10	P16	F	M
				AN06		
				SIN2_2		
				INT14_1		
				MAD13_0		
				BIN2_2		
				RTO21_0		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
69	59	48	F9	P17	F	P
				AN07		
				SOT2_2 (SDA2_2)		
				WKUP3		
				MAD14_0		
				AIN2_2		
				RTO20_0		
70	60	49	J11	AVCC	-	-
71	61	50	H11	AVSS	-	-
72	62	51	G11	AVRL	-	-
73	63	52	F11	AVRH	-	-
74	64	53	F8	P18	F	L
				AN08		
				SCK2_2 (SCL2_2)		
				MAD15_0		
				DTTI2X_0		
75	65	54	E11	P19	F	M
				AN09		
				SIN4_1		
				IC00_1		
				INT05_1		
				MAD16_0		
76	66	55	E10	P1A	M	L
				AN10		
				SOT4_1 (SDA4_1)		
				IC01_1		
				MAD17_0		
77	67	56	E9	P1B	M	L
				AN11		
				SCK4_1 (SCL4_1)		
				IC02_1		
				MAD18_0		
78	68	-	E8	P1C	F	L
				AN12		
				CTS4_1		
				IC03_1		
				MAD19_0		
79	69	-	D10	P1D	F	L
				AN13		
				RTS4_1		
				DTTI0X_1		
				MAD20_0		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
80	70	-	D9	P1E	F	L
				AN14		
				ADTG_5		
				FRCK0_1		
				MAD21_0		
81	-	-	F7	P1F	E	I
				ADTG_4		
				TIOB6_2		
				RTO05_1 (PPG04_1)		
82	-	-	E7	P27	E	K
				TIOA6_2		
				RTO04_1 (PPG04_1)		
				INT02_2		
83	-	-	D8	P26	E	I
				TIOB5_0		
				SCK2_1 (SCL2_1)		
				RTO03_1 (PPG02_1)		
84	-	-	C9	P25	E	I
				TIOA5_0		
				SOT2_1 (SDA2_1)		
				RTO02_1 (PPG02_1)		
85	-	-	B10	P24	E	K
				SIN2_1		
				RTO01_1 (PPG00_1)		
				INT01_2		
86	71	57	D11	P23	F	L
				AN15		
				TIOA7_1		
				SCK0_0 (SCL0_0)		
				RTO00_1 (PPG00_1)		
				MAD22_0		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
87	72	58	C10	P22	F	L
				CROUT_0		
				AN16		
				TIOB7_1		
				SOT0_0 (SDA0_0)		
				ZIN1_1		
				RTO23_0		
88	73	59	C11	P21	F	M
				AN17		
				SIN0_0		
				BIN1_1		
				INT06_1		
				MAD23_0		
				RTO24_0		
89	74	-	B11	P20	F	M
				AN18		
				AIN1_1		
				INT05_0		
				MAD24_0		
				RTO25_0		
90	75	60	A11	VSS	-	-
91	76	61	A10	VCC	-	-
92	77	62	B9	P0E	L	I
				TIOB5_2		
				SCS6_1		
				IC13_0		
				S_CLK_0		
				MDQM1_0		
93	78	63	A9	P0D	L	I
				TIOA5_2		
				SCK6_1 (SCL6_1)		
				IC12_0		
				S_CMD_0		
				MDQM0_0		
94	79	64	C8	P0C	L	I
				TIOA6_1		
				SOT6_1 (SDA6_1)		
				IC11_0		
				S_DATA1_0		
				MALE_0		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
95	80	65	B8	P0B	L	K
				TIOB6_1		
				SIN6_1		
				IC10_0		
				INT00_1		
				S_DATA0_0		
				MCSX0_0		
96	81	66	A8	P0A	L	K
				SIN1_0		
				FRCK1_0		
				INT12_2		
				S_DATA3_0		
				MCSX1_0		
97	82	67	D7	P09	M	N
				AN19		
				-		
				TRACED0		
				TIOA3_2		
				SOT1_0 (SDA1_0)		
				S_DATA2_0		
				MCSX5_0		
				IC23_1		
98	83	-	C7	P08	F	N
				AN20		
				TRACED1		
				TIOB3_2		
				SCK1_0 (SCL1_0)		
				MCSX4_0		
				IC22_1		
99	84	-	B7	P07	M	N
				AN21		
				TRACED2		
				TIOA0_2		
				SCK7_0 (SCL7_0)		
				MCLKOUT_0		
				IC21_1		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
100	85	-	A7	P06	F	N
				AN22		
				TRACED3		
				TIOB0_2		
				SOT7_0 (SDA7_0)		
				MCSX3_0		
				IC20_1		
101	86	-	D6	P05	F	O
				AN23		
				ADTG_0		
				TRACECLK		
				SIN7_0		
				INT01_1		
				MCSX2_0		
102	87	68	B6	P04	E	G
				TDO		
				SWO		
103	88	69	C6	P03	E	G
				TMS		
				SWDIO		
104	89	70	C5	P02	E	H
				TDI		
				MCSX6_0		
105	90	71	B5	P01	E	G
				TCK		
				SWCLK		
106	91	72	A5	P00	E	H
				TRSTX		
				MCSX7_0		
107	92	-	A6	VSS	-	-
108	-	-	E6	P68	E	K
				TIOB7_2		
				SCK3_0 (SCL3_0)		
				INT00_2		
109	-	-	E5	P67	E	I
				TIOA7_2		
				SOT3_0 (SDA3_0)		
110	-	-	D5	P66	E	K
				ADTG_8		
				SIN3_0		
				INT11_2		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型	
LQFP120	LQFP100	LQFP80	BGA121				
111	-	-	D4	P65	E	I	
				TIOB7_0			
				SCK5_1 (SCL5_1)			
112	-	-	C4	P64	E	K	
				TIOA7_0			
				SOT5_1 (SDA5_1)			
				INT10_2			
113	93	73	B4	P63	E	K	
				CROUT_1			
	-	-		SIN5_1			
	93	73		INT03_0			
				S_CD_0			
				MWEX_0			
				IC23_0			
				INT04_1	I	K	
114	94	74	C3	S_WP_0			
				MOEX_0			
				IC22_0			
115	95	75	B3	P61	E	I	
				TIOB2_2			
				SOT5_0 (SDA5_0)			
				RTCCO_0			
				SUBOUT_0			
				ZIN2_1			
116	96	76	B2	P60	I	F	
				TIOA2_2			
				SCK5_0 (SCL5_0)			
				NMIX			
				WKUP0			
				MRDY_0			
				FRCK2_0			
117	97	77	A4	VCC	-	-	

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	BGA121			
118	98	78	A3	P80	E *1	I
				BIN2_1		
				IC21_0		
119	99	79	A2	P81	E *1	I
				AIN2_1		
				IC20_0		
120	100	80	A1	VSS	-	-
-	-	-	K10	VSS	-	-

*1 无上拉控制寄存器

引脚功能列表

引脚名称（如 XXX_1 和 XXX_2）中下划线（“_”）后面的数字代表重定位端口号。此类功能引脚，可由多个物理引脚映射，提供同一通道的同一功能。使用扩展端口功能寄存器（EPFR）选择引脚。

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
ADC	ADTG_0	A/D 转换器外部触发输入引脚 ANxx 表示 A/D 转换器通道 xx	101	86	-	D6
	ADTG_1		7	7	7	E2
	ADTG_2		23	18	13	H1
	ADTG_3		114	94	74	C3
	ADTG_4		81	-	-	F7
	ADTG_5		80	70	-	D9
	ADTG_6		17	12	12	F2
	ADTG_7		35	30	-	H5
	ADTG_8		110	-	-	D5
	AN00		62	52	41	J10
	AN01		63	53	42	H10
	AN02		64	54	43	H9
	AN03		65	55	44	G10
	AN04		66	56	45	G9
	AN05		67	57	46	G8
	AN06		68	58	47	F10
	AN07		69	59	48	F9
	AN08		74	64	53	F8
基础定时器 0	AN09		75	65	54	E11
	AN10		76	66	55	E10
	AN11		77	67	56	E9
	AN12		78	68	-	E8
	AN13		79	69	-	D10
	AN14		80	70	-	D9
	AN15		86	71	57	D11
	AN16		87	72	58	C10
	AN17		88	73	59	C11
	AN18		89	74	-	B11
	AN19		97	82	67	D7
	AN20		98	83	-	C7
	AN21		99	84	-	B7
	AN22		100	85	-	A7
	AN23		101	86	-	D6
基础定时器 0	TIOA0_0	基础定时器通道 0 TIOA 引脚	32	27	-	L2
	TIOA0_1		24	19	14	H2
	TIOA0_2		99	84	-	B7
	TIOB0_0	基础定时器通道 0 TIOB 引脚	37	32	22	J4
	TIOB0_1		14	9	9	E1
	TIOB0_2		100	85	-	A7

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
基础定时器 1	TIOA1_0	基础定时器通道 1 TIOA 引脚	33	28	-	J3
	TIOA1_1		25	20	15	H3
	TIOA1_2		5	5	5	D2
基础定时器 2	TIOB1_0	基础定时器通道 1 TIOB 引脚	47	42	32	J6
	TIOB1_1		15	10	10	F4
	TIOB1_2		6	6	6	D3
基础定时器 3	TIOA2_0	基础定时器通道 2 TIOA 引脚	34	29	-	J5
	TIOA2_1		26	21	16	H4
	TIOA2_2		116	96	76	B2
基础定时器 4	TIOB2_0	基础定时器通道 2 TIOB 引脚	48	43	33	J7
	TIOB2_1		16	11	11	F3
	TIOB2_2		115	95	75	B3
基础定时器 5	TIOA3_0	基础定时器通道 3 TIOA 引脚	35	30	-	H5
	TIOA3_1		27	22	17	J1
	TIOA3_2		97	82	67	D7
基础定时器 6	TIOB3_0	基础定时器通道 3 TIOB 引脚	49	44	34	J8
	TIOB3_1		17	12	12	F2
	TIOB3_2		98	83	-	C7
基础定时器 7	TIOA4_0	基础定时器通道 4 TIOA 引脚	36	31	21	K3
	TIOA4_1		28	23	18	J2
	TIOA4_2		51	-	-	H6
基础定时器 8	TIOB4_0	基础定时器通道 4 TIOB 引脚	50	45	35	K8
	TIOB4_1		18	13	-	F1
	TIOB4_2		52	-	-	H7
基础定时器 9	TIOA5_0	基础定时器通道 5 TIOA 引脚	84	-	-	C9
	TIOA5_1		29	24	19	K2
	TIOA5_2		93	78	63	A9
基础定时器 10	TIOB5_0	基础定时器通道 5 TIOB 引脚	83	-	-	D8
	TIOB5_1		19	14	-	G1
	TIOB5_2		92	77	62	B9
基础定时器 11	TIOA6_0	基础定时器通道 6 TIOA 引脚	53	-	-	G7
	TIOA6_1		94	79	64	C8
	TIOA6_2		82	-	-	E7
基础定时器 12	TIOB6_0	基础定时器通道 6 TIOB 引脚	54	-	-	H8
	TIOB6_1		95	80	65	B8
	TIOB6_2		81	-	-	F7
基础定时器 13	TIOA7_0	基础定时器通道 7 TIOA 引脚	112	-	-	C4
	TIOA7_1		86	71	57	D11
	TIOA7_2		109	-	-	E5
基础定时器 14	TIOB7_0	基础定时器通道 7 TIOB 引脚	111	-	-	D4
	TIOB7_1		87	72	58	C10
	TIOB7_2		108	-	-	E6

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
调试器	SWCLK	串行调试接口时钟输入引脚	105	90	71	B5
	SWDIO	串行调试接口数据输入/输出引脚	103	88	69	C6
	SWO	串行调试接口观察输出引脚	102	87	68	B6
	TCK	J-TAG 测试时钟输入引脚	105	90	71	B5
	TDI	J-TAG 测试数据输入引脚	104	89	70	C5
	TDO	J-TAG 调试数据输出引脚	102	87	68	B6
	TMS	J-TAG 测试模式状态输入/输出引脚	103	88	69	C6
	TRACECLK	ETM 的追踪 CLK 输出引脚	101	86	-	D6
	TRACED0	ETM 的追踪数据输出引脚	97	82	-	D7
	TRACED1		98	83	-	C7
	TRACED2		99	84	-	B7
	TRACED3		100	85	-	A7
外部总线	TRSTX	J-TAG 测试复位输入引脚	106	91	72	A5
	MAD00_0	外部总线接口地址总线	27	22	17	J1
	MAD01_0		28	23	18	J2
	MAD02_0		29	24	19	K2
	MAD03_0		47	42	32	J6
	MAD04_0		48	43	33	J7
	MAD05_0		49	44	34	J8
	MAD06_0		50	45	35	K8
	MAD07_0		62	52	41	J10
	MAD08_0		63	53	42	H10
	MAD09_0		64	54	43	H9
	MAD10_0		65	55	44	G10
	MAD11_0		66	56	45	G9
	MAD12_0		67	57	46	G8
	MAD13_0		68	58	47	F10
	MAD14_0		69	59	48	F9
	MAD15_0		74	64	53	F8
	MAD16_0		75	65	54	E11
	MAD17_0		76	66	55	E10
	MAD18_0		77	67	56	E9
	MAD19_0		78	68	-	E8
	MAD20_0		79	69	-	D10
	MAD21_0		80	70	-	D9
	MAD22_0		86	71	-	D11
	MAD23_0		88	73	-	C11
	MAD24_0		89	74	-	B11

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
外部总线	MCSX0_0	外部总线接口片选输出引脚	95	80	65	B8
	MCSX1_0		96	81	66	A8
	MCSX2_0		101	86	-	D6
	MCSX3_0		100	85	-	A7
	MCSX4_0		98	83	-	C7
	MCSX5_0		97	82	67	D7
	MCSX6_0		104	89	70	C5
	MCSX7_0		106	91	72	A5
	MCSX8_0		35	30	-	H5
	MADATA00_0	外部总线接口数据总线 (地址/数据复用)	2	2	2	C1
	MADATA01_0		3	3	3	C2
	MADATA02_0		4	4	4	D1
	MADATA03_0		5	5	5	D2
	MADATA04_0		6	6	6	D3
	MADATA05_0		7	7	7	E2
	MADATA06_0		8	8	8	E3
	MADATA07_0		9	9	9	E4
	MADATA08_0		10	10	10	F5
	MADATA09_0		11	11	11	F6
	MADATA10_0		12	12	12	G5
	MADATA11_0		13	13	-	G6
	MADATA12_0		14	14	-	E1
	MADATA13_0		15	15	-	F4
	MADATA14_0		16	16	-	F3
	MADATA15_0		17	17	-	F2
	MDQM0_0	外部总线接口字节屏蔽信号输出引脚	93	78	63	A9
	MDQM1_0		92	77	62	B9
	MALE_0	外部总线接口地址锁存使能输出信号, 用于地址/数据复用	94	79	64	C8
	MRDY_0	外部总线接口外部 RDY 输入信号	116	96	76	B2
	MCLKOUT_0	外部总线接口外部时钟输出引脚	99	84	-	B7
	MNALE_0	外部总线接口 ALE 信号, 用于控制 NAND 闪存输出引脚	18	-	-	F1
	MNCLE_0	外部总线接口 CLE 信号, 用于控制 NAND 闪存输出引脚	19	-	-	G1
	MNREX_0	外部总线接口读使能信号, 用于控制 NAND 闪存	21	-	-	G3
	MNWEX_0	外部总线接口写使能信号, 用于控制 NAND 闪存	20	-	-	G2
	MOEX_0	SRAM 的外部总线接口读使能信号	114	94	74	C3
	MWEX_0	SRAM 的外部总线接口写使能信号	113	93	73	B4

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
外部总线	MSDCLK_0	SDRAM 接口 SDRAM 时钟输出引脚	23	18	-	H1
	MSDCKE_0	SDRAM 接口 SDRAM 时钟使能引脚	24	19	-	H2
	MRASX_0	SDRAM 接口 SDRAM 行地址选通引脚	25	20	-	H3
	MCASX_0	SDRAM 接口 SDRAM 列地址选通引脚	26	21	-	H4
	MSDWEX_0	SDRAM 接口 SDRAM 写使能引脚	34	29	-	J5
外部中断	INT00_0	外部中断请求 00 输入引脚	2	2	2	C1
	INT00_1		95	80	65	B8
	INT00_2		108	-	-	E6
	INT01_0	外部中断请求 01 输入引脚	3	3	3	C2
	INT01_1		101	86	-	D6
	INT01_2		85	-	-	B10
	INT02_0	外部中断请求 02 输入引脚	6	6	6	D3
	INT02_1		62	52	41	J10
	INT02_2		82	-	-	E7
	INT03_0	外部中断请求 03 输入引脚	113	93	73	B4
	INT03_1		65	55	44	G10
	INT03_2		54	-	-	H8
	INT04_0	外部中断请求 04 输入引脚	17	12	12	F2
	INT04_1		114	94	74	C3
	INT04_2		10	-	-	F5
	INT05_0	外部中断请求 05 输入引脚	89	74	-	B11
	INT05_1		75	65	54	E11
	INT05_2		21	16	-	G3
	INT06_1	外部中断请求 06 输入引脚	88	73	59	C11
	INT06_2		22	17	-	G4
	INT07_1	外部中断请求 07 输入引脚	11	-	-	F6
	INT07_2		7	7	7	E2
	INT08_1	外部中断请求 08 输入引脚	19	14	-	G1
	INT08_2		8	8	8	E3
	INT09_1	外部中断请求 09 输入引脚	20	15	-	G2
	INT09_2		15	10	10	F4
	INT10_1	外部中断请求 10 输入引脚	16	11	11	F3
	INT10_2		112	-	-	C4
	INT11_1	外部中断请求 11 输入引脚	50	45	35	K8
	INT11_2		110	-	-	D5
	INT12_1	外部中断请求 12 输入引脚	32	27	-	L2
	INT12_2		96	81	66	A8
	INT13_1	外部中断请求 13 输入引脚	33	28	-	J3
	INT13_2		49	44	34	J8
	INT14_1	外部中断请求 14 输入引脚	68	58	47	F10
	INT14_2		53	-	-	G7
	INT15_1	外部中断请求 15 输入引脚	52	-	-	H7
	INT15_2		14	9	9	E1

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
外部中断	NMIX	不可屏蔽中断输入引脚	116	96	76	B2
GPIO	P00	通用 I/O 端口 0	106	91	72	A5
	P01		105	90	71	B5
	P02		104	89	70	C5
	P03		103	88	69	C6
	P04		102	87	68	B6
	P05		101	86	-	D6
	P06		100	85	-	A7
	P07		99	84	-	B7
	P08		98	83	-	C7
	P09		97	82	67	D7
	P0A		96	81	66	A8
	P0B		95	80	65	B8
	P0C		94	79	64	C8
	P0D		93	78	63	A9
	P0E		92	77	62	B9
	P10	通用 I/O 端口 1	62	52	41	J10
	P11		63	53	42	H10
	P12		64	54	43	H9
	P13		65	55	44	G10
	P14		66	56	45	G9
	P15		67	57	46	G8
	P16		68	58	47	F10
	P17		69	59	48	F9
	P18		74	64	53	F8
	P19		75	65	54	E11
	P1A		76	66	55	E10
	P1B		77	67	56	E9
	P1C	通用 I/O 端口 2	78	68	-	E8
	P1D		79	69	-	D10
	P1E		80	70	-	D9
	P1F		81	-	-	F7
	P20		89	74	-	B11
	P21		88	73	59	C11
	P22		87	72	58	C10
	P23		86	71	57	D11
	P24		85	-	-	B10
	P25		84	-	-	C9
	P26		83	-	-	D8
	P27		82	-	-	E7

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
GPIO	P30	通用 I/O 端口 3	14	9	9	E1
	P31		15	10	10	F4
	P32		16	11	11	F3
	P33		17	12	12	F2
	P34		18	13	-	F1
	P35		19	14	-	G1
	P36		20	15	-	G2
	P37		21	16	-	G3
	P38		22	17	-	G4
	P39		23	18	13	H1
	P3A		24	19	14	H2
	P3B		25	20	15	H3
	P3C		26	21	16	H4
	P3D		27	22	17	J1
	P3E		28	23	18	J2
	P3F		29	24	19	K2
	P40	通用 I/O 端口 4	32	27	-	L2
	P41		33	28	-	J3
	P42		34	29	-	J5
	P43		35	30	-	H5
	P44		36	31	21	K3
	P45		37	32	22	J4
	P46		39	34	24	L4
	P47		40	35	25	K4
	P48		41	36	26	K5
	P49		42	37	27	K6
	P4B		47	42	32	J6
	P4C		48	43	33	J7
	P4D		49	44	34	J8
	P4E		50	45	35	K8
	P50	通用 I/O 端口 5	2	2	2	C1
	P51		3	3	3	C2
	P52		4	4	4	D1
	P53		5	5	5	D2
	P54		6	6	6	D3
	P55		7	7	7	E2
	P56		8	8	8	E3
	P57		9	-	-	E4
	P58		10	-	-	F5
	P59		11	-	-	F6
	P5A		12	-	-	G5
	P5B		13	-	-	G6

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
GPIO	P60	通用 I/O 端口 6	116	96	76	B2
	P61		115	95	75	B3
	P62		114	94	74	C3
	P63		113	93	73	B4
	P64		112	-	-	C4
	P65		111	-	-	D4
	P66		110	-	-	D5
	P67		109	-	-	E5
	P68		108	-	-	E6
	P70		51	-	-	H6
	P71		52	-	-	H7
	P72		53	-	-	G7
	P73		54	-	-	H8
	P74		55	-	-	J9
	P80	通用 I/O 端口 8	118	98	78	A3
	P81		119	99	79	A2
	PE0		56	46	36	L8
多功能串行接口 0	PE2	通用 I/O 端口 E	58	48	38	L9
	PE3		59	49	39	L10
	SIN0_0		88	73	59	C11
	SIN0_1		65	55	44	G10
	SOT0_0 (SDA0_0)	多功能串行接口通道 0 输出引脚。 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT0 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA0 使用。	87	72	58	C10
	SOT0_1 (SDA0_1)		66	56	45	G9
多功能串行接口 1	SCK0_0 (SCL0_0)	多功能串行接口通道 0 时钟 I/O 引脚。 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SCK0 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL0 使用。	86	71	57	D11
	SCK0_1 (SCL0_1)		67	57	46	G8
	SIN1_0	多功能串行接口通道 1 输入引脚	96	81	66	A8
	SIN1_1		62	52	41	J10
	SOT1_0 (SDA1_0)	多功能串行接口通道 1 输出引脚。 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT1 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA1 使用。	97	82	67	D7
	SOT1_1 (SDA1_1)		63	53	42	H10
	SCK1_0 (SCL1_0)	多功能串行接口通道 1 时钟 I/O 引脚。 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK1 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL1 使用。	98	83	-	C7
	SCK1_1 (SCL1_1)		64	54	43	H9

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
多功能串行 接口 2	SIN2_0	多功能串行接口通道 2 输入引脚	53	-	-	G7
	SIN2_1		85	-	-	B10
	SIN2_2		68	58	47	F10
	SOT2_0 (SDA2_0)	多功能串行接口通道 2 输出引脚。 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT2 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA2 使用。	54	-	-	H8
	SOT2_1 (SDA2_1)		84	-	-	C9
	SOT2_2 (SDA2_2)		69	59	48	F9
	SCK2_0 (SCL2_0)	多功能串行接口通道 2 时钟 I/O 引脚。 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK2 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL2 使用。	55	-	-	J9
	SCK2_1 (SCL2_1)		83	-	-	D8
	SCK2_2 (SCL2_2)		74	64	53	F8
多功能串行 接口 3	SIN3_0	多功能串行接口通道 3 输入引脚	110	-	-	D5
	SIN3_1		15	10	10	F4
	SOT3_0 (SDA3_0)	多功能串行接口通道 3 输出引脚。 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT3 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA3 使用。	109	-	-	E5
	SOT3_1 (SDA3_1)		16	11	11	F3
	SCK3_0 (SCL3_0)	多功能串行接口通道 3 时钟 I/O 引脚。 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK3 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL3 使用。	108	-	-	E6
	SCK3_1 (SCL3_1)		17	12	12	F2

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
多功能串行接口 4	SIN4_0	多功能串行接口通道 4 输入引脚	6	6	6	D3
	SIN4_1		75	65	54	E11
	SIN4_2		10	-	-	F5
	SOT4_0 (SDA4_0)	多功能串行接口通道 4 输出引脚。 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT4 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA4 使用。	5	5	5	D2
	SOT4_1 (SDA4_1)		76	66	55	E10
	SOT4_2 (SDA4_2)		11	-	-	F6
	SCK4_0 (SCL4_0)		4	4	4	D1
	SCK4_1 (SCL4_1)	多功能串行接口通道 4 时钟 I/O 引脚。 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK4 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL4 使用。	77	67	56	E9
	SCK4_2 (SCL4_2)		12	-	-	G5
	CTS4_0	多功能串行接口通道 4 CTS 输入引脚	2	2	2	C1
	CTS4_1		78	68	-	E8
	CTS4_2		13	-	-	G6
多功能串行接口 5	RTS4_0	多功能串行接口通道 4 RTS 输出引脚	3	3	3	C2
	RTS4_1		79	69	-	D10
	RTS4_2		14	9	9	E1
	SIN5_0	多功能串行接口通道 5 输入引脚	114	94	74	C3
	SIN5_1		113	-	-	B4
	SIN5_2		20	15	-	G2
	SOT5_0 (SDA5_0)	多功能串行接口通道 5 输出引脚。 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT5 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA5 使用。	115	95	75	B3
	SOT5_1 (SDA5_1)		112	-	-	C4
	SOT5_2 (SDA5_2)		21	16	-	G3
	SCK5_0 (SCL5_0)		116	96	76	B2
	SCK5_1 (SCL5_1)	多功能串行接口通道 5 时钟 I/O 引脚。 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK5 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL5 使用。	111	-	-	D4
	SCK5_2 (SCL5_2)		22	17	-	G4

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
多功能串行接口 6	SIN6_0	多功能串行接口通道 6 输入引脚	7	7	7	E2
	SIN6_1		95	80	65	B8
	SOT6_0 (SDA6_0)	多功能串行接口通道 6 输出引脚。 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT6 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA6 使用。	8	8	8	E3
	SOT6_1 (SDA6_1)		94	79	64	C8
	SCK6_0 (SCL6_0)	多功能串行接口通道 6 时钟 I/O 引脚。 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK6 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL6 使用。	9	-	-	E4
	SCK6_1 (SCL6_1)		93	78	63	A9
	SCS6_1	多功能串行接口通道 6 串行片选引脚	92	77	62	B9
多功能串行接口 7	SIN7_0	多功能串行接口通道 7 输入引脚	101	86	-	D6
	SIN7_1		50	45	35	K8
	SOT7_0 (SDA7_0)	多功能串行接口通道 7 输出引脚。 用于 UART/CSIO/LIN (操作模式 0 到 3) 接口时, 该引脚作为 SOT7 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA7 使用。	100	85	-	A7
	SOT7_1 (SDA7_1)		49	44	34	J8
	SCK7_0 (SCL7_0)	多功能串行接口通道 7 时钟 I/O 引脚。 用于 CSIO (操作模式 2) 接口时, 该引脚作为 SCK7 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL7 使用。	99	84	-	B7
	SCK7_1 (SCL7_1)		48	43	33	J7
	SCS7_1	多功能串行接口通道 7 串行片选引脚	47	42	32	J6

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
多功能定时器 0	DTTIOX_0	输入信号，用于控制多功能定时器 0 的波形发生器输出 RTO00 到 RTO05。	23	18	13	H1
	DTTIOX_1		79	69	-	D10
	FRCK0_0	16 位自由运行定时器通道 0 外部时钟输入引脚	18	13	-	F1
	FRCK0_1		80	70	-	D9
	FRCK0_2		62	52	41	J10
	IC00_0	多功能定时器 0 的 16 位输入捕获通道 0 输入引脚。 ICxx 表示通道编号。	22	17	-	G4
	IC00_1		75	65	54	E11
	IC00_2		63	53	42	H10
	IC01_0		21	16	-	G3
	IC01_1		76	66	55	E10
	IC01_2		64	54	43	H9
	IC02_0		20	15	-	G2
	IC02_1		77	67	56	E9
	IC02_2		65	55	44	G10
	IC03_0		19	14	-	G1
	IC03_1		78	68	-	E8
	IC03_2		66	56	45	G9
	RTO00_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG00 使用。	24	19	14	H2
	RTO00_1 (PPG00_1)		86	71	57	D11
	RTO01_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG00 使用。	25	20	15	H3
	RTO01_1 (PPG00_1)		85	-	-	B10
	RTO02_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG02 使用。	26	21	16	H4
	RTO02_1 (PPG02_1)		84	-	-	C9
	RTO03_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG02 使用。	27	22	17	J1
	RTO03_1 (PPG02_1)		83	-	-	D8
	RTO04_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG04 使用。	28	23	18	J2
	RTO04_1 (PPG04_1)		82	-	-	E7
	RTO05_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG04 使用。	29	24	19	K2
	RTO05_1 (PPG04_1)		81	-	-	F7

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
多功能定时器 1	DTT1X_0	输入信号，用于控制多功能定时器 1 的波形发生器输出 RTO10 到 RTO15。	8	8	8	E3
	DTT1X_1		55	-	-	J9
	FRCK1_0	16 位自由运行定时器通道 1 外部时钟输入引脚	96	81	66	A8
	FRCK1_1		50	45	35	K8
	IC10_0	多功能定时器 1 的 16 位输入捕获通道 1 输入引脚。 ICxx 表示通道编号。	95	80	65	B8
	IC10_1		54	-	-	H8
	IC11_0		94	79	64	C8
	IC11_1		53	-	-	G7
	IC12_0		93	78	63	A9
	IC12_1		52	-	-	H7
	IC13_0		92	77	62	B9
	IC13_1		51	-	-	H6
	RTO10_0 (PPG10_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG10 使用。	2	2	2	C1
	RTO10_1 (PPG10_1)		32	27	-	L2
	RTO11_0 (PPG10_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG10 使用。	3	3	3	C2
	RTO11_1 (PPG10_1)		33	28	-	J3
	RTO12_0 (PPG12_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG12 使用。	4	4	4	D1
	RTO12_1 (PPG12_1)		34	29	-	J5
	RTO13_0 (PPG12_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG12 使用。	5	5	5	D2
	RTO13_1 (PPG12_1)		35	30	-	H5
	RTO14_0 (PPG14_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG14 使用。	6	6	6	D3
	RTO14_1 (PPG14_1)		36	31	21	K3
	RTO15_0 (PPG14_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG14 使用。	7	7	7	E2
	RTO15_1 (PPG14_1)		37	32	22	J4

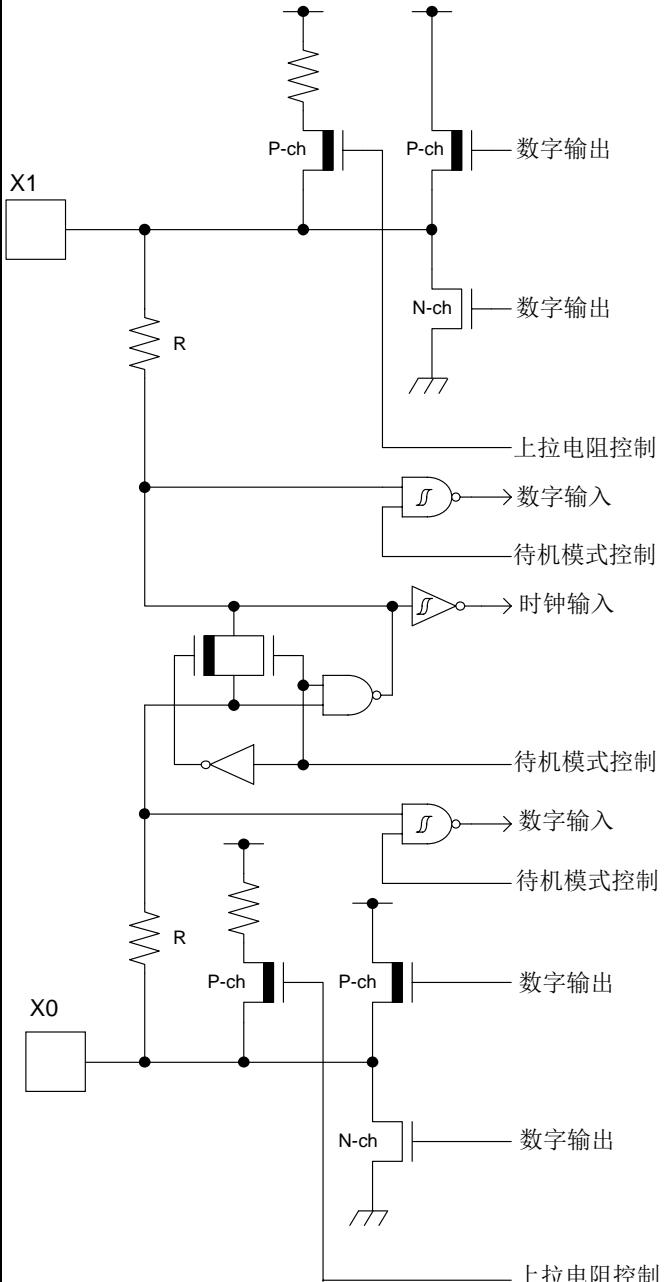
引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
多功能定时器 2	DTT12X_0	输入信号，用于控制多功能定时器 2 的波形发生器输出 RTO20 到 RTO25。 16 位自由运行定时器通道 2 外部时钟输入引脚。 多功能定时器 2 的 16 位输入捕获通道 2 输入引脚。 ICxx 表示通道编号。	74	64	53	F8
	DTT12X_1		15	10	10	F4
	FRCK2_0		116	96	76	B2
	FRCK2_1		101	86	-	D6
	IC20_0		119	99	79	A2
	IC20_1		100	85	-	A7
	IC21_0		118	98	78	A3
	IC21_1		99	84	-	B7
	IC22_0		114	94	74	C3
	IC22_1		98	83	-	C7
	IC23_0		113	93	73	B4
	IC23_1		97	82	67	D7
	RTO20_0 (PPG20_0)		69	59	48	F9
	RTO20_1 (PPG20_1)		9	-	-	E4
	RTO21_0 (PPG20_0)		68	58	47	F10
	RTO21_1 (PPG20_1)		10	-	-	F5
	RTO22_0 (PPG22_0)		67	57	46	G8
	RTO22_1 (PPG22_1)		11	-	-	F6
	RTO23_0 (PPG22_0)		87	72	58	C10
	RTO23_1 (PPG22_1)		12	-	-	G5
	RTO24_0 (PPG24_0)		88	73	59	C11
	RTO24_1 (PPG24_1)		13	-	-	G6
	RTO25_0 (PPG24_0)		89	74	-	B11
	RTO25_1 (PPG24_1)		14	9	9	E1
正交位置/ 转数计数器 0	AIN0_0	QPRC 通道 0 AIN 输入引脚	24	19	14	H2
	AIN0_1		51	-	-	H6
	AIN0_2		2	2	2	C1
	BIN0_0	QPRC 通道 0 BIN 输入引脚	25	20	15	H3
	BIN0_1		52	-	-	H7
	BIN0_2		3	3	3	C2
	ZIN0_0	QPRC 通道 0 ZIN 输入引脚	26	21	16	H4
	ZIN0_1		53	-	-	G7
	ZIN0_2		4	4	4	D1

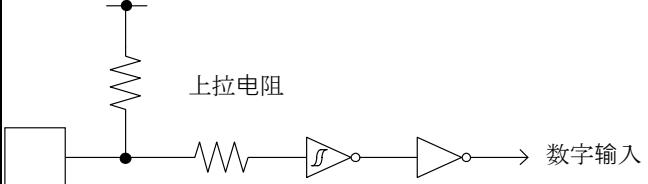
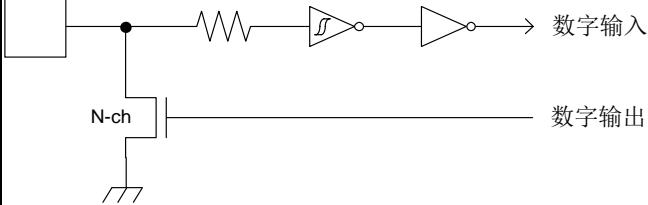
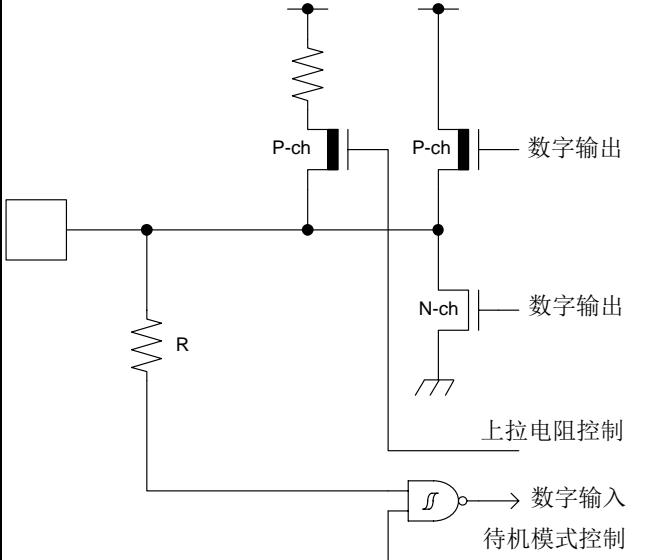
引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
正交位置/ 转数计数器 1	AIN1_0	QPRC 通道 1 AIN 输入引脚	10	-	-	F5
	AIN1_1		89	74	-	B11
	AIN1_2		48	43	33	J7
正交位置/ 转数计数器 2	BIN1_0	QPRC 通道 1 BIN 输入引脚	11	-	-	F6
	BIN1_1		88	73	-	C11
	BIN1_2		49	44	34	J8
	ZIN1_0	QPRC 通道 1 ZIN 输入引脚	12	-	-	G5
	ZIN1_1		87	72	-	C10
	ZIN1_2		50	45	35	K8
实时时钟	AIN2_0	QPRC 通道 2 AIN 输入引脚	33	28	-	J3
	AIN2_1		119	99	79	A2
	AIN2_2		69	59	48	F9
	BIN2_0	QPRC 通道 2 BIN 输入引脚	34	29	-	J5
	BIN2_1		118	98	78	A3
	BIN2_2		68	58	47	F10
	ZIN2_0	QPRC 通道 2 ZIN 输入引脚	35	30	-	H5
	ZIN2_1		115	95	75	B3
	ZIN2_2		67	57	46	G8
低功耗模式	RTCCO_0	实时时钟的 0.5 秒脉冲输出引脚	115	95	75	B3
	RTCCO_1		64	54	43	H9
	RTCCO_2		23	18	13	H1
	SUBOUT_0	副时钟输出引脚	115	95	75	B3
	SUBOUT_1		64	54	43	H9
	SUBOUT_2		23	18	13	H1
DAC	WKUP0	深度待机模式唤醒信号输入引脚 0	116	96	76	B2
	WKUP1	深度待机模式唤醒信号输入引脚 1	14	9	9	E1
	WKUP2	深度待机模式唤醒信号输入引脚 2	50	45	35	K8
	WKUP3	深度待机模式唤醒信号输入引脚 3	69	59	48	F9
VBAT	DA0	D/A 转换器通道 0 模拟输出引脚	36	31	21	K3
	DA1	D/A 转换器通道 1 模拟输出引脚	37	32	22	J4
SD I/F	VREGCTL	板上电压调节器控制引脚	41	36	26	K5
	VWAKEUP	休眠状态唤醒信号输入引脚	42	37	27	K6
SD I/F	S_CLK_0	SD 存储卡接口 SD 存储卡时钟输出引脚	92	77	62	B9
	S_CMD_0	SD 存储卡接口 SD 存储卡命令输出	93	78	63	A9
	S_DATA1_0	SD 存储卡接口	94	79	64	C8
	S_DATA0_0		95	80	65	B8
	S_DATA3_0		96	81	66	A8
	S_DATA2_0	SD 存储卡数据总线	97	82	67	D7
	S_CD_0		113	93	73	B4
	S_WP_0		114	94	74	C3

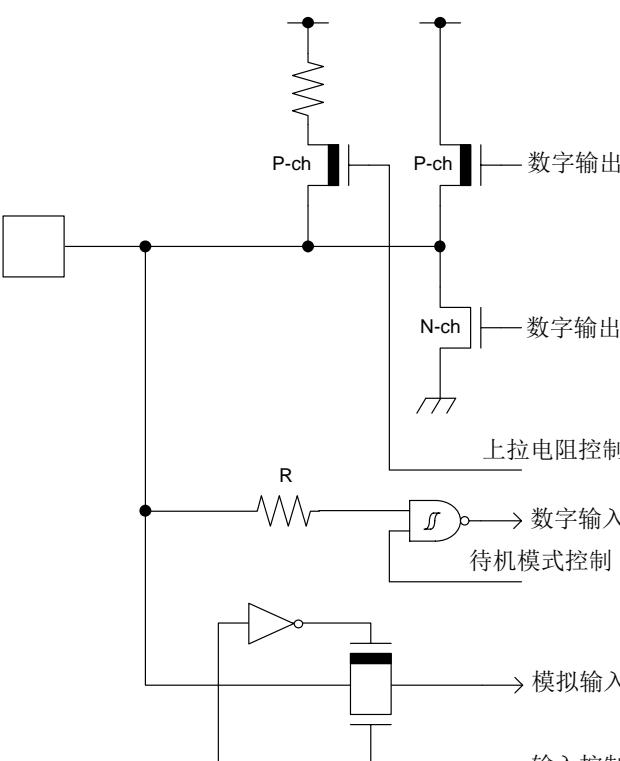
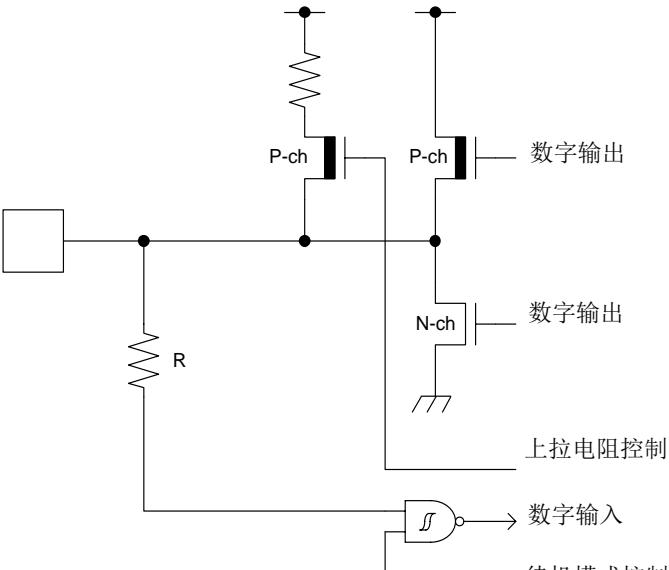
引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
复位	INITX	外部复位输入引脚。 当 INITX = L 时，复位有效。	38	33	23	L3
模式	MD1	模式 1 引脚。 闪存串行编程时，MD1 需为低电平。	56	46	36	L8
	MD0	模式 0 引脚。 正常运行时，MD0 需为低电平。闪存串行编程时，MD0 需为高电平。	57	47	37	K9
电源	VCC	电源供电引脚	1	1	1	B1
			31	26	-	K1
			46	41	31	K7
			61	51	-	K11
			91	76	61	A10
			117	97	77	A4
			107	92	-	A6
			30	25	20	L1
			45	40	30	L7
			60	50	40	L11
GND	VSS	GND 引脚	90	75	60	A11
			120	100	80	A1
			-	-	-	K10

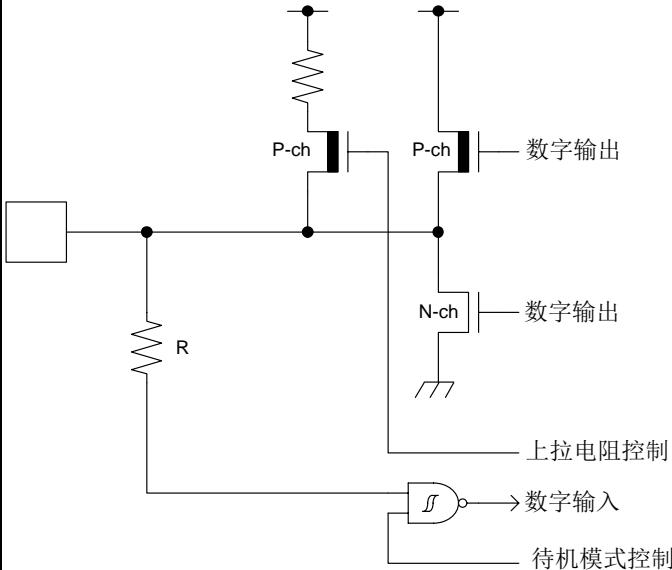
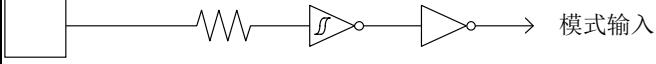
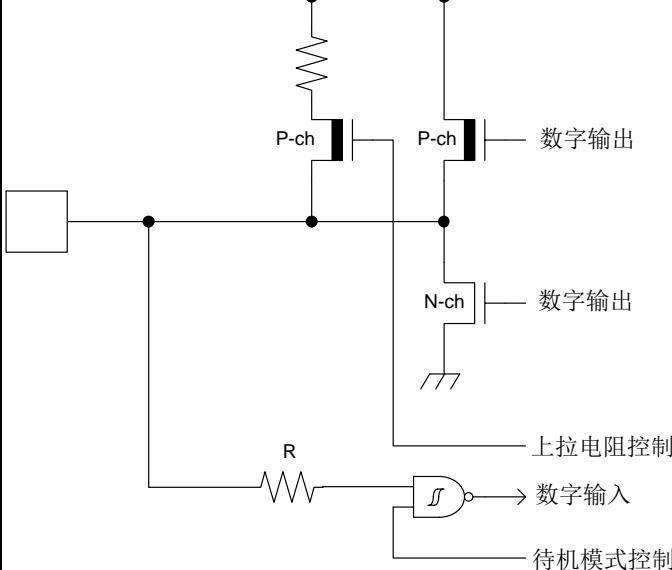
引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	BGA 121
时钟	X0	主时钟（振荡）输入引脚	58	48	38	L9
	X1	主时钟（振荡）I/O 引脚	59	49	39	L10
	X0A	副时钟（振荡）输入引脚	39	34	24	L4
	X1A	副时钟（振荡）I/O 引脚	40	35	25	K4
	CROUT_0	内置高速 CR 振荡时钟输出端口	87	72	58	C10
	CROUT_1		113	93	73	B4
ADC 电源	AVCC	A/D 转换器和 D/A 转换器模拟电源供电引脚	70	60	49	J11
	AVRL	A/D 转换器模拟参考电压输入引脚	72	62	51	G11
	AVRH	A/D 转换器模拟参考电压输入引脚	73	63	52	F11
VBAT 电源	VBAT	VBAT 电源供电引脚。 备用电源（电池等）和系统电源。	43	38	28	L5
ADC GND	AVSS	A/D 转换器和 D/A 转换器 GND 引脚	71	61	50	H11
C 引脚	C	内部电源稳定电容引脚	44	39	29	L6

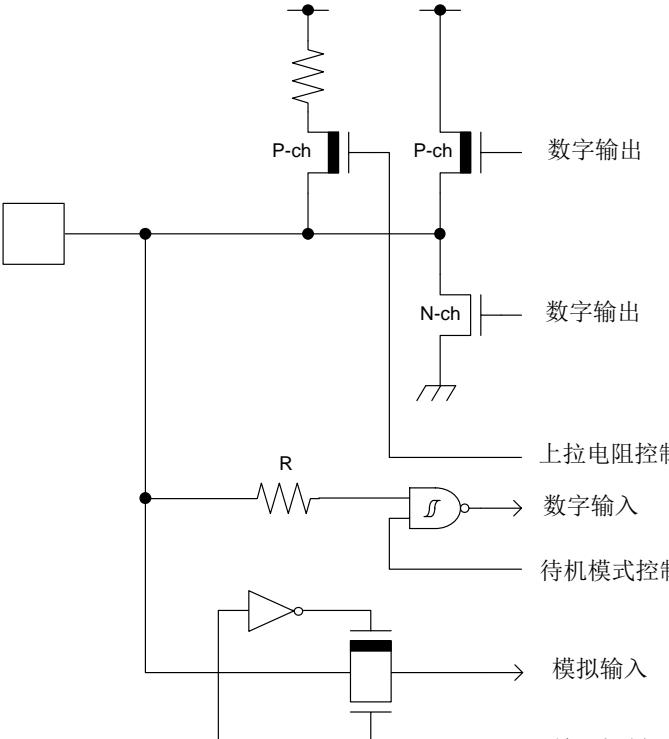
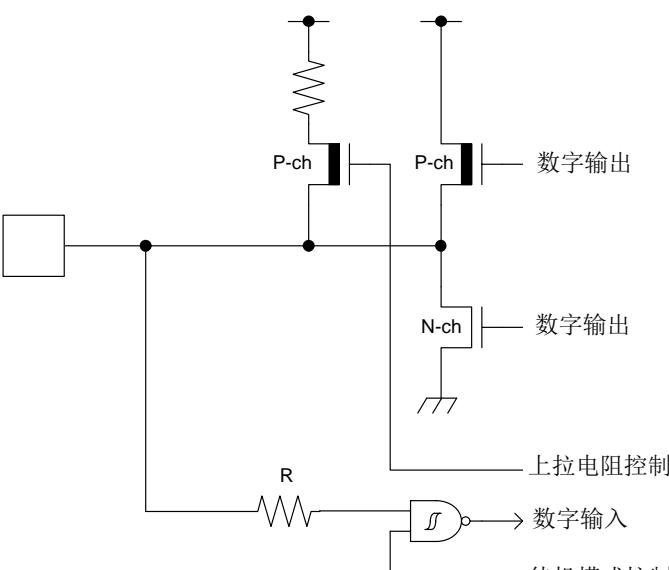
5. I/O 电路类型

类型	电路	备注
A		<p>可选主振荡/ GPIO 功能</p> <p>选择主振荡时：</p> <ul style="list-style-type: none"> - 振荡反馈电阻： 约为 $1\text{ M}\Omega$ - 待机模式控制 <p>选择 GPIO 时：</p> <ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻： 约为 $50\text{ k}\Omega$ - $I_{OH} = -4\text{ mA}, I_{OL} = 4\text{ mA}$

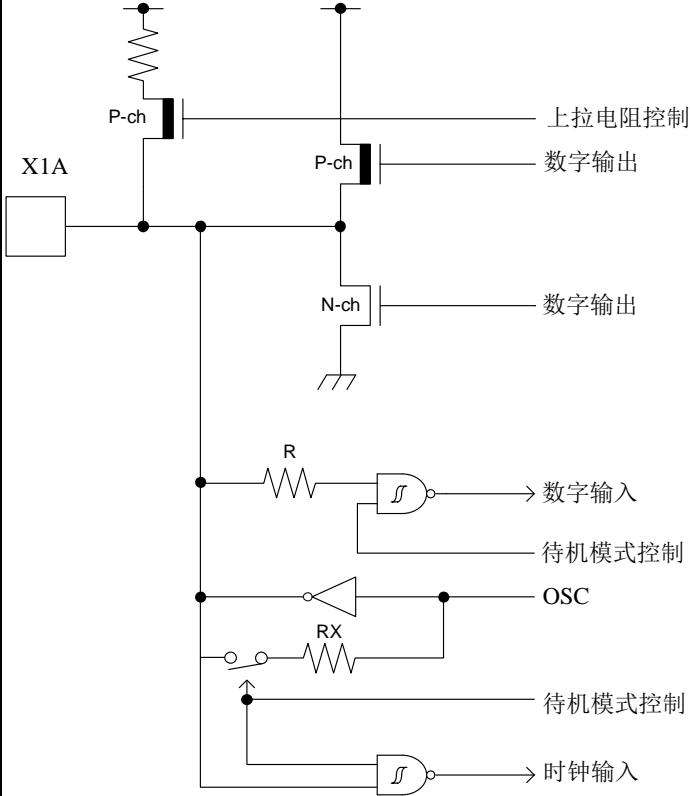
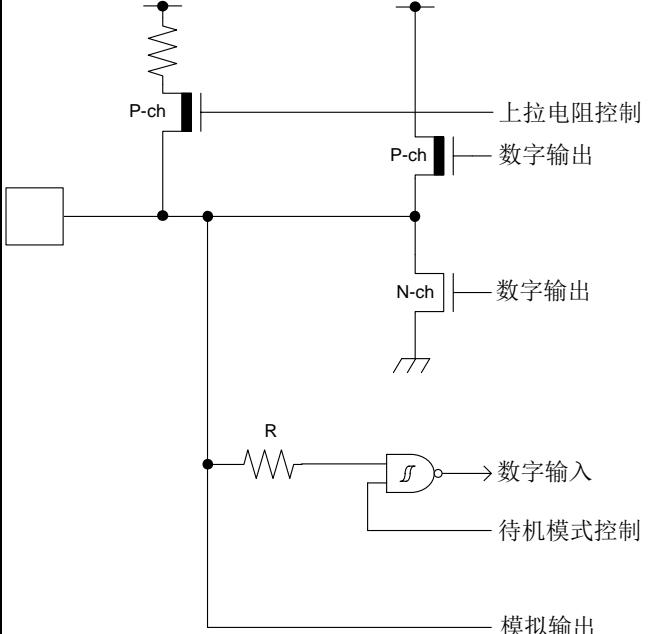
类型	电路	备注
B	 <p>上拉电阻</p> <p>数字输入</p>	<ul style="list-style-type: none"> - CMOS 电平迟滞输入 - 上拉电阻: 约为 $50\text{ k}\Omega$
C	 <p>数字输出</p>	<ul style="list-style-type: none"> - 开漏输出 - CMOS 电平迟滞输入
E	 <p>数字输出</p> <p>上拉电阻控制</p> <p>待机模式控制</p> <p>数字输入</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻: 约为 $50\text{ k}\Omega$ - $I_{OH} = -4\text{ mA}, I_{OL} = 4\text{ mA}$ - 当该引脚作为 I²C 引脚时, 数字输出 P 沟道管始终被关闭。

类型	电路	备注
F	 <p>该图展示了引脚 F 的内部结构。上方是两个 PMOS 晶体管（P-ch）驱动的数字输出，下方是 NMOS 晶体管（N-ch）驱动的数字输出。输入控制通过一个上拉电阻 R 和一个反相器连接到数字输入端。待机模式控制通过一个与非门和一个反相器连接到数字输入端。模拟输入通过一个运放放大器连接到模拟输入端。上拉电阻控制由一个开关和一个上拉电阻组成。</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 输入控制 - 模拟输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻： 约为 $50\text{ k}\Omega$ - $I_{OH} = -4\text{ mA}, I_{OL} = 4\text{ mA}$ - 当该引脚作为 I²C 引脚时，数字输出 P 沟道晶体管始终被关闭。
G	 <p>该图展示了引脚 G 的内部结构。上方是两个 PMOS 晶体管（P-ch）驱动的数字输出，下方是 NMOS 晶体管（N-ch）驱动的数字输出。输入控制通过一个上拉电阻 R 连接。待机模式控制通过一个与非门连接到数字输入端。模拟输入通过一个运放放大器连接到模拟输入端。上拉电阻控制由一个开关和一个上拉电阻组成。</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻： 约为 $50\text{ k}\Omega$ - $I_{OH} = -12\text{ mA}, I_{OL} = 12\text{ mA}$ - 当该引脚作为 I²C 引脚时，数字输出 P 通道晶体管始终被关闭。

类型	电路	备注
I	 <p>数字输出 P-ch N-ch 上拉电阻控制 数字输入 待机模式控制</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 可承受 5 V 电压 - 待机模式控制 - 上拉电阻: 约为 50 kΩ - $I_{OH} = -4\text{ mA}$, $I_{OL} = 4\text{ mA}$ - 可以控制 PZR 寄存器
J	 <p>模式输入</p>	CMOS 电平迟滞输入
L	 <p>数字输出 P-ch N-ch 上拉电阻控制 数字输入 待机模式控制</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻: 约为 50 kΩ - $I_{OH} = -8\text{ mA}$, $I_{OL} = 8\text{ mA}$ - 当该引脚作为 I²C 引脚时, 数字输出 P 通道晶体管始终被关闭。

类型	电路	备注
M	 <p>该图展示了M型引脚M的内部结构。引脚M连接到一个由P-ch MOS管和N-ch MOS管组成的开关，通过上拉电阻R与地相连。引脚M还连接到一个反相器，反相器的输出端连接到一个由P-ch MOS管和N-ch MOS管组成的开关，通过上拉电阻R与电源VDD相连。引脚M还连接到一个CMOS输入缓冲器，该缓冲器的输出端连接到一个由P-ch MOS管和N-ch MOS管组成的开关，通过上拉电阻R与地相连。引脚M还连接到一个待机模式控制逻辑，该逻辑的输出端连接到一个由P-ch MOS管和N-ch MOS管组成的开关，通过上拉电阻R与地相连。引脚M还连接到一个模拟输入缓冲器，该缓冲器的输出端连接到一个由P-ch MOS管和N-ch MOS管组成的开关，通过上拉电阻R与地相连。引脚M还连接到一个输入控制逻辑，该逻辑的输出端连接到一个由P-ch MOS管和N-ch MOS管组成的开关，通过上拉电阻R与地相连。</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 输入控制 - 模拟输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻： 约为 $50\text{ k}\Omega$ - $I_{OH} = -8\text{ mA}$、$I_{OL} = 8\text{ mA}$
N	 <p>该图展示了N型引脚N的内部结构。引脚N连接到一个由P-ch MOS管和N-ch MOS管组成的开关，通过上拉电阻R与地相连。引脚N还连接到一个反相器，反相器的输出端连接到一个由P-ch MOS管和N-ch MOS管组成的开关，通过上拉电阻R与地相连。引脚N还连接到一个待机模式控制逻辑，该逻辑的输出端连接到一个由P-ch MOS管和N-ch MOS管组成的开关，通过上拉电阻R与地相连。当该引脚作为I²C引脚时，数字输出P通道晶体管始终被关闭。</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻： 约为 $50\text{ k}\Omega$ - $I_{OH} = -4\text{ mA}$、$I_{OL} = 4\text{ mA}$ (GPIO) - $I_{OL} = 20\text{ mA}$ (高速模式) - 当该引脚作为 I²C 引脚时，数字输出 P 通道晶体管始终被关闭。

类型	电路	备注
O	<p>上拉电阻控制 数字输出 数字输出 待机模式控制</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 可承受 5 V 电压 - 上拉电阻控制 - 待机模式控制 - 上拉电阻: 约为 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - 有关 I/O 设置, 请参考外设手册中的 VBAT 范围
P	<p>X0A 上拉电阻控制 数字输出 数字输出 待机模式控制 OSC</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻: 约为 50 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - 有关 I/O 设置, 请参考外设手册中的 VBAT 范围

类型	电路	备注
Q	 <p>上拉电阻控制 数字输出 数字输出 数字输入 待机模式控制 OSC 待机模式控制 时钟输入</p>	<p>可以选择副振荡/GPIO 功能</p> <p>选择副振荡时：</p> <ul style="list-style-type: none"> - 振荡反馈电阻： 约为 $10\text{ M}\Omega$ - 待机模式控制 <p>选择 GPIO 时：</p> <ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻： 约为 $50\text{ k}\Omega$ - $I_{OH} = -4\text{ mA}$、$I_{OL} = 4\text{ mA}$ - 有关 I/O 设置，请参考外设手册中的 VBAT 范围
R	 <p>上拉电阻控制 数字输出 数字输出 数字输入 待机模式控制 模拟输出</p>	<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 模拟输出 - 上拉电阻控制 - 待机模式控制 - 上拉电阻： 约为 $50\text{ k}\Omega$ - $I_{OH} = -12\text{ mA}$、$I_{OL} = 12\text{ mA}$ (4.5 V 到 5.5 V) - $I_{OH} = -8\text{ mA}$、$I_{OL} = 8\text{ mA}$ (2.7 V 到 4.5 V)

6. 处理注意事项

所有半导体器件都有一定发生故障的概率。发生故障的概率取决于该器件的使用情况（电路条件、环境条件等）。本节介绍了必须考虑的各种注意事项，从而尽可能降低发生故障的概率，并提高赛普拉斯半导体器件的可靠性。

6.1 产品设计注意事项

本节介绍了使用半导体器件进行设计电子设备时需要考虑的各种注意事项。

最大绝对额定值

外界冲击（电压、电流、温度等等）超出某一确定的限制（最大绝对额定值）时，会永久性损坏半导体器件。因此，不要超过这些额定值。

建议的工作条件

建议的工作条件为半导体器件的典型工作范围。当器件在这些条件下工作时，所有器件的电气特性均得到保证。

始终在所建议的工作条件下使用半导体器件。如果在这些范围外进行操作，会影响可靠性，并会导致器件故障。

对于超出本数据手册中所介绍的使用情况、工作范围或组合条件，赛普拉斯公司不提供任何保证。如果用户考虑使用超出所列条件的应用，请提前联系销售代表。

引脚处理和保护

当处理引脚时（该引脚将半导体器件连接至电源和输入/输出功能），需要遵循以下注意事项。

(1) 防止发生过压和过流条件

在任何引脚上施加的电压或电流超过最大额定值时，会降低器件的品质，在极端情况下还会导致器件永久性被损坏。请在设计阶段尽量避免这种过压或过流条件。

(2) 输出引脚保护

将输出引脚与电源引脚或其他输出引脚短接或者将其连接到大电容时，会引起大电流。如果在这种条件下长期使用器件，则会破坏器件。

因此应该避免发生这种连接。

(3) 未使用输入引脚的处理

将空置的输入引脚置于极高阻抗电平会影响到运行的稳定性。应该在这些引脚和电源引脚或接地引脚之间连接一个大小合适的电阻。

代码: DS00-00004-3E

栓锁

半导体器件由基板上的 P 型和 N 型区域构成。当施加异常高的电压时，可能会形成内部寄生 PNPN 结（称为晶闸管结构），这样会在电源引脚上连续流过超过几百毫安级的大电流。该状况被称为栓锁。

警告：栓锁事件不仅会降低半导体器件的可靠性，而且会引起由高热量、烟雾或燃烧造成的伤害或损坏。要想防止发生栓锁，请遵循以下原则：

- (1) 确保引脚上的电压不会超过最大绝对额定值。也应限制异常噪声、浪涌电平等。
- (2) 确保在上电序列期间不会出现异常电流。

遵循安全性规定和标准

世界上大多数国家都建立了有关安全性、电磁干扰保护等标准和规定。客户需要遵循这些针对产品设计的规定和标准。

可靠性设计

所有半导体器件都有一定的故障发生概率。您必须在自己的设施和设备中采取安全设计措施，如冗余、防火、过流保护和其他异常作业条件，以防止由于此类故障造成的伤害、损坏或损失。

器件使用的注意事项

赛普拉斯半导体器件适用于各种标准应用（电脑、办公自动化以及其他办公设备、工业、通信、测量设备、个人或家用设备等）。

警告：如果客户考虑在特殊应用中使用我们的产品，即故障或异常操作可能会直接影响到生命安全，造成人身伤害或财产损失的应用，或者要求极高可靠性的应用（如航空系统、原子能控制、海底中继器、车辆运行控制、生命保障医疗设备等），务必预先联系销售代表。如果未经批准，本公司将不对这种使用情况所造成的损害负责。

6.2 封装安装注意事项

封装安装可能包括插件和表面安装两种类型。在这两种情况中，为了保证对应焊接的耐热能力，请遵照赛普拉斯的建议条件进行安装。更多有关安装条件的信息，请联系您的销售代表。

插件类型

通过以下两种方法可以将插件类型封装安装在印刷电路板上：电路板上直接焊接或使用插座安装。

电路板上直接安装通常需要将引脚插入到电路板上的过孔，然后采用液体焊料的波峰焊方法。在这种方法中，焊接过程通常会使引脚承受超过存储温度绝对额定值的热冲击。安装程序应该符合赛普拉斯所建议的安装条件。

如果采用插座安装，长期使用后插座触点和 IC 引脚的表面处理差异会使两者贴接质量降低。因此，建议在安装之前验证插座触点和 IC 引脚的表面处理情况。

表面安装类型

与插件类型封装相比，表面安装封装的引脚更长且更薄，因此它们更容易变形或弯曲。使用更多引脚和间距更小的封装时，更易损坏，增加引脚变形造成的连接开路，或由焊料接导致的短路。

您必须使用合适的安装技术。赛普拉斯建议使用回流焊，并为每个产品的各个焊接条件制定了规范。用户应该根据赛普拉斯所建议的条件级别来安装封装。

无铅封装

警告：当使用 Sn-Pb 共晶焊料来焊接带 Sn-Ag-Cu 球形焊盘的球栅阵列（BGA）封装时，芯片的结强度可能会在某些使用条件下降低。

半导体器件存储

由于塑料芯片封装是由塑料树脂构成的，因此接触自然环境时它会吸收潮气。在焊接过程中，如果受潮封装被加热，则表面会剥落，从而使防潮性能降低并使封装破裂。要想防止这种情况，请遵循以下原则：

- (1) 避免外界温度剧烈变化，否则潮气会在产品内冷凝成水珠。将产品存储在温度变化小的环境内。
- (2) 使用干燥箱存储产品。应将产品存储在相对湿度低于 70%、温度为 5°C 到 30°C 的环境内。
打开干燥封装时，建议环境相对湿度为 40% 到 70%。
- (3) 需要时，赛普拉斯将半导体器件包装在带有硅胶干燥剂的高防潮铝膜真空包装袋内。应将器件密封在这些铝膜真空包装袋内来储存它们。
- (4) 避免将这些封装存储在存在腐蚀性气体或含高粉尘的环境中。

烘烤

已经吸潮的包装可通过烘烤（热烘）除湿。请遵照赛普拉斯所建议的条件进行烘烤。

条件：125°C/24 h

静电

由于静电非常容易对半导体器件产生不利影响，因此必须遵照以下注意事项：

- (1) 将工作环境的相对湿度保持为 40% 到 70%。也可能需要离子产生设备以去除静电。
- (2) 通过电气方式将所有送料机、焊舱、焊铁和外围设备接地。
- (3) 使用通过高电阻（1 MΩ 左右）接地的手环或戒指来消除人体静电。
建议穿导电的衣服和鞋，使用导电地垫和其他方法，尽量减少静电引起的冲击能量。
- (4) 将所有夹具和仪器接地，或采用其它防静电措施。
- (5) 避免使用聚苯乙烯泡沫塑料或其他易带静电的材料存储电路板组件成品。

6.3 使用环境注意事项

如前面章节所述，半导体器件的可靠性取决于环境温度和其他条件。

为使性能可靠，请遵守以下原则：

(1)湿度

在高湿环境下长期使用会导致器件间的电流泄漏，印刷电路板之间同理。如能预知应用于高湿环境，则需要考虑额外的防潮措施。

(2)静电放电

当高压带电物体靠近半导体器件时，放电会引起运行异常。在这种情况下，请使用防静电措施或工艺来防止放电发生。

(3)腐蚀性气体、粉尘或油

暴露在腐蚀性气体、粉尘或油等环境时可能会引起化学反应，从而对该器件产生不利影响。如果在这些条件下使用器件，则需要考虑采取措施防止器件暴露于此类物质中以保护器件。

(4)辐射，包括宇宙射线

大多数的器件设计并没考虑到应对辐射或宇宙辐线的措施。因此，用户最好适当屏蔽。

(5)烟雾、燃烧

警告：塑封器件易燃，因此需要远离易燃物质。如果设备冒烟或燃烧，存在释放有毒气体的危险。

如果客户考虑在其他特殊环境条件下使用赛普拉斯产品，请联系销售代表。

请在以下 URL 中查看最新注意事项。

<http://www.spansion.com/fj/documents/fj/datasheet/e-ds/DS00-00004.pdf>

7. 器件注意事项

电源引脚

产品带有多个 VCC 和 VSS 引脚时，同电位上的相应引脚在器件内已经互连，以防止发生栓锁等故障。但是所有这些引脚应当通过外部连接到电源或地上，以降低电磁辐射水平、防止地电位上升导致的选通信号异常操作，并符合额定的输出总电流。

另外，请确保连接电源时，器件的 POWER 引脚和 GND 引脚为低阻抗。另外建议在靠近器件的范围内将约 $0.1 \mu\text{F}$ 的旁路陶瓷电容放置在 VCC 和 VSS 之间。

电源引脚

当电源电压快速波动时，即使该波动处于 VCC 电源电压的保证工作范围，也可能发生故障。作为电压稳定规则，必须使工频（50 Hz/60 Hz）的 VCC 纹波（峰-峰值）波动不超过 VCC 标称值的 10%，并且瞬间波动斜率不能超过 $0.1 \text{ V}/\mu\text{s}$ ，尤其注意上下电时。

晶体振荡器电路

X0/X1 和 X0A/X1A 引脚附近的噪声可能导致器件故障。设计印刷电路板时应使 X0/X1、X0A/X1A 引脚、晶振（或陶振）以及对地旁路电容尽可能靠近器件。

强烈建议在设计 PCB 时，使地平面环绕 X0/X1 和 X0A/X1A 引脚，以确保运行稳定。

用电路板上的晶体振荡器来评估振荡质量。

副晶体振荡器

该器件系列的副振荡电路为保持低功耗而采用低增益电路。

为了使振荡稳定，晶体振荡器需要满足以下条件：

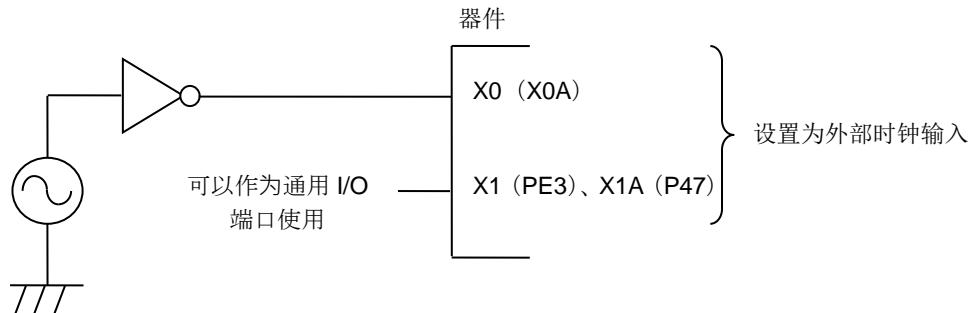
- 表面安装类型
 - 大小： 3.2 mm x 1.5 mm 以上
 - 负载电容： 约为 6 pF 到 7 pF
- 插件类型
 - 负载电容： 约为 6 pF 到 7 pF

外部时钟的使用

将外部时钟用作为主时钟的输入时，需要将 X0/X1 设置为外部时钟输入模式，并从 X0 输入。X1 (PE3) 可以作为通用 I/O 端口使用。

同样，将外部时钟用作为副时钟的输入时，需要将 X0A/X1A 设置为外部时钟输入模式，并从 X0A 输入。X1A (P47) 可以作为通用 I/O 端口使用。

外部时钟使用示例



多功能串行引脚作为 I²C 引脚时的注意事项

将多功能引脚用作为 I²C 引脚时，数字输出的 P 通道晶体管始终被关闭。

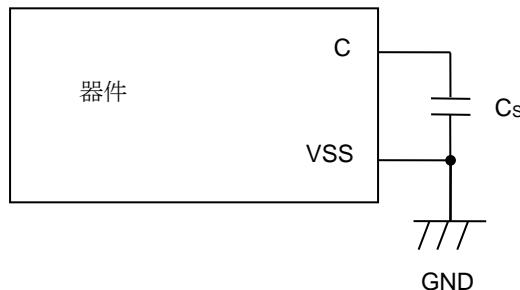
然而，类似于其他引脚，I²C 引脚也要符合电气限制规则，并且在断电时，避免将这些引脚连接到外部 I²C 总线系统。

C 引脚

该器件系列内置稳压器。请确保在 C 引脚和 GND 引脚之间为内部稳压器连接一个平滑电容 (C_s)。请使用陶瓷电容或频率特性相似的平滑电容。

然而，某些叠层陶瓷电容会随温度波动引起较大的容值变化 (F 特性和 Y5V 特性)。请评估电容的温度特性，以选择满足运行条件的电容。

该器件系列建议使用 4.7 μF 大小的平滑电容。



模式引脚 (MD0)

将 MD 引脚 (MD0) 直接连接到 VCC 或 VSS 引脚上。设计印刷电路板时，请确保上拉/下拉电阻保持低阻抗，模式引脚和 VCC/VSS 引脚之间的距离应尽可能小，并且在将引脚上拉/下拉时（如切换引脚电平和重新编写闪存数据），连接阻抗也要低。这是为了避免器件因有噪声而错误切换到测试模式。

上电时的注释

请按照以下顺序或同时打开/关闭电源。

如果未使用 A/D 转换器和 D/A 转换器, 请将 AVCC 连接到 VCC 上, 将 AVSS 连接到 VSS。

上电: VBAT → VCC

 VCC → AVCC → AVRH

断电: VCC → VBAT

 AVRH → AVCC → VCC

串行通信

实现串行通信时, 噪声或其他问题可能导致接收到错误数据。

因此, 需要设计一个印刷电路板以避免噪声。

考虑到因有噪声而收到错误数据的情况, 请执行错误检测 (如在数据结尾处添加校验和)。如果检测到某种错误, 应重新传输数据。

不同存储器大小产品间的特性差异, 以及闪存产品和 MASK 产品之间的特性差异。

由于芯片布局和存储器结构不一样, 因此存储器大小不同的产品间以及闪存产品和 MASK 产品之间的电气特性 (包括功耗、ESD、栓锁、噪声和振荡特性) 可能存在差异。

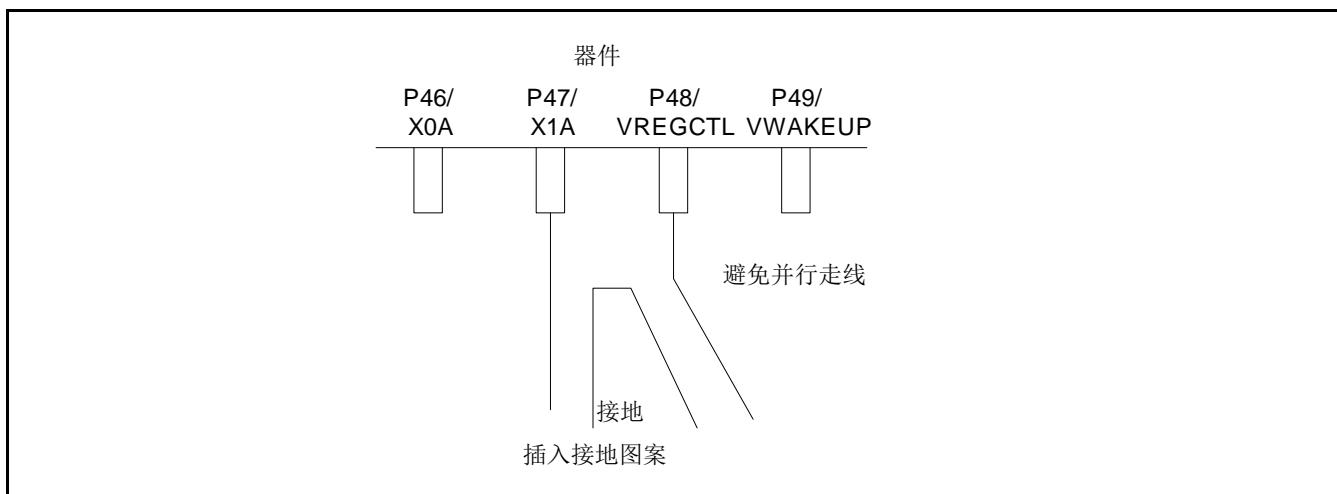
如果您切换到同一系列中的其他产品, 则必须评估电气特性。

可承受 5 V 输入 I/O 的上拉功能

当使用可承受 5 V 输入 I/O 的上拉功能时, 请勿输入超过 VCC 电压的信号。

在电路板上使相邻连线互接

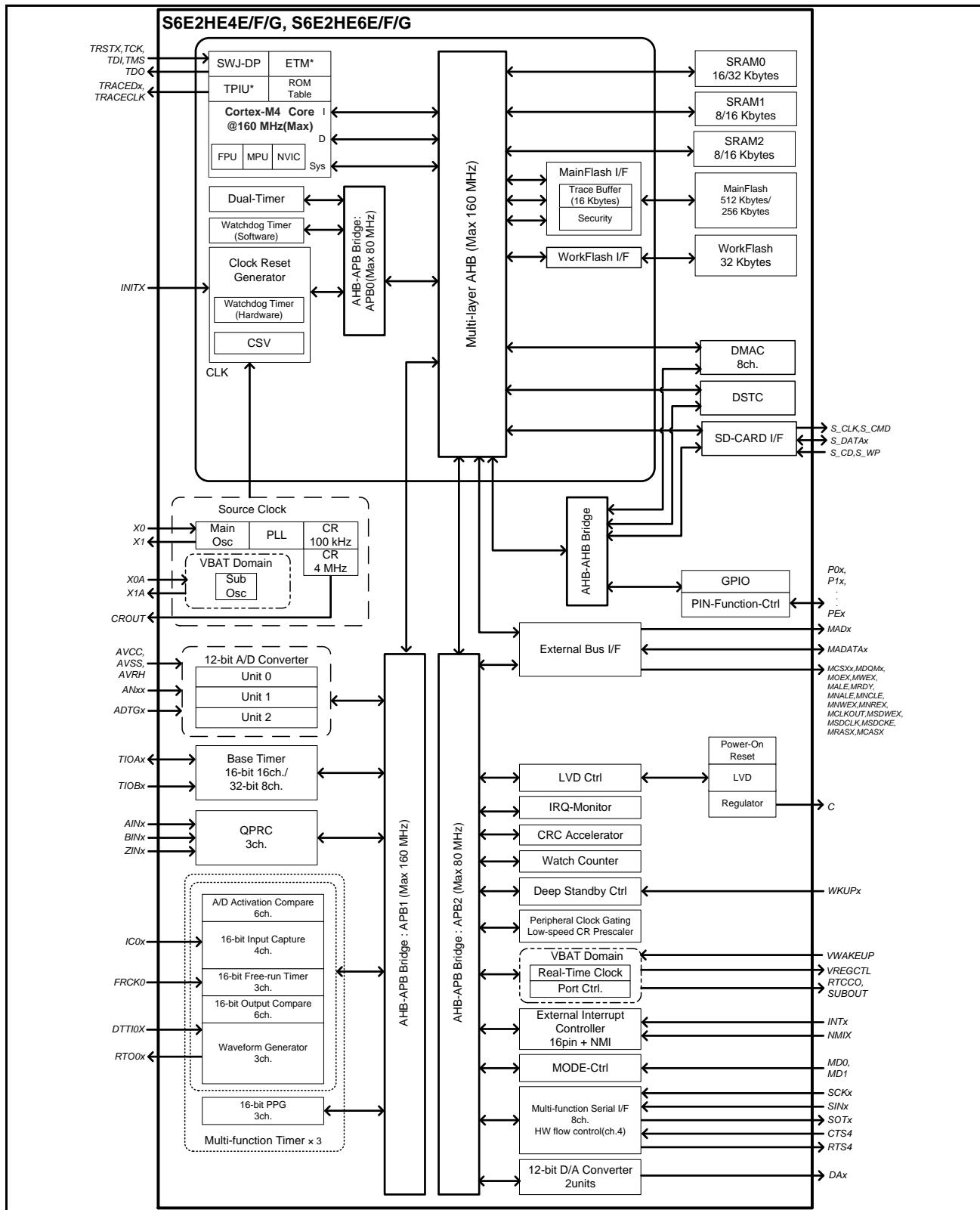
如果晶体振荡器电路 X1A 的连线与 P48/VREGCTL 的连线邻接且并行运行, 那么振荡器可能会错误计数。这是因为 P48/VREGCTL 的更改使 X1A 产生噪声。在两个连线之间保持尽可能大的距离, 并插入一个接地图案以避免这种情况。



使用调试引脚时的注意事项

将调试引脚 (TDO/TMS/TDI/TCK/TRSTX 或 SWO/SWDIO/SWCLK) 设置为 GPIO 或其他外设功能时, 只能将它们设置为输出引脚, 不能设置为输入引脚。

8. 框图



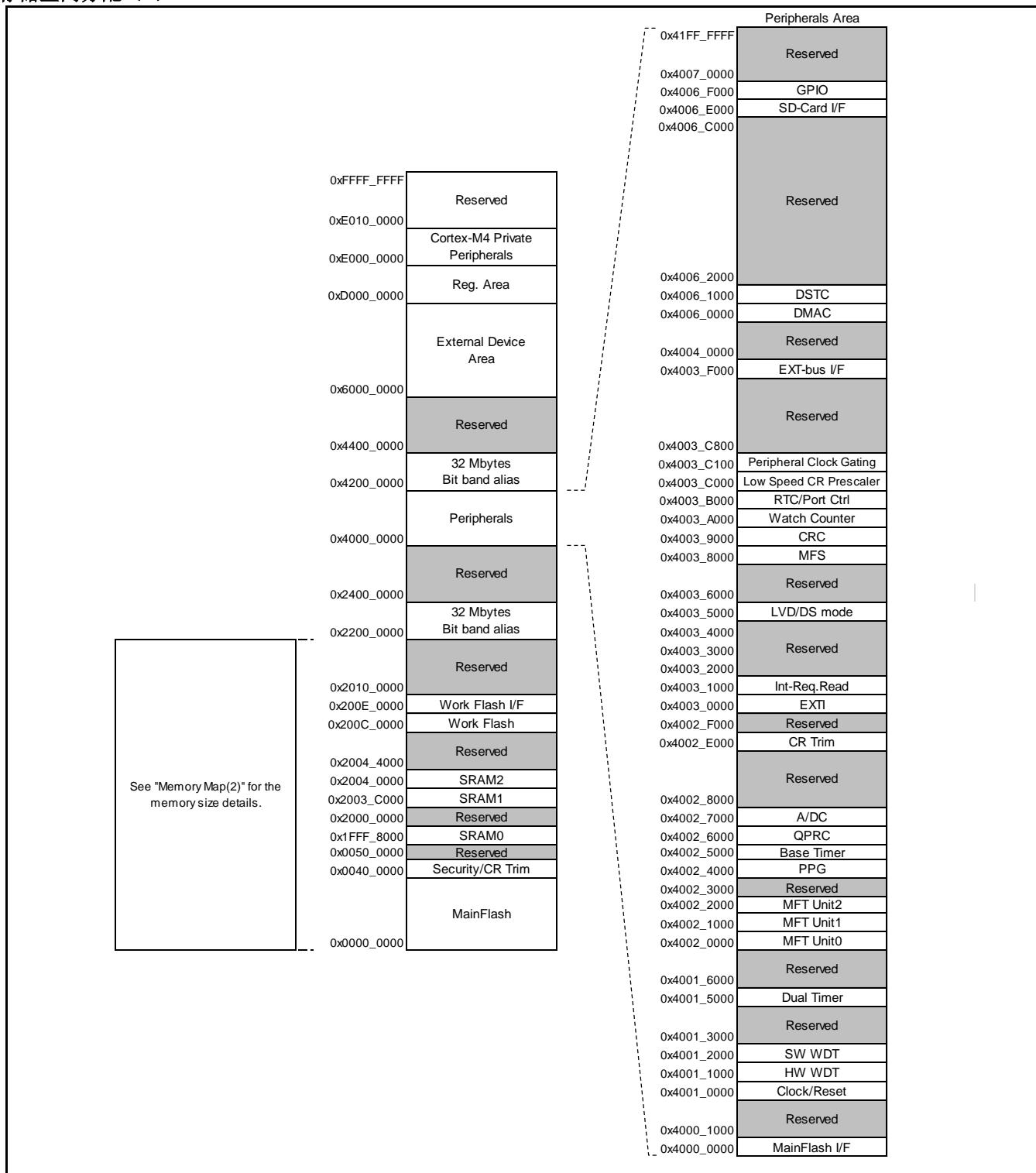
*: 对于 S6E2HE4E0A 和 S6E2HE6E0A, ETM 不可用。

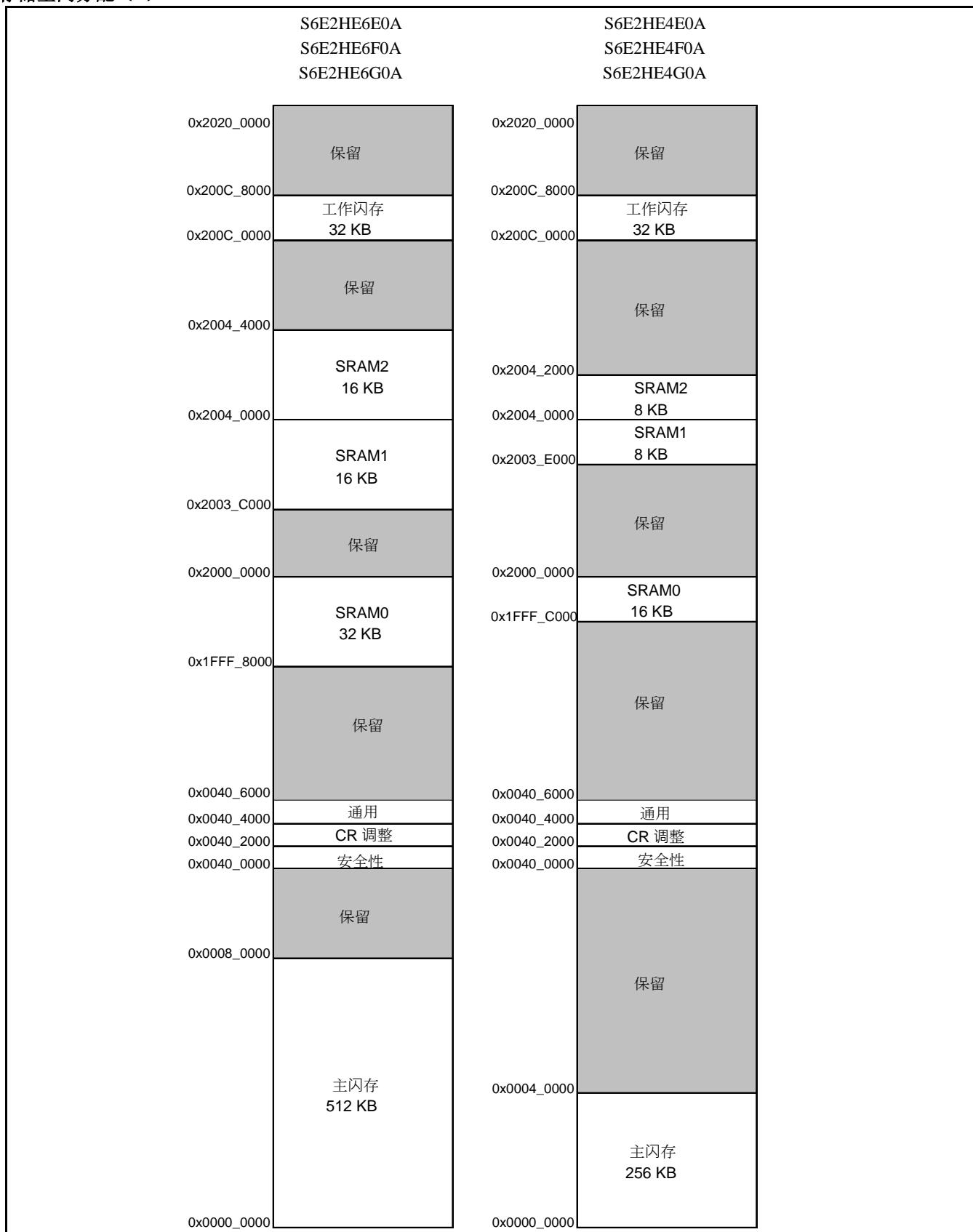
9. 存储器大小

请参考第 1 章产品系列来确定存储器大小。

10. 存储空间分配

存储空间分配 (1)



存储空间分配 (2)


外设地址分配

起始地址	结束地址	总线	外设
0x4000_0000	0x4000_0FFF	AHB	主闪存 I/F 寄存器
0x4000_1000	0x4000_FFFF		保留
0x4001_0000	0x4001_0FFF		时钟/复位控制
0x4001_1000	0x4001_1FFF		硬件看门狗定时器
0x4001_2000	0x4001_2FFF		软件看门狗定时器
0x4001_3000	0x4001_4FFF		保留
0x4001_5000	0x4001_5FFF		双定时器
0x4001_6000	0x4001_FFFF		保留
0x4002_0000	0x4002_0FFF		多功能定时器单元 0
0x4002_1000	0x4002_1FFF		多功能定时器单元 1
0x4002_2000	0x4002_2FFF	APB0	多功能定时器单元 2
0x4002_3000	0x4003_FFFF		保留
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		基础定时器
0x4002_6000	0x4002_6FFF		正交位置/转数计数器
0x4002_7000	0x4002_7FFF		A/D 转换器
0x4002_8000	0x4002_DFFF		保留
0x4002_E000	0x4002_EFFF		内部 CR 调整
0x4002_F000	0x4002_FFFF		保留
0x4003_0000	0x4003_0FFF	APB1	外部中断控制器
0x4003_1000	0x4003_1FFF		中断请求批量读取功能
0x4003_2000	0x4003_4FFF		保留
0x4003_3000	0x4003_3FFF		D/A 转换器
0x4003_4000	0x4003_4FFF		保留
0x4003_5000	0x4003_57FF		低电压检测
0x4003_5800	0x4003_5FFF		深度待机模式控制器
0x4003_6000	0x4003_7FFF		保留
0x4003_8000	0x4003_8FFF		多功能串行接口
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		计时计数器
0x4003_B000	0x4003_BFFF		RTC/端口控制
0x4003_C000	0x4003_C0FF		低速 CR 预分频器
0x4003_C100	0x4003_C7FF		外设时钟门控
0x4003_C800	0x4003_EFFF		保留
0x4003_F000	0x4003_FFFF		外部存储器接口
0x4004_0000	0x4005_FFFF	AHB	保留
0x4006_0000	0x4006_0FFF		DMAC 寄存器
0x4006_1000	0x4006_1FFF		DSTC 寄存器
0x4006_24000	0x4006_DFFF		保留
0x4006_E000	0x4006_EFFF		SD 卡 I/F
0x4006_F000	0x4006_FFFF		GPIO
0x4006_7000	0x41FF_FFFF		保留
0x200E_0000	0x200E_FFFF		工作闪存 I/F 寄存器

11. 各 CPU 模式下的引脚状态

描述引脚状态的术语含义如下：

■ INITX=0

表示 INITX 引脚为低电平的时间。

■ INITX=1

表示 INITX 引脚为高电平的时间。

■ SPL=0

表示待机模式控制寄存器（STB_CTL）中的待机引脚电平设置位（SPL）被设置为 0。

■ SPL=1

表示待机模式控制寄存器（STB_CTL）中的待机引脚电平设置位（SPL）被设置为 1。

■ 输入有效

表示输入功能有效。

■ 内部输入固定为 0

输入功能被禁止。内部输入固定为低电平。

■ 高阻态

引脚驱动晶体管被禁止，引脚处于高阻态。

■ 设置无效

表示设置无效。

■ 保持之前的状态

保持进入当前模式前的瞬间状态。

如果内置外设功能正在运行，则引脚上的信号变化取决于外设功能。

如果该引脚为端口，则输出前状态。

■ 模拟输入有效

表示模拟输入有效。

■ 追踪输出

表示可以使用追踪功能。

■ GPIO 功能

在深度待机模式下，引脚切换到通用 I/O 端口。

■ 设置禁止

根据规范被禁止的设置项。

引脚状态列表

引脚状态 类型	功能组	上电复位或 低电压检测 状态	INITX 输入 状态	器件内部 复位状态	运行模式或 睡眠模式 状态	定时器模式、 RTC 模式或 停止模式状态	深度待机 RTC 模式或深度 待机停止模式状态		深度待机模式 返回状态	
		供电电压 未稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1	INITX = 1	
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	
A	GPIO 功能	设置 无效	设置 无效	设置 无效	保持之前的 状态	保持之前的 状态	高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
A	主晶体 振荡器 输入引脚/ 外部主时钟 输入引脚	输入 有效	输入 有效	输入 有效	输入 有效	输入 有效	输入 有效	输入 有效	输入 有效	输入 有效
B	GPIO 功能	设置 无效	设置 无效	设置 无效	保持之前的 状态	保持之前的 状态	高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
B	外部主时钟 输入引脚	设置被 禁用	设置被 禁用	设置被 禁用	保持之前的 状态	保持之前的 状态	高阻态/ 内部输入 固定为 0	保持之前的 状态	高阻态/ 内部输入 固定为 0	保持之前的 状态
B	主晶体 振荡器 输出引脚	高阻态/ 内部输入 固定为 0/ 输入使能	高阻态/ 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	保持之前的状态/ 当振荡停止时*1，高阻态/ 内部输入固定为 0					
C	INITX 输入引脚	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能	上拉/ 输入使能
D	模式 输入引脚	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能
E	模式 输入引脚	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能
E	GPIO 功能	设置被 禁用	设置被 禁用	设置被 禁用	保持之前的 状态	保持之前的 状态	高阻态/ 输入使能	GPIO 功能	高阻态/ 输入使能	GPIO 功能

引脚 类型 状态 标志	功能组	上电复位或 低电压检测 状态	INITX 输入 状态	器件内部 复位状态	运行模式或 睡眠模式 状态	定时器模式、 RTC 模式或 停止模式状态		深度待机 RTC 模式或深度 待机停止模式状态		深度待机模式 返回状态		
		供电电压 未稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定		
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1	INITX = 1	INITX = 1		
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-		
F	NMIX 引脚	设置被 禁用	设置被 禁用	设置被 禁用	保持之前的 状态	保持之前的 状态	保持之前的 状态	唤醒 输入使能	高阻态/ 唤醒 输入使能	GPIO 功能		
	其它外设 功能	高阻态	高阻态/ 输入使能	高阻态/ 输入使能			高阻态/ 内部输入 固定为 0					
	GPIO 功能						保持之前的 状态					
G	JTAG 功能	高阻态	上拉/ 输入使能	上拉/ 输入使能	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态		
	GPIO 功能	设置被 禁用	设置被 禁用	设置被 禁用			高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能		
H	JTAG 功能	高阻态	上拉/ 输入使能	上拉/ 输入使能	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态		
	其它外设 功能	设置被 禁用	设置被 禁用	设置被 禁用			高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能		
	GPIO 功能											
I	外设功能	高阻态	高阻态/ 输入使能	高阻态/ 输入使能	保持之前的 状态	保持之前的 状态	高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能		
	GPIO 功能											
J	模拟输出 功能	设置被 禁用	设置被 禁用	设置被 禁用	保持之前的 状态	*2	*3	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能		
	其它外设 功能	高阻态	高阻态/ 输入使能	高阻态/ 输入使能		保持之前的 状态	高阻态/ 内部输入 固定为 0					
	GPIO 功能											

引脚状态 类型	功能组	上电复位或 低电压检测 状态	INITX 输入 状态	器件内部 复位状态	运行模式或 睡眠模式 状态	定时器模式、 RTC 模式或 停止模式状态	深度待机 RTC 模式或深度 待机停止模式状态		深度待机模式 返回状态	
		供电电压 未稳定	供电电压 稳定							
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1	INITX = 1	
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	
K	外部中断 使能	设置被 禁用	设置被 禁用	设置被 禁用	保持之前的 状态	保持之前的 状态	保持之前的 状态	GPIO 功能 内部输入 固定为 0	GPIO 功能	
	其它外设 功能	高阻态	高阻态/ 输入使能	高阻态/ 输入使能		高阻态/ 内部输入 固定为 0	高阻态/ 内部输入 固定为 0			
	GPIO 功能					高阻态/ 内部输入 固定为 0	高阻态/ 内部输入 固定为 0			
L	模拟输入 功能	高阻态	高阻态/ 内部输入 固定为 0/ 模拟 输入使能							
	其它外设 功能	设置被 禁用	设置被 禁用	设置被 禁用	保持之前的 状态	保持之前的 状态	高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	GPIO 功能	
	GPIO 功能					保持之前的 状态				
M	模拟输入 功能	高阻态	高阻态/ 内部输入 固定为 0/ 模拟 输入使能							
	外部中断 使能	设置被 禁用	设置被 禁用	设置被 禁用	保持之前的 状态	保持之前的 状态	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能	
	其它外设 功能					保持之前的 状态				
	GPIO 功能					保持之前的 状态				
N	模拟输入 功能	高阻态	高阻态/ 内部输入 固定为 0/ 模拟 输入使能							
	Trace 功能	设置被 禁用	设置被 禁用	设置被 禁用	保持之前的 状态	保持之前的 状态	Trace 输出 高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	GPIO 功能	
	其它外设 功能					保持之前的 状态				
	GPIO 功能					保持之前的 状态				

引脚状态类型	功能组	上电复位或低电压检测状态	INITX 输入状态	器件内部复位状态	运行模式或睡眠模式状态	定时器模式、RTC 模式或停止模式状态	深度待机 RTC 模式或深度待机停止模式状态	深度待机模式返回状态
		供电电压未稳定	供电电压稳定	供电电压稳定	供电电压稳定	供电电压稳定	供电电压稳定	供电电压稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1	INITX = 1	INITX = 1
		-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1
O	模拟输入功能	高阻态	高阻态/内部输入固定为 0/模拟输入使能	高阻态/内部输入固定为 0/模拟输入使能				
	Trace 功能	设置被禁用	设置被禁用	保持之前的状态	保持之前的状态	Trace 输出	GPIO 功能 内部输入固定为 0	GPIO 功能
	外部中断使能					保持之前的状态		
	其它外设功能					高阻态/内部输入固定为 0		
	GPIO 功能							

引脚状态 类型	功能组	上电复位或 低电压检测 状态	INITX 输入 状态	器件内部 复位状态	运行模式或 睡眠模式 状态	定时器模式、 RTC 模式或 停止模式状态	深度待机 RTC 模式或深度 待机停止模式状态		深度待机模式 返回状态
		供电电压 未稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定	供电电压 稳定		供电电压 稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1	INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1
P	模拟输入 功能	高阻态	高阻态/ 内部输入 固定为 0/ 模拟 输入使能						
	唤醒 功能	设置被 禁用	设置被 禁用	设置被 禁用	保持之前 的状态	保持之前 的状态	保持之前的 状态	唤醒 输入使能	高阻态/ WKUP 输入使能
	其它外设 功能						高阻态/ 内部输入 固定为 0	GPIO 功能	高阻态/ 内部输入 固定为 0
	GPIO 功能						GPIO 功能		
Q	唤醒 功能	设置被 禁用	设置被 禁用	设置被 禁用	保持之前 的状态	保持之前 的状态	保持之前的 状态	唤醒输入 允许	高阻态/ 唤醒 输入使能
	外部中断 使能						GPIO 功能	高阻态/ 内部输入 固定为 0	
	其它外设 功能								高阻态/ 内部输入 固定为 0
	GPIO 功能	高阻态	高阻态/ 输入使能	高阻态/ 输入使能					

*1: 在副定时器模式、副 CR 定时器模式、RTC 模式、停止模式、深度待机 RTC 模式和深度待机停止模式下，振荡停止。

*2: 在定时器模式下保持之前的状态。在 RTC 模式和停止模式下，GPIO 内部输入固定为 0。

*3: 在定时器模式下保持之前的状态。在 RTC 模式和停止模式下，高阻态/内部输入固定为 0。

VBAT 域引脚状态列表

VBAT 引脚状态 类型	功能组	VBAT 上电复位	INITX 输入状态	器件内部 复位状态	运行模式 或睡眠 模式状态	定时器模式、 RTC 模式或 停止模式状态	深度待机 RTC 模式 或深度待机停止模式 状态	深度待机 模式返回 模式状态	VBAT RTC 模式状态	VBAT RTC 模式返回 状态
		供电电压 不稳定	供电电压 稳定		供电电压 稳定	供电电压 稳定		供电电压 稳定	供电电压 稳定	供电电压 稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1	-	-
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
S	GPIO 功能	设置被 禁用	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	GPIO 功能	设置 禁止
	副晶体振荡 器输入引脚/ 外部副时钟 输入引脚	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	输入 使能	保持之前 的状态
	GPIO 功能	设置被 禁用	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	GPIO 功能	设置禁止
T	外部副时钟 输入引脚	设置被 禁用	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态
	副晶体 振荡器 输入引脚	高阻态/ 内部输入 固定为 0/ 输入使能	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态/ 振荡 停止， 高阻态*	保持之前 的状态/ 振荡 停止， 高阻态*	保持之前 的状态/ 振荡 停止， 高阻态*	保持之前 的状态/ 振荡 停止， 高阻态*	保持之前 的状态
U	外设功能	高阻态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态
	GPIO 功能									

*: 当 WTOSCCNT 寄存器中 SOSCNTL 位的值为 ‘0’ 时，副晶体振荡器的输出引脚将保持之前的状态。

当 WTOSCCNT 寄存器中 SOSCNTL 位的值为 ‘1’ 时，振荡将停止在停止模式和深度待机停止模式下。

12. 电气特性

12.1 最大绝对额定值

参数	符号	额定值		单位	备注
		最小值	最大值		
供电电压 ^{*1、*2}	V _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
供电电压 (VBAT) ^{*1、*4}	V _{BAT}	V _{SS} - 0.5	V _{SS} + 6.5	V	
模拟供电电压 ^{*1、*5}	A _{VCC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
模拟参考电压 ^{*1、*5}	A _{VRH}	V _{SS} - 0.5	V _{SS} + 6.5	V	
输入电压 ^{*1}	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≤ 6.5 V)	V	
		V _{SS} - 0.5	V _{SS} + 6.5	V	耐 5 V
模拟引脚输入电压 ^{*1}	V _{IA}	V _{SS} - 0.5	A _{VCC} + 0.5 (≤ 6.5 V)	V	
输出电压 ^{*1}	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≤ 6.5 V)	V	
低电平最大输出电流 ^{*6}	I _{OL}	-	10	mA	4 mA 型
			20	mA	8 mA 型
			20	mA	12 mA 型
			22.4	mA	I ² C Fm+
低电平平均输出电流 ^{*7}	I _{OLAV}	-	4	mA	4 mA 型
			8	mA	8 mA 型
			12	mA	12 mA 型
			20	mA	I ² C Fm+
低电平最大总输出电流	ΣI _{OL}	-	100	mA	
低电平平均总输出电流	ΣI _{OLAV}	-	50	mA	
高电平最大输出电流 ^{*6}	I _{OH}	-	- 10	mA	4 mA 型
			20	mA	8 mA 型
			- 20	mA	12 mA 型
高电平平均输出电流 ^{*7}	I _{OHAV}	-	- 4	mA	4 mA 型
			8	mA	8 mA 型
			- 12	mA	12 mA 型
高电平最大总输出电流	ΣI _{OH}	-	- 100	mA	
高电平平均总输出电流	ΣI _{OHAV}	-	- 50	mA	
存储温度	T _{STG}	- 55	+ 150	°C	

*1: 这些参数都是基于 V_{SS} = A_{VSS} = 0.0 V。

*2: V_{CC} 不得低于 V_{SS} - 0.5 V。

*3: V_{BAT} 不得低于 V_{SS} - 0.5 V。

*4: 请确保电压不超过 V_{CC} + 0.5 V, 例如上电时。

*5: 最大输出电流被定义为经过任意一个相应引脚的峰值电流。

*6: 平均输出电流被定义为 100 ms 内经过任意一个相应引脚的平均电流。

*7: 平均总输出电流被定义为 100 ms 内经过所有相应引脚的平均电流。

警告:

- 外界冲击 (包括未限制的电压、电流或温度) 超过最大绝对额定值会使半导体器件永久性损坏。禁止超过上述任何额定值。



初版

S6E2HE 系列

12.2 推荐工作条件

参数	符号	条件	值		单位	备注
			最小值	最大值		
供电电压	V _{CC}	-	2.7*3	5.5	V	
供电电压 (VBAT)	V _{BAT}	-	2.7	5.5	V	
模拟供电电压	A _{VCC}	-	2.7	5.5	V	A _{VCC} =V _{CC}
模拟参考电压	A _{VRH}	-	*2	A _{VCC}	V	
工作温度	结温	T _J	- 40	+ 125	°C	
	环境温度	T _A	- 40	*1	°C	

*1: 结温 (T_J) 允许值决定环境温度 (T_A) 的最大动态范围。

环境温度 (T_A) 的计算公式如下:

$$T_A (\text{最大值}) = T_J (\text{最大值}) - P_d (\text{最大值}) \times \theta_{ja}$$

P_d: 功耗 (W)
 θ_{ja}: 封装热阻 (°C/W)

$$P_d (\text{最大值}) = V_{CC} \times I_{CC} (\text{最大值}) + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

I_{OL}: 低电平输出电流

I_{OH}: 高电平输出电流

V_{OL}: 低电平输出电压

V_{OH}: 高电平输出电压

各种封装的热阻和最大允许功耗如下。

当半导体器件功耗小于或等于最大允许值时，可确保正常运行。

*2: 模拟参考电压的最小值取决于比较时钟周期值 (T_{cck})。更多详细信息，请参考第 12.5 节“12 位 A/D 转换器”。

*3: 如果工作电压等于或大于低压复位/中断检测电压，并且小于供电电压的最小值，这时只能执行由内置高速 CR (包括所使用的主 PLL) 或内置低速 CR 提供时钟的指令和低压检测功能。

各种封装的热阻和最大允许功耗列表

封装	印刷电路板	热阻 θ _{ja} (°C/W)	最大允许功耗 (mW)	
			T _A = +85°C	T _A = +105°C
LQH080 (间距为 0.5 mm)	单层双面	82	488	244
	四层	56	714	357
LQI100 (间距为 0.5 mm)	单层双面	59	678	339
	四层	39	1026	513
LQM120 (间距为 0.5 mm)	单层双面	71	563	282
	四层	50	800	400
FDI121 (间距为 0.5 mm)	单层双面	63	635	317
	四层	37	1081	540

警告:

- 需要遵循所推荐的工作条件，以确保半导体器件正常运行。器件在这些条件下运行时，所有器件的电气特性均能得到保证。
要根据推荐的工作条件来使用半导体器件。
在其他条件下进行操作可能会影响器件的可靠性，并会导致器件故障。
赛普拉斯公司对本数据手册中没有显示的使用、工作条件或组合不作任何担保。除了这里所列出的条件外，如果您想要在其他条件下使用这些应用，请提前联系销售部门。

功耗 (**Pd**) 的计算方法

功耗计算公式如下。

$$P_d = V_{CC} \times I_{CC} + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC}-V_{OH}) \times (-I_{OH}))$$

I_{OL}: 低电平输出电流

I_{OH}: 高电平输出电流

V_{OL}: 低电平输出电压

V_{OH}: 高电平输出电压

I_{CC} 是器件所消耗的电流。

通过以下公式计算得出该值。

$$I_{CC} = I_{CC} (\text{INT}) + \sum I_{CC} (\text{IO})$$

I_{CC} (INT): 内部逻辑和存储器等电路流过内部稳压器所消耗的电流

$\sum I_{CC}$ (IO): 输出引脚所消耗的电流总和 (I/O 切换电流)

对于 I_{CC} (INT)，可以参考第 12.3 节“直流特性”中“(1) 电流额定值”的内容 (该额定值不包括固定引脚上的 I_{CC} (I/O))。

对于 I_{CC} (IO)，则取决于用户所使用的系统。

计算公式如下。

$$I_{CC} (\text{IO}) = (C_{INT} + C_{EXT}) \times V_{CC} \times f_{sw}$$

C_{INT}: 引脚内部负载电容

C_{EXT}: 输出引脚的外部负载电容

f_{sw}: 引脚切换频率

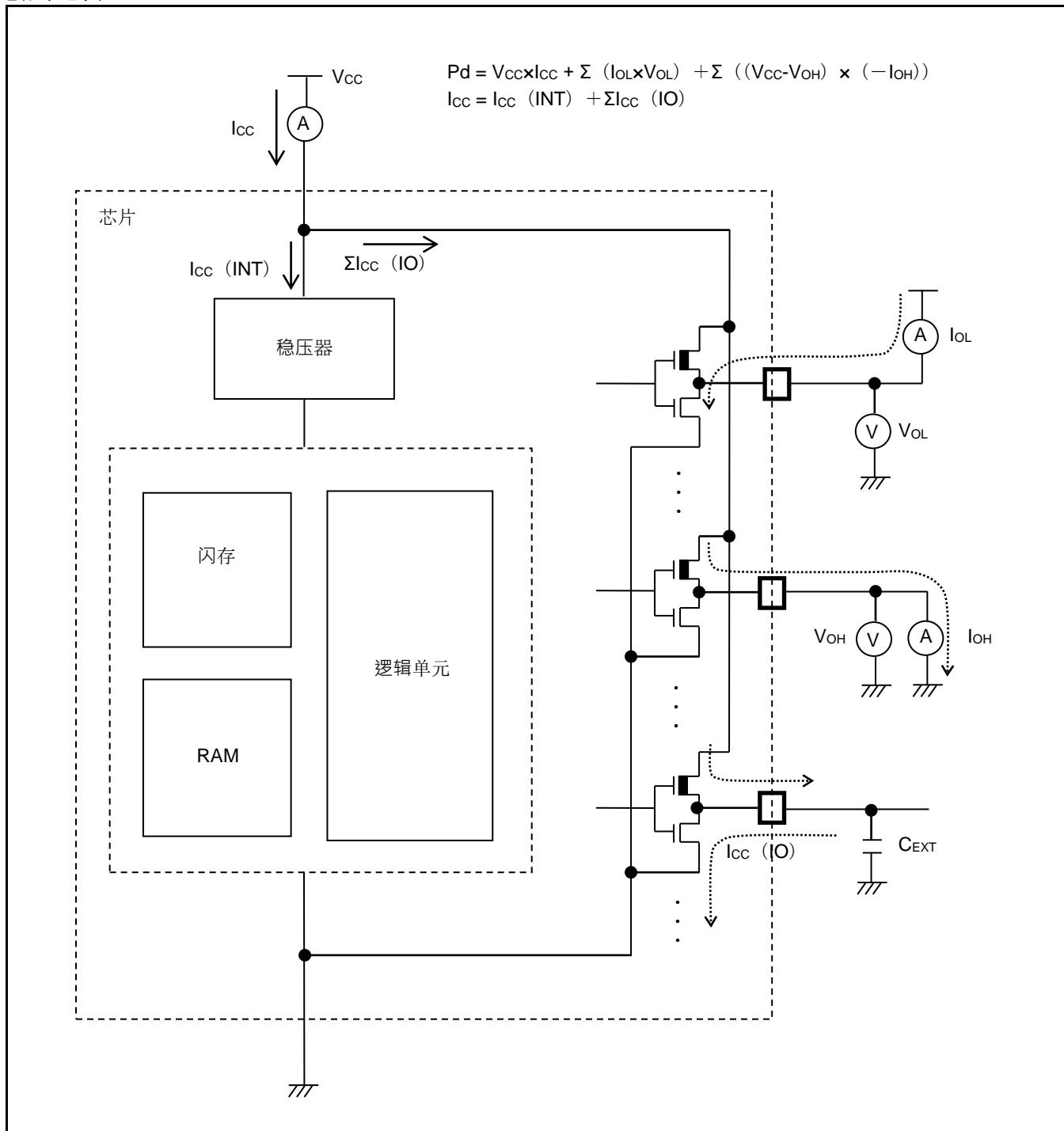
参数	符号	条件	电容值
引脚内部负载电容	C _{INT}	4 mA 型	1.93 pF
		8 mA 型	3.45 pF
		12 mA 型	3.42 pF

也可按照以下计算 I_{CC} (最大值) 的方式，自己评估功耗。

1. 在正常温度 (+25°C) 下测量电流值 I_{CC} (典型值)。
2. 再加下表中的最大漏电流值 I_{CC} (leak_max)。

$$I_{CC} (\text{最大值}) = I_{CC} (\text{典型值}) + I_{CC} (\text{leak_max})$$

参数	符号	条件	电流值
工作时的最大漏电流	I _{CC} (leak_max)	T _J = +125°C	待定
		T _J = +105°C	待定
		T _J = +85°C	待定

电流示意图


12.3 直流特性

12.3.1 电流额定值

表 12-1 正常工作模式 (PLL) 下的电流消耗的典型值和最大值，闪存存储器中执行代码（闪存加速器和追踪缓冲区功能使能）

参数	符号	引脚名称	条件	频率 ^{*4}	值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	I _{CC}	V _{CC}	正常工作 (PLL) ^{*5、*6、 *9}	160 MHz	51	待定	mA	^{*3} 所有外设时钟工作
				144 MHz	47	待定		
				120 MHz	39	待定		
				100 MHz	33	待定		
				80 MHz	27	待定		
				60 MHz	20	待定		
				40 MHz	14	待定		
				20 MHz	7.6	待定		
				8 MHz	3.9	待定		
				4 MHz	2.7	待定		
				160 MHz	31	待定	mA	^{*3} 所有外设时钟关闭
				144 MHz	28	待定		
				120 MHz	23	待定		
				100 MHz	20	待定		
				80 MHz	16	待定		
				60 MHz	12	待定		
				40 MHz	8.7	待定		
				20 MHz	5.0	待定		
				8 MHz	2.8	待定		
				4 MHz	2.1	待定		

表 12-2 正常工作模式 (PLL) 下的电流消耗的典型值和最大值，闪存存储器中执行代码并访问数据（闪存加速器和追踪缓冲区功能禁止）

参数	符号	引脚名称	条件	频率 ^{*7}	值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	I _{CC}	V _{CC}	正常工作 (PLL) ^{*8、*9}	160 MHz	56	待定	mA	^{*3} 所有外设时钟工作
				144 MHz	51	待定		
				120 MHz	43	待定		
				100 MHz	37	待定		
				80 MHz	30	待定		
				60 MHz	23	待定		
				40 MHz	16	待定		
				20 MHz	8.5	待定		
				8 MHz	4.3	待定		
				4 MHz	2.9	待定		
				160 MHz	30	待定	mA	^{*3} 所有外设时钟关闭
				144 MHz	28	待定		
				120 MHz	24	待定		
				100 MHz	20	待定		
				80 MHz	17	待定		
				60 MHz	13	待定		
				40 MHz	9.2	待定		
				20 MHz	5.3	待定		
				8 MHz	3.0	待定		
				4 MHz	2.2	待定		

*1: T_A = +25°C, V_{CC} = 3.3 V

*2: T_J = +125°C, V_{CC} = 5.5 V

*3: 所有端口为固定电平

*4: 频率为 HCLK 值, PCLK0 = PCLK1 = PCLK2 = HCLK/2

*5: 允许闪存加速器和追踪缓冲区功能 (FRWTR.RWT = 10, FBFCR.BE = 1)

*6: 主闪存没有任何数据访问

*7: 频率为 HCLK 值, PCLK0 = PCLK2 = HCLK/2, PCLK1 = HCLK

*8: 停止闪存加速器和追踪缓冲区功能 (FRWTR.RWT = 10, FBFCR.BE = 0)

*9: 使用 4 MHz 的晶振 (包含振荡电路所消耗的电流)

表 12-3 正常工作模式 (PLL) 下的电流消耗的典型值和最大值, 闪存存储器中执行代码并访问数据 (闪存 0 等待周期模式和读访问 0 等待)

参数	符号	引脚名称	条件	频率 ^{*4} (MHz)	值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	I _{CC}	V _{CC}	正常工作 (PLL) ^{*5*6}	72 MHz	38	待定	mA	^{*3} 所有外设时钟工作
				60 MHz	33	待定		
				48 MHz	28	待定		
				36 MHz	22	待定		
				24 MHz	16	待定		
				12 MHz	9.5	待定		
				8 MHz	6.9	待定		
				4 MHz	4.2	待定		
				72 MHz	29	待定	mA	^{*3} 所有外设时钟关闭
				60 MHz	26	待定		
				48 MHz	22	待定		
				36 MHz	18	待定		
				24 MHz	13	待定		
				12 MHz	7.8	待定		
				8 MHz	5.8	待定		
				4 MHz	3.7	待定		

*1: T_A = +25°C, V_{CC} = 3.3 V

*2: T_J = +125°C, V_{CC} = 5.5 V

*3: 所有端口为固定电平

*4: 频率为 HCLK 值, PCLK0 = PCLK1 = PCLK2 = HCLK

*5: 0 等待周期模式 (FRWTR.RWT = 00, FSYNDN.SD = 000)

*6: 使用 4 MHz 的晶振 (包含振荡电路所消耗的电流)

参数	符号	引脚名称	条件		频率 ^{*4}	值		单位	备注
						典型值 ^{*1}	最大值 ^{*2}		
电源电流	I _{CC}	V _{CC}	正常运行 (主振荡)	^{*5}	4 MHz	4.0	待定	mA	^{*3} 所有外设时钟工作
						3.2	待定	mA	^{*3} 所有外设时钟关闭
			正常运行 (内置高速 CR)	^{*5}	4 MHz	3.2	待定	mA	^{*3} 所有外设时钟工作
						2.7	待定	mA	^{*3} 所有外设时钟关闭
			正常运行 (副振荡)	^{*5、*6}	32 kHz	0.34	待定	mA	^{*3} 所有外设时钟工作
						0.30	待定	mA	^{*3} 所有外设时钟关闭
			正常运行 (内置低速 CR)	^{*5}	100 kHz	0.36	待定	mA	^{*3} 所有外设时钟工作
						0.33	待定	mA	^{*3} 所有外设时钟关闭

表 12-4 正常工作模式（PLL 模式除外）下的电流消耗的典型值和最大值，闪存存储器中执行代码并访问数据（闪存 0 等待周期模式和读访问 0 等待）

^{*1}: $T_A = +25^\circ\text{C}$, $V_{CC} = 3.3 \text{ V}$

^{*2}: $T_J = +125^\circ\text{C}$, $V_{CC} = 5.5 \text{ V}$

*3: 所有端口为固定电平

*4: 频率为 HCLK 值, PCLK0 = PCLK1 = PCLK2 = HCLK/2

*5: 0 等待周期模式 (FRWTR.RWT = 00, FSYNDN.SD = 000)

*6: 使用 32 kHz 的晶振 (包含振荡电路所消耗的电流)

参数	符号	引脚 名称	条件	频率 ^{*4}	值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	I_{CCS}	VCC	睡眠模式下运行 ^{*6} (PLL)	160 MHz	35	待定	mA	^{*3} 所有外设时钟工作
				144 MHz	32	待定		
				120 MHz	27	待定		
				100 MHz	23	待定		
				80 MHz	18	待定		
				60 MHz	14	待定		
				40 MHz	9.9	待定		
				20 MHz	5.5	待定		
				8 MHz	3.1	待定	mA	^{*3} 所有外设时钟关闭
				4 MHz	2.3	待定		
				160 MHz	14	待定		
				144 MHz	13	待定		
				120 MHz	11	待定		
				100 MHz	9.5	待定		
				80 MHz	7.8	待定		
				60 MHz	6.3	待定		
				40 MHz	4.6	待定		
				20 MHz	2.9	待定		
				8 MHz	2.2	待定		
				4 MHz	2.0	待定		

表 12-5 睡眠模式 (PLL) 电流消耗的典型值和最大值 ($PCLK0 = PCLK1 = PCLK2 = HCLK/2$)

表 12-6 睡眠模式 (PLL) 电流消耗的典型值和最大值 (PCLK0 = PCLK1 = PCLK2 = HCLK)

参数	符号	引脚名称	条件	频率 ^{*5}	值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	Iccs	VCC	睡眠模式 ^{*6} (PLL)	72 MHz	23	待定	mA	^{*3} 所有外设时钟工作
				60 MHz	19	待定		
				48 MHz	16	待定		
				36 MHz	12	待定		
				24 MHz	8.5	待定		
				12 MHz	5.1	待定		
				8 MHz	3.9	待定		
				4 MHz	2.7	待定		
				72 MHz	8.8	待定	mA	^{*3} 所有外设时钟关闭
				60 MHz	7.6	待定		
				48 MHz	6.3	待定		
				36 MHz	5.1	待定		
				24 MHz	3.9	待定		
				12 MHz	2.7	待定		
				8 MHz	2.3	待定		
				4 MHz	1.9	待定		

*1: $T_A = +25^\circ\text{C}$, $V_{CC} = 3.3 \text{ V}$

*2: $T_J = +125^\circ\text{C}$, $V_{CC} = 5.5 \text{ V}$

*3: 所有端口为固定电平

*4: 频率为 HCLK 值, $\text{PCLK0} = \text{PCLK1} = \text{PCLK2} = \text{HCLK}/2$

*5: 频率为 HCLK 值, $\text{PCLK0} = \text{PCLK1} = \text{PCLK2} = \text{HCLK}$

*6: 使用 4 MHz 的晶体振荡器 (包含振荡电路的电流消耗)

参数	符号	引脚名称	条件	频率 ^{*4}	值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	I _{CCS}	V _{CC}	睡眠模式 ^{*6} (主振荡)	4MHz	2.1	待定	mA	^{*3} 所有外设时钟工作
					1.3	待定	mA	^{*3} 所有外设时钟关闭
			睡眠模式 (内置高速 CR)	4 MHz	1.3	待定	mA	^{*3} 所有外设时钟工作
					0.8	待定	mA	^{*3} 所有外设时钟关闭
			睡眠模式 ^{*5} (副振荡)	32 kHz	0.28	待定	mA	^{*3} 所有外设时钟工作
					0.27	待定	mA	^{*3} 所有外设时钟关闭
			睡眠模式 (内置低速 CR)	100 kHz	0.29	待定	mA	^{*3} 所有外设时钟工作
					0.28	待定	mA	^{*3} 所有外设时钟关闭

表 12-7 睡眠模式（PLL 模式除外）下电流消耗的典型值和最大值（PCLK0 = PCLK1 = PCLK2 = HCLK/2）

*1: T_A = +25°C, V_{CC} = 3.3 V

*2: T_J = +125°C, V_{CC} = 5.5 V

*3: 所有端口为固定电平

*4: 频率为 HCLK 值, PCLK0 = PCLK1 = PCLK2 = HCLK/2

*5: 使用 32 kHz 的晶振（包含振荡电路所消耗的电流）

*6: 使用 4 MHz 的晶振（包含振荡电路所消耗的电流）

参数	符号	引脚名称	条件	频率	值		单位	备注	
					典型值 ^{*1}	最大值 ^{*2}			
电源电流	I _{CCH}	VCC	停止模式	-	0.21	待定	mA	*3, *4 $T_A = +25^\circ C$	
					-	待定	mA	*3, *4 $T_A = +85^\circ C$	
					-	待定	mA	*3, *4 $T_A = +105^\circ C$	
	I _{CCT}		定时器模式 ^{*6} (主振荡)	4 MHz	1.4	待定	mA	*3, *4 $T_A = +25^\circ C$	
					-	待定	mA	*3, *4 $T_A = +85^\circ C$	
					-	待定	mA	*3, *4 $T_A = +105^\circ C$	
	I _{CCT}		定时器模式 (内置高速 CR)	4 MHz	0.49	待定	mA	*3, *4 $T_A = +25^\circ C$	
					-	待定	mA	*3, *4 $T_A = +85^\circ C$	
					-	待定	mA	*3, *4 $T_A = +105^\circ C$	
	I _{CCR}		定时器模式 ^{*5} (副振荡)	32 kHz	0.23	待定	mA	*3, *4 $T_A = +25^\circ C$	
					-	待定	mA	*3, *4 $T_A = +85^\circ C$	
					-	待定	mA	*3, *4 $T_A = +105^\circ C$	
	I _{CCR}		定时器模式 (内置低速 CR)	100 kHz	0.24	待定	mA	*3, *4 $T_A = +25^\circ C$	
					-	待定	mA	*3, *4 $T_A = +85^\circ C$	
					-	待定	mA	*3, *4 $T_A = +105^\circ C$	
	I _{CCR}		RTC 模式 ^{*5} (副振荡)	32 kHz	0.21	待定	mA	*3, *4 $T_A = +25^\circ C$	
					-	待定	mA	*3, *4 $T_A = +85^\circ C$	
					-	待定	mA	*3, *4 $T_A = +105^\circ C$	

表 12-8 停止模式、定时器模式和 RTC 模式下电流消耗的典型值和最大值

*1: $V_{CC} = 3.3 V$

*2: $V_{CC} = 5.5 V$

*3: 所有端口为固定电平

*4: LVD 关闭

*5: 使用 32 kHz 的晶振 (包含振荡电路所消耗的电流)

*6: 使用 4 MHz 的晶振 (包含振荡电路所消耗的电流)

参数	符号	引脚名称	条件	频率	值		单位	备注
					典型值 ^{*1}	最大值 ^{*2}		
电源电流	I _{CCHD}	VCC	深度待机 停止模式 (RAM 关闭)	-	24	待定	μA	*3, *4 $T_A = +25^\circ C$
			深度待机 停止模式 (RAM 激活)		-	待定	μA	*3, *4 $T_A = +85^\circ C$
			深度待机 RTC 模式 ^{*6} (RAM 关闭)		41	待定	μA	*3, *4 $T_A = +105^\circ C$
			深度待机 RTC 模式 ^{*6} (RAM 激活)		-	待定	μA	*3, *4 $T_A = +25^\circ C$
			深度待机 RTC 模式 ^{*6} (RAM 关闭)		-	待定	μA	*3, *4 $T_A = +85^\circ C$
			深度待机 RTC 模式 ^{*6} (RAM 激活)		-	待定	μA	*3, *4 $T_A = +105^\circ C$
	I _{CCRD}	VBAT	RTC 停止	32kHz	24	待定	μA	*3, *4 $T_A = +25^\circ C$
			RTC 工作 ^{*6}		-	待定	μA	*3, *4 $T_A = +85^\circ C$
			RTC 停止		-	待定	μA	*3, *4 $T_A = +105^\circ C$
			RTC 工作 ^{*6}		41	待定	μA	*3, *4 $T_A = +25^\circ C$
			RTC 停止		-	待定	μA	*3, *4 $T_A = +85^\circ C$
			RTC 工作 ^{*6}		-	待定	μA	*3, *4 $T_A = +105^\circ C$
	I _{CCVBAT}	VBAT	RTC 停止	-	0.015	待定	μA	*3, *4, *5 $T_A = +25^\circ C$
			RTC 工作 ^{*6}		-	待定	μA	*3, *4, *5 $T_A = +85^\circ C$
			RTC 停止		-	待定	μA	*3, *4, *5 $T_A = +105^\circ C$
			RTC 工作 ^{*6}		1.3	待定	μA	*3, *4 $T_A = +25^\circ C$
			RTC 停止		-	待定	μA	*3, *4 $T_A = +85^\circ C$
			RTC 工作 ^{*6}		-	待定	μA	*3, *4 $T_A = +105^\circ C$

表 12-9 深度待机停止模式、深度待机 RTC 模式和 VBAT 条件下电流消耗典型值和最大值

*1: $V_{CC} = 3.3\text{ V}$

*2: $V_{CC} = 5.5\text{ V}$

*3: 所有端口为固定电平

*4: LVD 关闭

*5: 副振荡关闭

*6: 使用 32 kHz 的晶振 (包含振荡电路所消耗的电流)

表 12-10 低压检测电路和主闪存写入/擦除所消耗的电流典型值和最大值

参数	符号	引脚名称	条件	值			单位	备注
				最小值	典型值	最大值		
低压检测电路 (LVD) 电源电流	I _{CCLV} D	VCC	运行	—	4	7	μA	用于中断发生时
主闪存写入/擦除电流	I _{CCFLASH}		写入/擦除	—	13.4	15.9	mA	
工作闪存存储器写入/擦除电流	I _{CCWFLASH}		写入/擦除时	—	11.5	13.6	mA	*1

1: 在闪存存储器中进行编程或擦除时，闪存存储器擦/写电流 (I_{CCFLASH}) 将被添加到电源电流上 (I_{CC})。

外设电流消耗

时钟系统	外设	单位	频率 (MHz)			单位	备注
			40	80	160		
HCLK	GPIO	所有端口	0.16	0.32	0.62	mA	
	DMAC	—	0.68	1.35	2.63		
	DSTC	—	0.93	1.88	3.65		
	外部总线 I/F	—	0.17	0.34	0.71		
	SD 卡 I/F	—	0.47	0.92	1.85		
PCLK1	基础定时器	四通道	0.18	0.37	0.73	mA	
	多功能定时器/PPG	一单元/四通道	0.61	1.22	2.43		
	正交位置/转数计数器	一单元	0.04	0.07	0.14		
	A/D 转换器	一单元	0.22	0.44	0.88		
PCLK2	多功能串行接口	一通道	0.30	0.60	—	mA	

12.3.2 引脚特性

 ($V_{CC} = AV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值			单位	备注
				最小值	典型值	最大值		
高电平输入电压 (迟滞输入)	V_{IHS}	CMOS 迟滞输入引脚、MD0、MD1	—	$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V	
		耐 5 V 输入引脚	—	$V_{CC} \times 0.8$	—	$V_{SS} + 5.5$	V	
		I ² C Fm+复用引脚	—	$V_{CC} \times 0.7$	—	$V_{SS} + 5.5$	V	
低电平输入电压 (迟滞输入)	V_{ILS}	CMOS 迟滞输入引脚、MD0、MD1	—	$V_{SS} - 0.3$	—	$V_{CC} \times 0.2$	V	
		耐 5 V 输入引脚	—	$V_{SS} - 0.3$	—	$V_{CC} \times 0.2$	V	
		I ² C Fm+复用引脚	—	V_{SS}	—	$V_{CC} \times 0.3$	V	
高电平输出电压	V_{OH}	4 mA 型	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -4\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -2\text{ mA}$					
		8 mA 型	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -8\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -4\text{ mA}$					
		12 mA 型	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -12\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -8\text{ mA}$					
		I ² C Fm+复用引脚	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -4\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	GPIO 功能
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -3\text{ mA}$					

参数	符号	引脚名称	条件	值			单位	备注
				最小值	典型值	最大值		
低电平输出电压	V_{OL}	4 mA 型	$V_{CC} \geq 4.5 V$, $I_{OL} = 4 mA$	V_{SS}	—	0.4	V	
			$V_{CC} < 4.5 V$, $I_{OL} = 2 mA$					
		8 mA 型	$V_{CC} \geq 4.5 V$, $I_{OH} = 8 mA$	V_{SS}	—	0.4	V	
			$V_{CC} < 4.5 V$, $I_{OH} = 4 mA$					
		12 mA 型	$V_{CC} \geq 4.5 V$, $I_{OL} = 12 mA$	V_{SS}	—	0.4	V	
			$V_{CC} < 4.5 V$, $I_{OL} = 8 mA$					
		I ² C Fm+复用引脚	$V_{CC} \geq 4.5 V$, $I_{OH} = 4 mA$	V_{SS}	—	0.4	V	GPIO 功能
			$V_{CC} < 4.5 V$, $I_{OH} = 3 mA$					I ² C Fm+功能
			$V_{CC} \leq 5.5 V$, $I_{OH} = 20 mA$					
输入漏电流	I_{IL}	—	—	- 5	—	+ 5	μA	
上拉电阻值	R_{PU}	上拉引脚	$V_{CC} \geq 4.5 V$	25	50	100	$k\Omega$	
			$V_{CC} < 4.5 V$	30	80	200		
输入电容	C_{IN}	VCC、VBAT、 VSS、AVCC、 AVSS、AVRH 除外	—	—	5	15	pF	

12.4 交流电特性

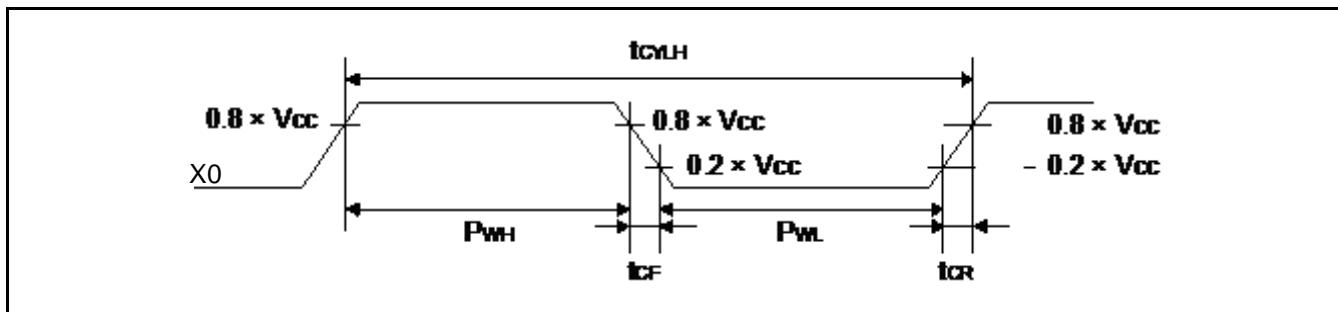
12.4.1 主时钟输入特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
输入频率	f_{CH}	X0、 X1	$V_{CC} \geq 4.5\text{ V}$	4	48	MHz	外部晶体振荡器
			$V_{CC} < 4.5\text{ V}$	4	20		
			$V_{CC} \geq 4.5\text{ V}$	4	48	MHz	使用外部时钟
			$V_{CC} < 4.5\text{ V}$	4	20		
输入时钟周期	t_{CYLH}		$V_{CC} \geq 4.5\text{ V}$	20.83	250	ns	使用外部时钟
			$V_{CC} < 4.5\text{ V}$	50	250		
输入时钟占空比	—		P_{WH}/t_{CYLH} , P_{WL}/t_{CYLH}	45	55	%	使用外部时钟
输入时钟上升、下降时间	t_{CF} , t_{CR}		—	—	5	ns	使用外部时钟
内部时钟 ^{*1} 频率	f_{CC}	—	—	—	160	MHz	基础时钟 (HCLK/FCLK)
	f_{CP0}	—	—	—	80	MHz	APB0 总线时钟 ^{*2}
	f_{CP1}	—	—	—	160	MHz	APB1 总线时钟 ^{*2}
	f_{CP2}	—	—	—	80	MHz	APB2 总线时钟 ^{*2}
内部时钟 ^{*1} 周期	t_{CYCC}	—	—	6.25	—	ns	基础时钟 (HCLK/FCLK)
	t_{CYCP0}	—	—	12.5	—	ns	APB0 总线时钟 ^{*2}
	t_{CYCP1}	—	—	6.25	—	ns	APB1 总线时钟 ^{*2}
	t_{CYCP2}	—	—	12.5	—	ns	APB2 总线时钟 ^{*2}

*1: 有关内部时钟的详细信息, 请参考“FM4 系列外设手册”的“主要”部分 (MN709-00001) 中第 2-1 节: “时钟”所介绍的内容。

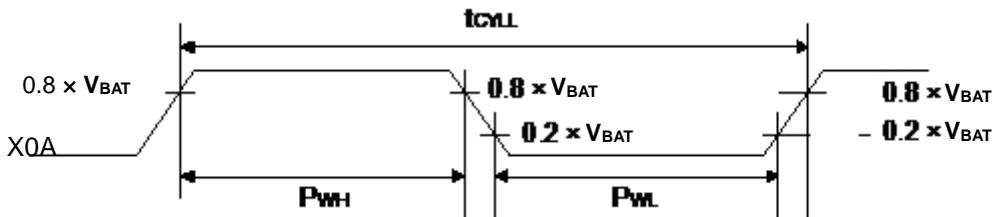
*2: 有关每个外设所挂接的 APB 总线, 请参考第 8 章框图的内容。



12.4.2 副时钟输入特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值			单位	备注
				最小值	典型值	最大值		
输入频率	$1/t_{CYLL}$	X0A、X1A	-	-	32.768	-	kHz	连接了外部晶振
输入时钟周期			-	32	-	100	kHz	使用外部时钟
输入时钟占空比			-	10	-	31.25	μs	外部时钟输入
			P_{WH}/t_{CYLL} , P_{WL}/t_{CYLL}	45	-	55	%	使用外部时钟



12.4.3 内置CR振荡特性

内置高速 CR

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	值			单位	备注
			最小值	典型值	最大值		
时钟频率	f_{CRH}	$T_J = -20^\circ\text{C} \sim + 105^\circ\text{C}$	3.92	4	4.08	MHz	校正 *1
		$T_J = -40^\circ\text{C} \sim + 125^\circ\text{C}$	3.88	4	4.12		
时钟频率	f_{CRH}	$T_J = -40^\circ\text{C} \sim + 125^\circ\text{C}$	2.9	4	5		未进行校正时
频率稳定时间	t_{CRWT}	-	-	-	30	μs	*2

*1: 使用闪存中 CR trimming 区的值进行了校正后

*2: 从设置校正值到高速 CR 时钟稳定的这段时间。

该时间段内高速 CR 时钟也可作为时钟源。

内置低速 CR

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	数值			单位	备注
			最小值	典型值	最大值		
时钟频率	f_{CRL}	-	50	100	150	kHz	

12.4.4 主 PLL 模式（主时钟作为 PLL 输入时钟）

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	值			单位	备注
		最小值	典型值	最大值		
PLL 振荡稳定时间*1 (锁定时间)	t_{LOCK}	200	—	—	μs	
PLL 输入时钟频率	f_{PLL}	4	—	16	MHz	
PLL 倍频率	—	13	—	80	倍	
PLL 模块振荡时钟频率	f_{PLLO}	200	—	320	MHz	
主 PLL 时钟频率*2	f_{CLKPLL}	—	—	160	MHz	

*1: 从 PLL 启动到振荡稳定的时间

*2: 有关主 PLL 时钟 (CLKPLL) 的详细信息, 请参考“FM4 系列外设手册”的“主要”部分 (MN709-00001) 中第 2-1 节: “时钟”中讲述的内容。

12.4.5 主 PLL 模式（内置高速 CR 时钟作为主 PLL 输入时钟）

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	值			单位	备注
		最小值	典型值	最大值		
PLL 振荡稳定时间*1 (锁定时间)	t_{LOCK}	200	—	—	μs	
PLL 输入时钟频率	f_{PLL}	3.8	4	4.2	MHz	
PLL 倍频率	—	50	—	75	倍	
PLL 模块振荡时钟频率	f_{PLLO}	190	—	320	MHz	
主 PLL 时钟频率*2	f_{CLKPLL}	—	—	160	MHz	

*1: 从 PLL 启动到振荡稳定的时间

*2: 有关主 PLL 时钟 (CLKPLL) 的详细信息, 请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 中第 2-1 节: “时钟”中讲述的内容。

注意:

- 请确保在将高速 CR 时钟 (CLKHC) 输入主 PLL 时, 已根据频率和温度对其进行校正。

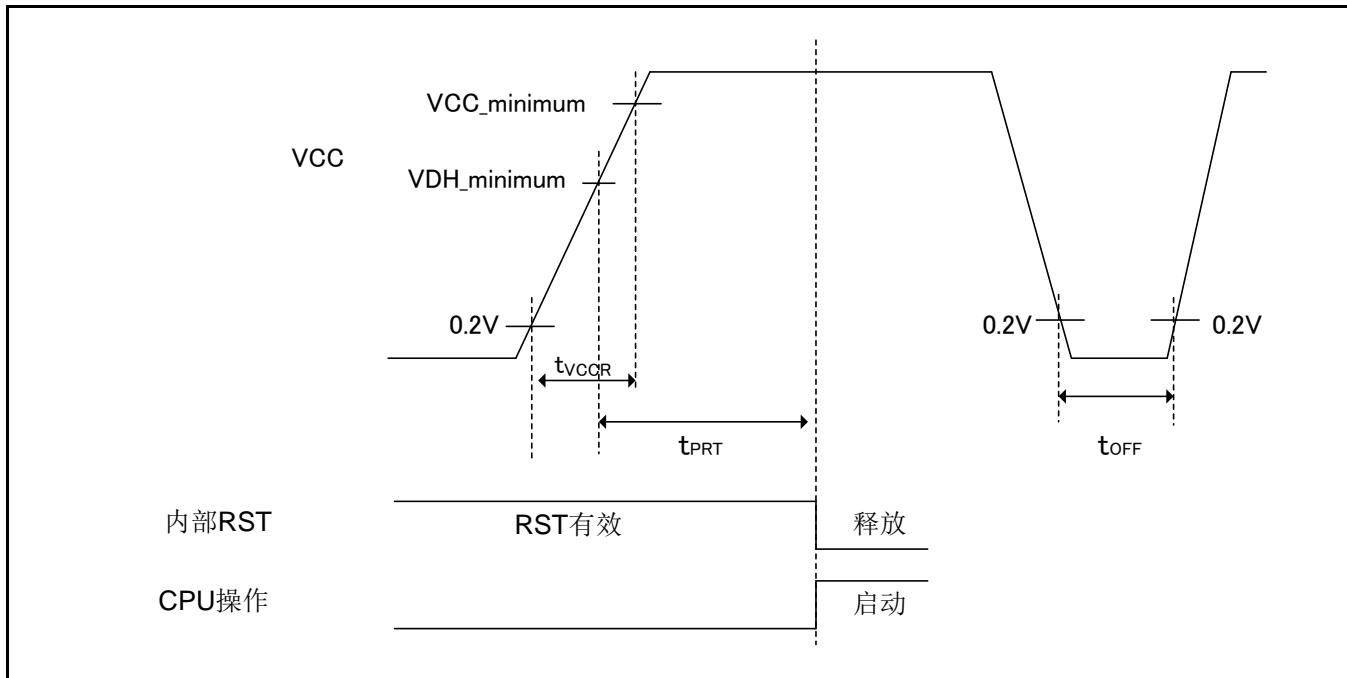
12.4.6 复位输入特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
复位输入时间	t_{INITX}	INITX	—	500	—	ns	

12.4.7 上电复位时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	值		单位	备注
			最小值	最大值		
电源上升时间	t_{VCCR}	VCC	0	-	ms	
电源掉电时间	t_{OFF}		1	-	ms	
上电复位 释放时间	t_{PRT}		0.33	0.60	ms	



术语表

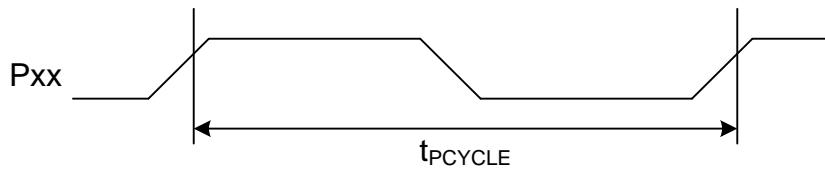
- **VCC_minimum:** 推荐工作条件的最小 VCC
- **VDH_minimum:** 低压检测复位的最小检测电压。请参考第 8 章低压检测特性。

12.4.8 GPIO 输出特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值		单位
				最小值	最大值	
输出频率	t_{PCYCLE}	P_{xx}^*	$V_{CC} \geq 4.5\text{ V}$	—	50	MHz
			$V_{CC} < 4.5\text{ V}$	—	32	MHz

*: GPIO 名称



12.4.9 外部总线时序

外部总线时钟输出特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

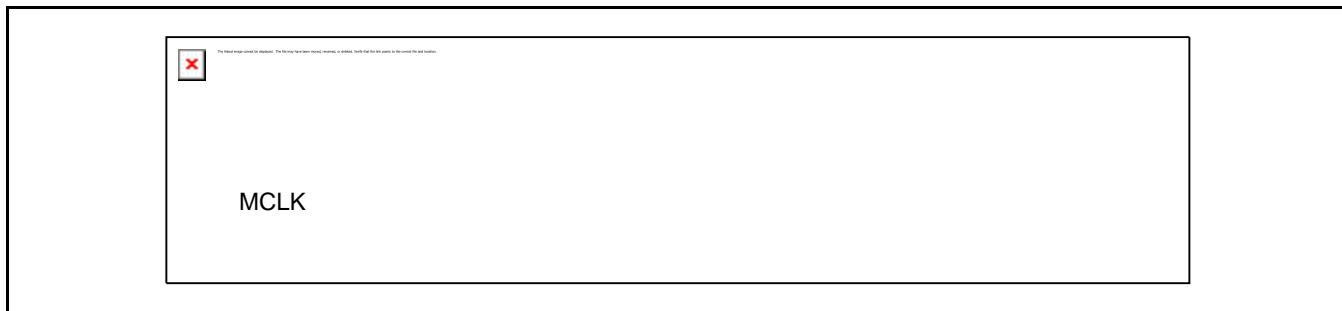
参数	符号	引脚名称	条件	值		单位
				最小值	最大值	
输出频率	t_{CYCLE}	MCLKOUT ^{*1}	$V_{CC} \geq 4.5\text{ V}$	—	50 ^{*2}	MHz
			$V_{CC} < 4.5\text{ V}$	—	32 ^{*3}	MHz

*1: 外部总线时钟 (MCLKOUT) 是由 HCLK 分频获得。

有关时钟分频器设置的更多详细信息, 请参考“FM4 系列外设手册”的“主要”部分 (MN709-00001) 中第 14 章: “外部总线接口”中讲述的内容。

*2: AHB 总线时钟频率超过 100 MHz 时, 设置 MCLKOUT 分频大于 4 分频。

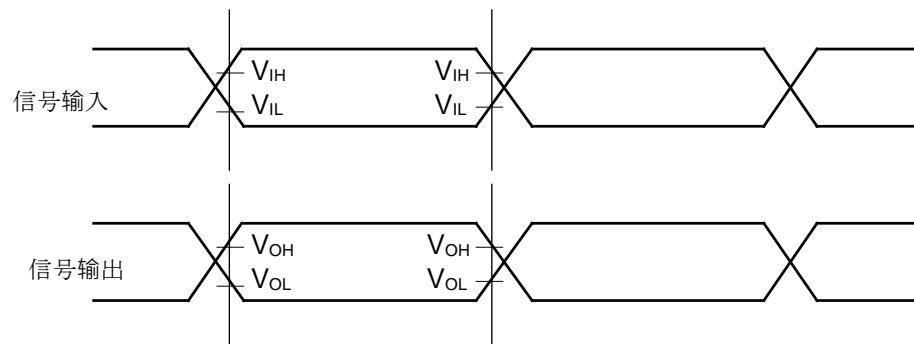
*3: AHB 总线时钟频率超过 64 MHz 时, 设置 MCLKOUT 分频大于 4 分频。



外部总线信号输入/输出特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	值	单位	备注
信号输入特性	V_{IH}	—	$0.8 \times V_{CC}$	V	
	V_{IL}		$0.2 \times V_{CC}$	V	
信号输出特性	V_{OH}	—	$0.8 \times V_{CC}$	V	
	V_{OL}		$0.2 \times V_{CC}$	V	

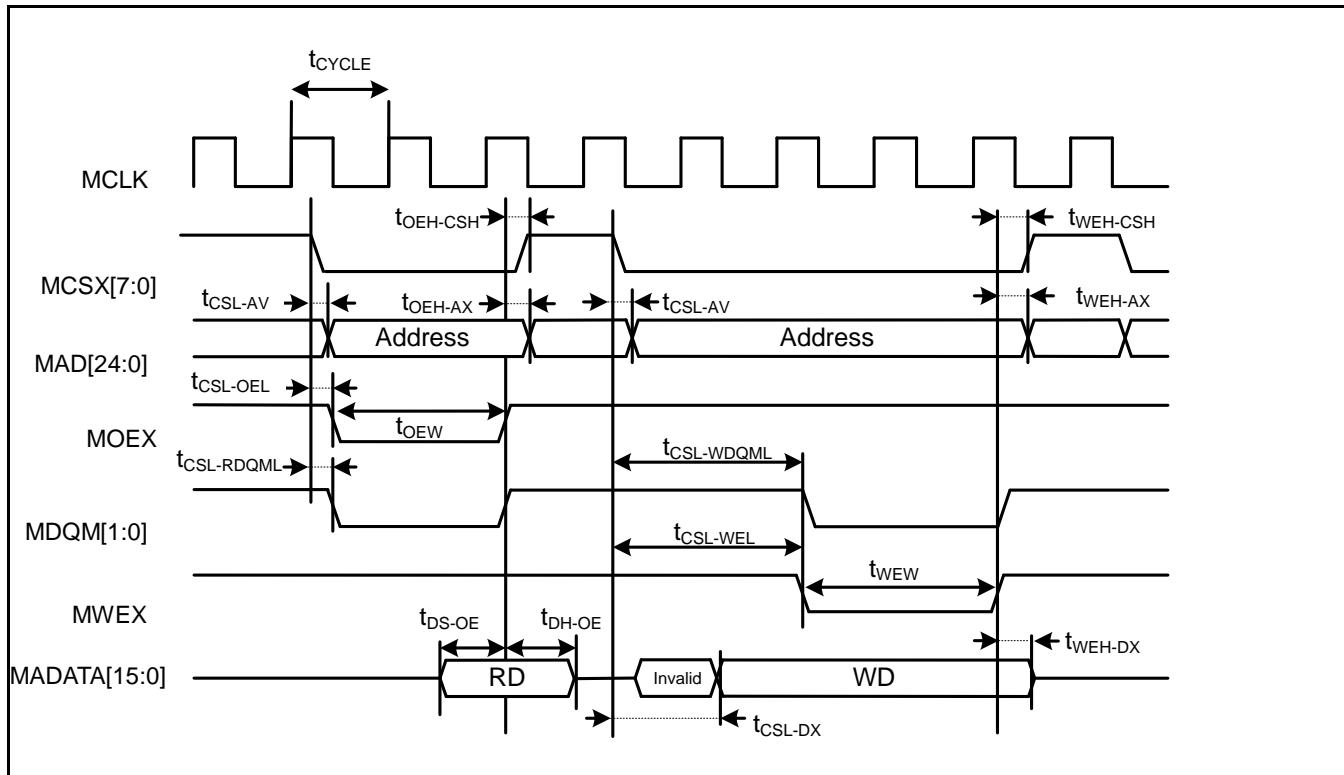


独立总线异步 SRAM 访问模式
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	值		单位	
				最小值	最大值		
MWEX 最小脉宽	t _{OEW}	MWEX	V _{CC} ≥ 4.5 V	MCLK _{xn-3}	-	ns	
			V _{CC} < 4.5 V				
MCSX 下降沿到地址输出延迟时间	t _{CSL-AV}	MCSX[7:0], MAD[24:0]	V _{CC} ≥ 4.5 V	-9	+9	ns	
			V _{CC} < 4.5 V	-12	12		
MOEX 上升沿到地址保持时间	t _{EH-AX}	MOEX, MAD[24:0]	V _{CC} ≥ 4.5 V	0	MCLK _{xm+9}	ns	
			V _{CC} < 4.5 V		MCLK _{xm+12}		
MCSX 下降沿到 MOEX 下降沿延迟时间	t _{CSL-OEL}	MOEX, MCSX[7:0]	V _{CC} ≥ 4.5 V	MCLK _{xm-9}	MCLK _{xm+9}	ns	
			V _{CC} < 4.5 V	MCLK _{xm-12}	MCLK _{xm+12}		
MOEX 上升沿后 MCSX 上升沿时间	t _{EH-CSH}		V _{CC} ≥ 4.5 V	0	MCLK _{xm+9}	ns	
			V _{CC} < 4.5 V		MCLK _{xm+12}		
MCSX 下降沿到 MDQM 下降沿 延迟时间	t _{CSL-RDQML}	MCSX, MDQM[1:0]	V _{CC} ≥ 4.5 V	MCLK _{xm-9}	MCLK _{xm+9}	ns	
			V _{CC} < 4.5 V	MCLK _{xm-12}	MCLK _{xm+12}		
数据建立到 MOEX 上升沿时间	t _{DS-OE}	MOEX, MADATA[15:0]	V _{CC} ≥ 4.5 V	20	-	ns	
			V _{CC} < 4.5 V	38	-		
MOEX 上升沿到 数据保持时间	t _{DH-OE}	MOEX, MADATA[15:0]	V _{CC} ≥ 4.5 V	0	-	ns	
			V _{CC} < 4.5 V		-		
MWEX 最小脉宽	t _{WEW}	MWEX	V _{CC} ≥ 4.5 V	MCLK _{xn-3}	-	ns	
			V _{CC} < 4.5 V				
MWEX 上升沿到地址输出延迟 时间	t _{WEH-AX}	MWEX, MAD[24:0]	V _{CC} ≥ 4.5 V	0	MCLK _{xm+9}	ns	
			V _{CC} < 4.5 V		MCLK _{xm+12}		
MCSX 下降沿到 MWEX 下降沿 延迟时间	t _{CSL-WEL}	MWEX, MCSX[7:0]	V _{CC} ≥ 4.5 V	MCLK _{xn-9}	MCLK _{xn+9}	ns	
			V _{CC} < 4.5 V	MCLK _{xn-12}	MCLK _{xn+12}		
MWEX 上升沿到 MCSX 上升沿 延迟时间	t _{WEH-CSH}		V _{CC} ≥ 4.5 V	0	MCLK _{xm+9}	ns	
			V _{CC} < 4.5 V		MCLK _{xm+12}		
MCSX 下降沿到 MDQM 下降沿 延迟时间	t _{CSL-WDQML}	MCSX, MDQM[1:0]	V _{CC} ≥ 4.5 V	MCLK _{xn-9}	MCLK _{xn+9}	ns	
			V _{CC} < 4.5 V	MCLK _{xn-12}	MCLK _{xn+12}		
MWEX 下降沿到 数据输出时间	t _{CSL-DX}	MCSX, MADATA[15:0]	V _{CC} ≥ 4.5 V	MCLK-9	MCLK+9	ns	
			V _{CC} < 4.5 V	MCLK-12	MCLK+12		
MWEX 上升沿到 数据保持时间	t _{WEH-DX}	MWEX, MADATA[15:0]	V _{CC} ≥ 4.5 V	0	MCLK _{xm+9}	ns	
			V _{CC} < 4.5 V		MCLK _{xm+12}		

注意:

- 外部负载电容 C_L 为 30 pF ($m = 0 \sim 15, n = 1 \sim 16$)

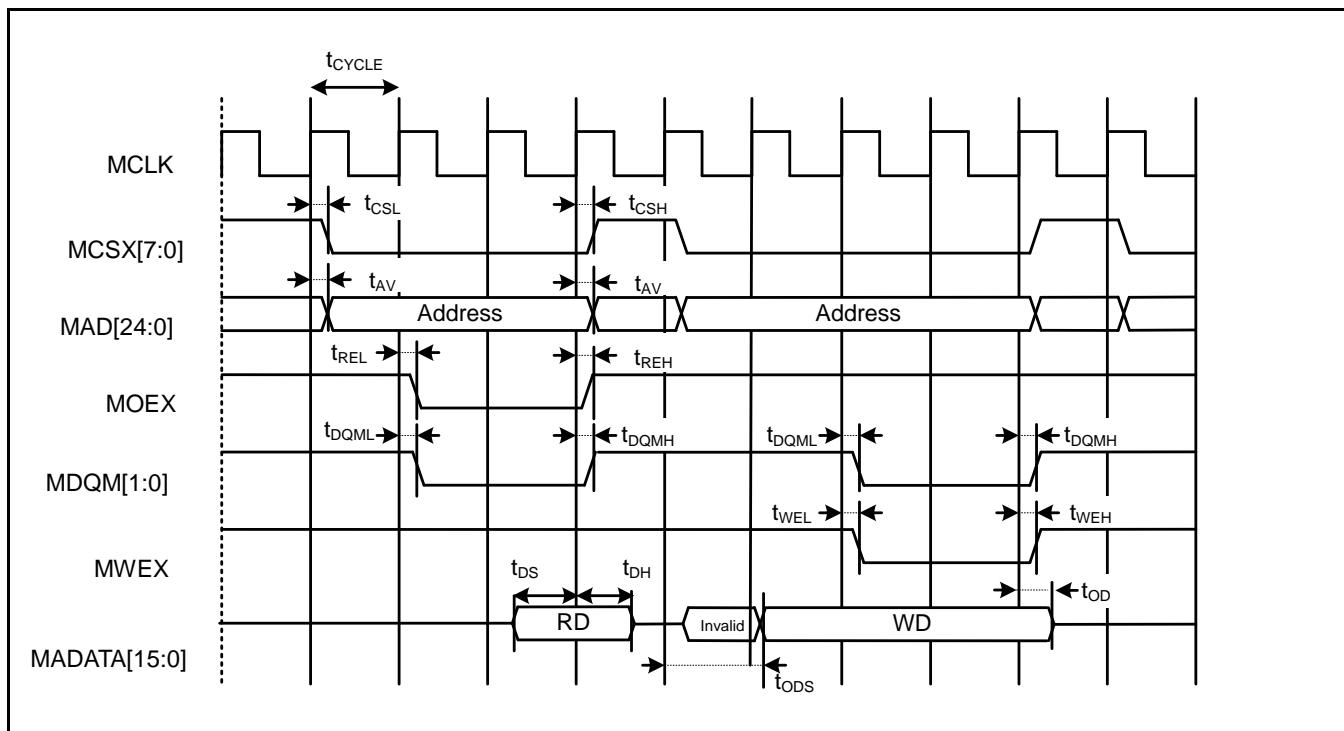


独立总线同步 SRAM 访问模式
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	值		单位	
				最小值	最大值		
地址延迟时间	t _{AV}	MCLK, MAD[24:0]	V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
MCSX 延迟时间	t _{CSL}	MCLK, MCSX[7:0]	V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
	t _{CSH}		V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
MOEX 延迟时间	t _{REL}	MCLK, MWEX	V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
	t _{REH}		V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
数据建立到 MCLK 上升沿时间	t _{DS}	MCLK, MDATA[15:0]	V _{CC} ≥ 4.5 V	19	-	ns	
			V _{CC} < 4.5 V	37			
MCLK 上升沿到 数据保持时间	t _{DH}	MCLK, MDATA[15:0]	V _{CC} ≥ 4.5 V	0	-	ns	
			V _{CC} < 4.5 V				
MWEX 延迟时间	t _{WEL}	MCLK, MWEX	V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
	t _{WEH}		V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
MDQM[1:0] 延迟时间	t _{DQML}	MCLK, MDQM[1:0]	V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
	t _{DQMH}		V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12		
MCLK 上升沿到 数据输出时间	t _{ODS}	MCLK, MDATA[15:0]	V _{CC} ≥ 4.5 V	MCLK+1	MCLK+18	ns	
			V _{CC} < 4.5 V		MCLK+24		
MCLK 上升沿到 数据保持的时间	t _{OD}	MCLK, MDATA[15:0]	V _{CC} ≥ 4.5 V	1	18	ns	
			V _{CC} < 4.5 V		24		

注意:

- 外部负载电容 C_L 为 30 pF

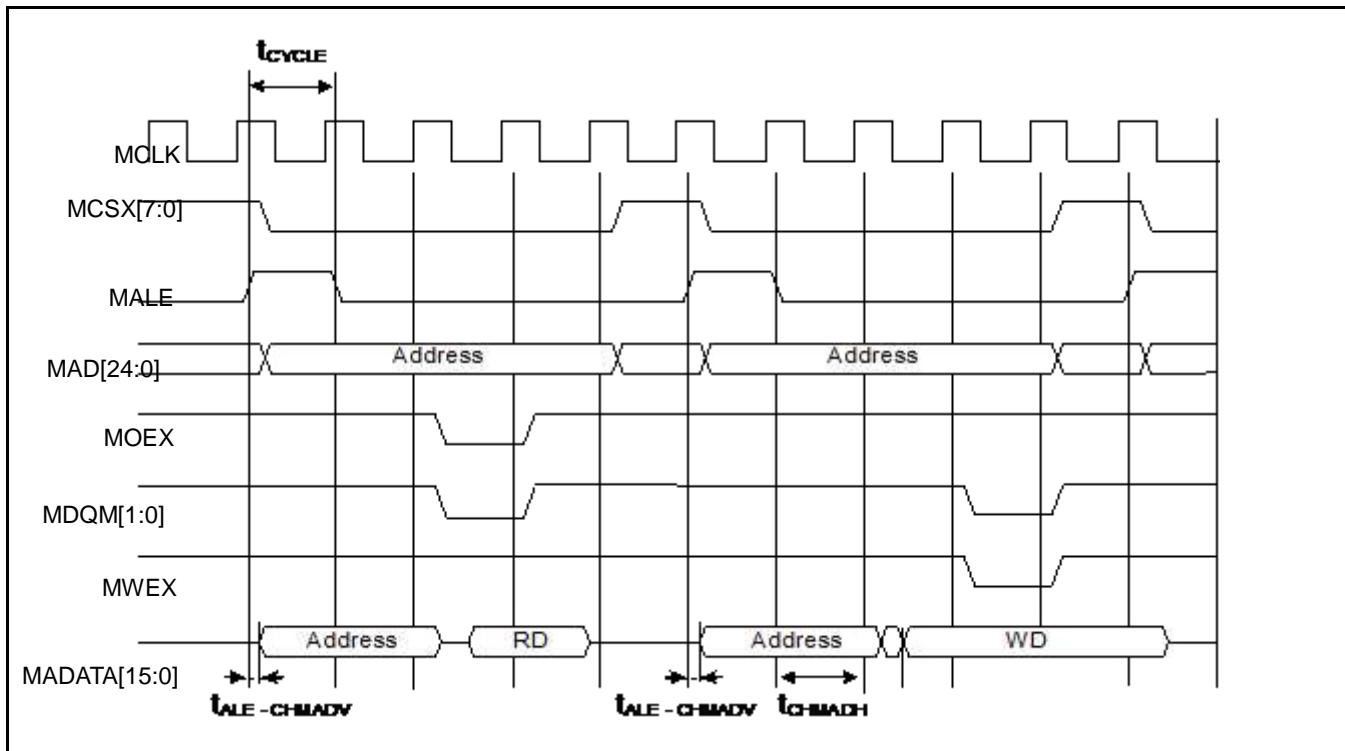


复用总线异步 SRAM 访问模式
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	值		单位
				最小值	最大值	
复用地址延迟的时间	$t_{ALE-CHMADV}$	MALE, MADATA[15:0]	$V_{CC} \geq 4.5 \text{ V}$	0	10	ns
			$V_{CC} < 4.5 \text{ V}$		20	
复用地址保持时间	t_{CHMADH}	MALE, MADATA[15:0]	$V_{CC} \geq 4.5 \text{ V}$	MCLK $\times n+0$	MCLK $\times n+10$	ns
			$V_{CC} < 4.5 \text{ V}$	MCLK $\times n+0$	MCLK $\times n+20$	

注意:

- 外部负载电容 C_L 为 30 pF ($m = 0 \sim 15, n = 1 \sim 16$)

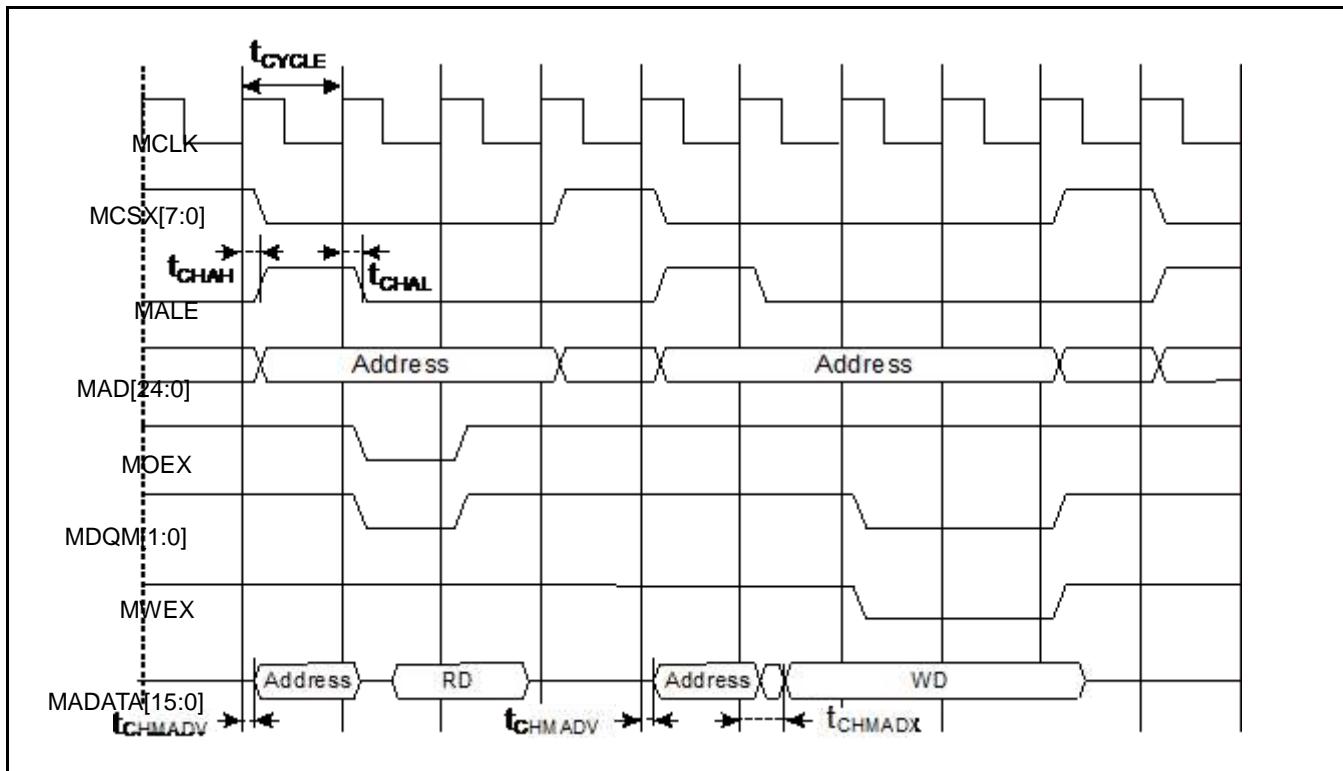


复用总线同步 SRAM 访问模式
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	值		单位	备注	
				最小值	最大值			
MALE 延迟时间	t_{CHAL}	MCLK, ALE	$V_{CC} \geq 4.5 \text{ V}$	1	9	ns		
			$V_{CC} < 4.5 \text{ V}$		12	ns		
	t_{CHAH}		$V_{CC} \geq 4.5 \text{ V}$	1	9	ns		
			$V_{CC} < 4.5 \text{ V}$		12	ns		
MCLK 上升沿到 复用地址输出延迟时间	t_{CHMADV}	MCLK, MADATA[15:0]	$V_{CC} \geq 4.5 \text{ V}$	1	t_{OD}	ns		
			$V_{CC} < 4.5 \text{ V}$					
MCLK 上升沿到 复用数据输出时间	t_{CHMADX}		$V_{CC} \geq 4.5 \text{ V}$	1	t_{OD}	ns		
			$V_{CC} < 4.5 \text{ V}$					

注意:

- 外部负载电容 C_L 为 30 pF 时

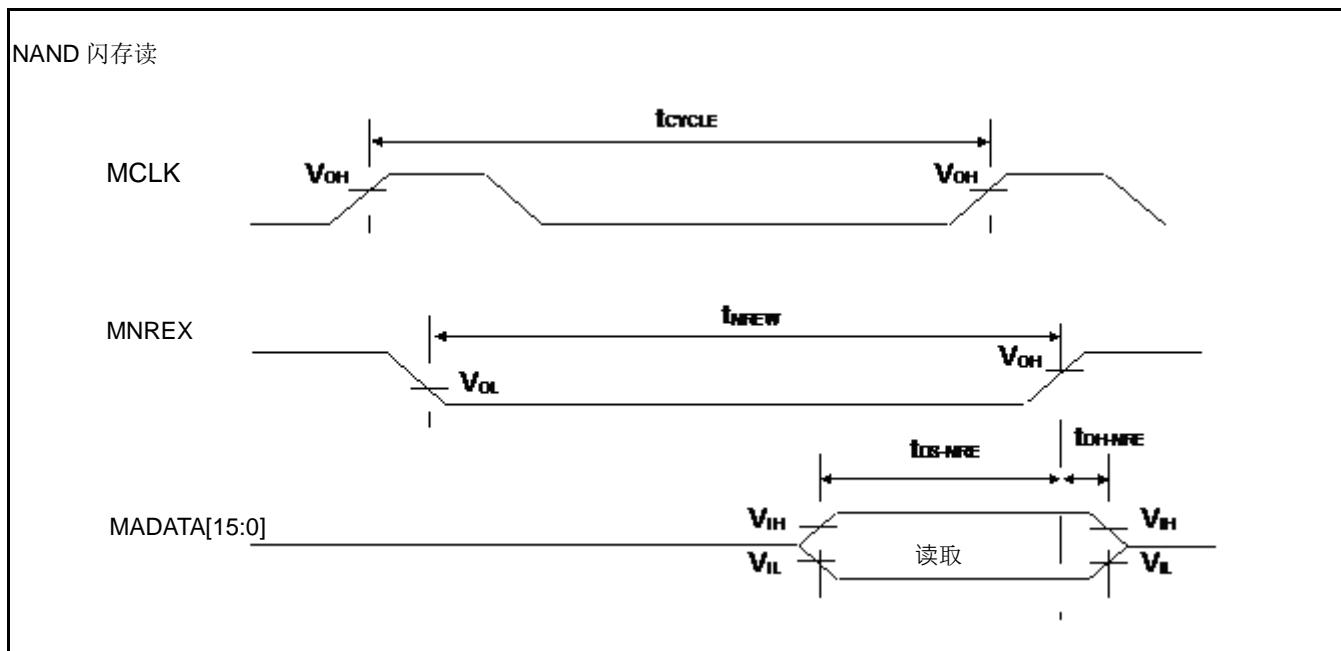


NAND 闪存模式
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

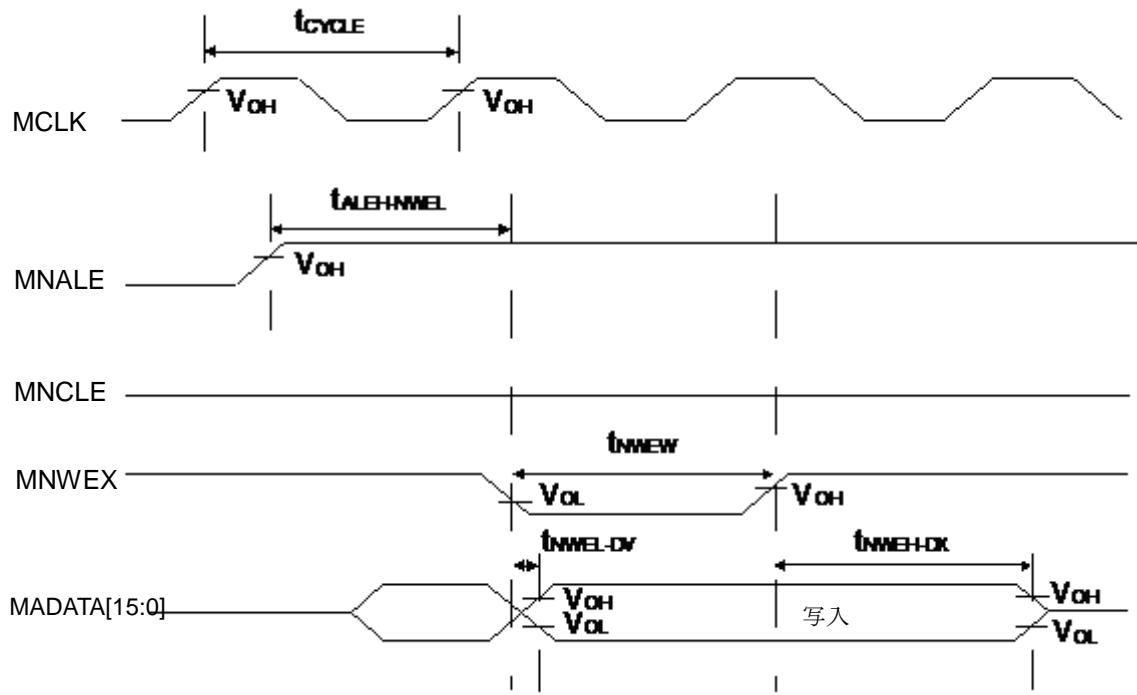
参数	符号	引脚名称	条件	值		单位
				最小值	最大值	
MNREX 最小脉宽	t_{NREW}	MNREX	$V_{CC} \geq 4.5 \text{ V}$	MCLK xn -3	-	ns
			$V_{CC} < 4.5 \text{ V}$			
数据建立到 MNREX 上升沿时间	t_{DS-NRE}	MNREX, MADATA[15:0]	$V_{CC} \geq 4.5 \text{ V}$	20	-	ns
			$V_{CC} < 4.5 \text{ V}$	38	-	
MNREX 上升沿到 数据保持时间	t_{DH-NRE}	MNREX, MADATA[15:0]	$V_{CC} \geq 4.5 \text{ V}$	0	-	ns
			$V_{CC} < 4.5 \text{ V}$			
MNALE 上升沿到 MNWEX 延迟时间	$t_{ALEH-NWEL}$	MNALE, MNWEX	$V_{CC} \geq 4.5 \text{ V}$	MCLK xm -9	MCLK xm +9	ns
			$V_{CC} < 4.5 \text{ V}$	MCLK xm -12	MCLK xm +12	
MNALE 下降沿到 MNWEX 延迟时间	$t_{ALEL-NWEL}$	MNALE, MNWEX	$V_{CC} \geq 4.5 \text{ V}$	MCLK xm -9	MCLK xm +9	ns
			$V_{CC} < 4.5 \text{ V}$	MCLK xm -12	MCLK xm +12	
MNCLE 上升沿到 MNWEX 延迟时间	$t_{CLEH-NWEL}$	MNCLE, MNWEX	$V_{CC} \geq 4.5 \text{ V}$	MCLK xm -9	MCLK xm +9	ns
			$V_{CC} < 4.5 \text{ V}$	MCLK xm -12	MCLK xm +12	
MNWEX 上升沿到 MNCLE 延迟时间	$t_{NWEH-CLEL}$	MNCLE, MNWEX	$V_{CC} \geq 4.5 \text{ V}$	0	MCLK xm +9	ns
			$V_{CC} < 4.5 \text{ V}$		MCLK xm +12	
MNWEX 最小脉宽	t_{NWEW}	MNWEX	$V_{CC} \geq 4.5 \text{ V}$	MCLK xn -3	-	ns
			$V_{CC} < 4.5 \text{ V}$			
MNWEX 下降沿到 数据输出延迟时间	$t_{NWEL-DV}$	MNWEX, MADATA[15:0]	$V_{CC} \geq 4.5 \text{ V}$	-9	+9	ns
			$V_{CC} < 4.5 \text{ V}$	-12	12	
MNWEX 上升沿到 数据保持时间	$t_{NWEH-DX}$	MNWEX, MADATA[15:0]	$V_{CC} \geq 4.5 \text{ V}$	0	MCLK xm +9	ns
			$V_{CC} < 4.5 \text{ V}$		MCLK xm +12	

注意:

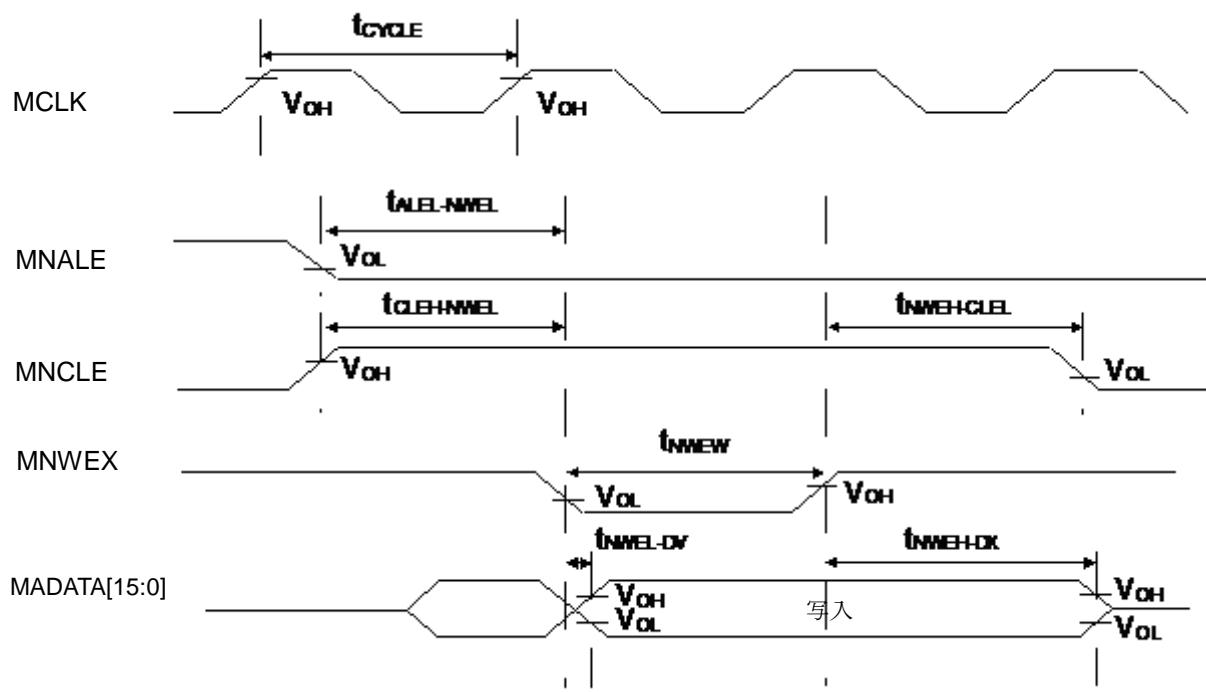
- 外部负载电容 C_L 为 30 pF ($m = 0 \sim 15, n = 1 \sim 16$)



NAND 闪存写地址

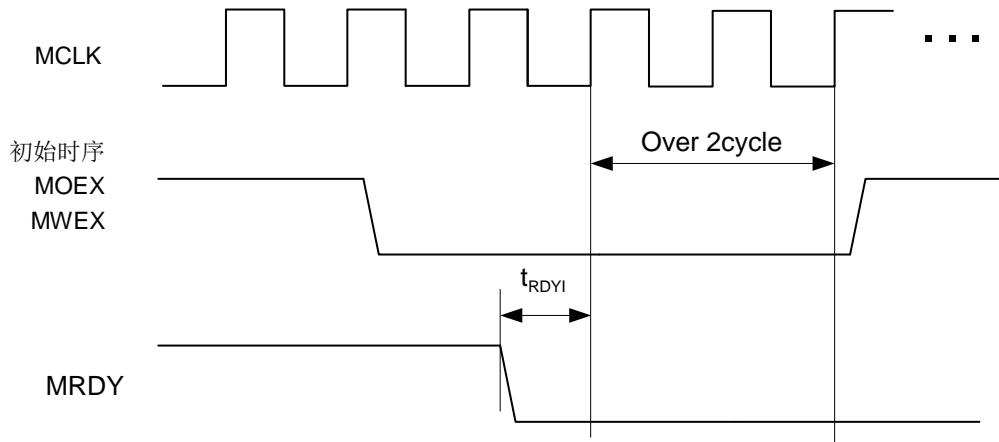
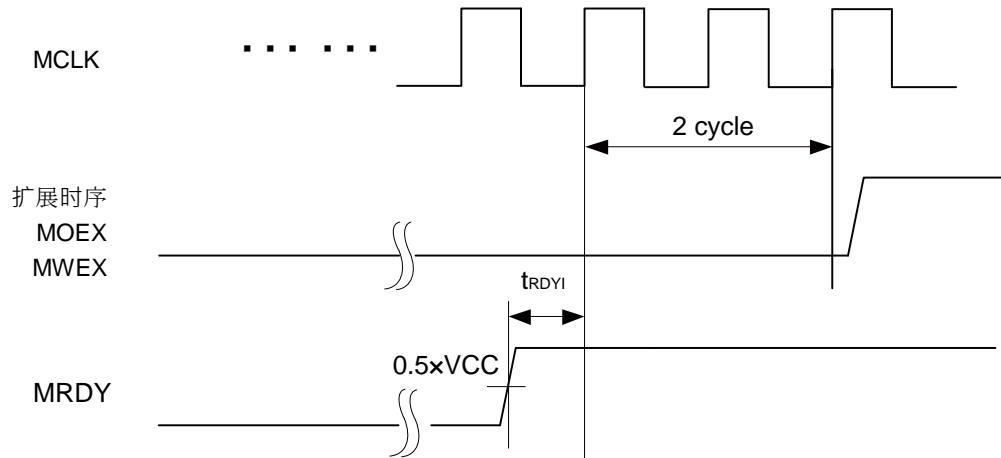


NAND 闪存写数据



外部就绪信号输入时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
MCLK 上升沿到 MRDY 输入建立时间	t_{RDYI}	MCLK, MRDY	$V_{CC} \geq 4.5\text{ V}$	19	-	ns	
			$V_{CC} < 4.5\text{ V}$	37			

■ RDY 输入

■ RDY 释放


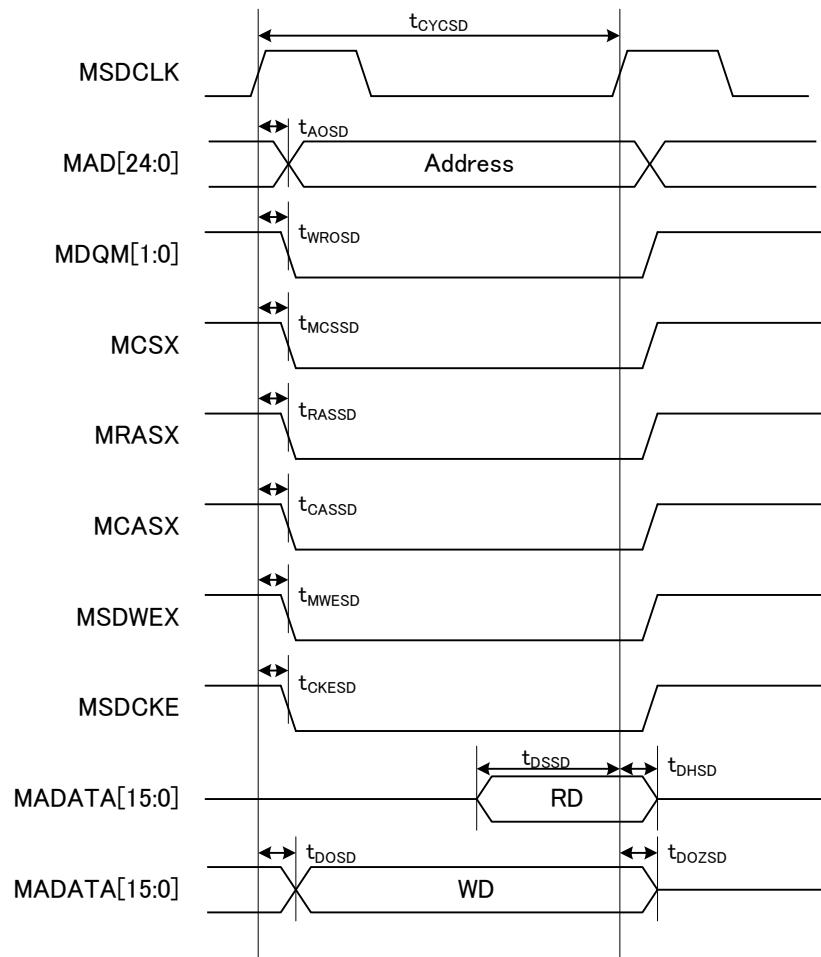
SDRAM 模式
 $(V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	值		单位
			最小值	最大值	
输出频率	t _{CYCS}	MSDCLK	-	32	MHz
地址延迟时间	t _{AOSD}	MSDCLK, MAD[15: 0]	2	12	ns
MSDCLK 上升沿到数据输出延迟时间	t _{DOSD}	MSDCLK, MADATA[31:0]	2	12	ns
MSDCLK 上升沿到数据输出高阻态的时间	t _{DOZSD}	MSDCLK, MADATA[31:0]	2	20	ns
MDQM[1:0] 延迟时间	t _{WROSD}	MSDCLK, MDQM[1:0]	1	12	ns
MCSX 延迟时间	t _{MCSSD}	MSDCLK, MCSX8	2	12	ns
MRASX 延迟时间	t _{RASSD}	MSDCLK, MRASX	2	12	ns
MCASX 延迟时间	t _{CASSD}	MSDCLK, MCASX	2	12	ns
MSDWEX 延迟时间	t _{MWESD}	MSDCLK, MSDWEX	2	12	ns
MSDCKE 延迟时间	t _{CKESD}	MSDCLK, MSDCKE	2	12	ns
数据建立时间	t _{DSSD}	MSDCLK, MADATA[31:0]	23	-	ns
数据保持时间	t _{DHSD}	MSDCLK, MADATA[31:0]	0	-	ns

注意:

- 外部负载电容 C_L 为 30 pF

SDRAM 访问时序

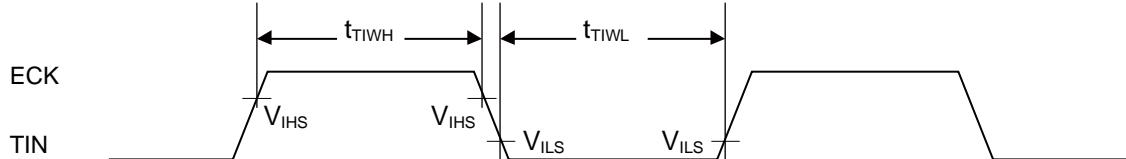


12.4.10 基础定时器输入时序

定时器输入时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

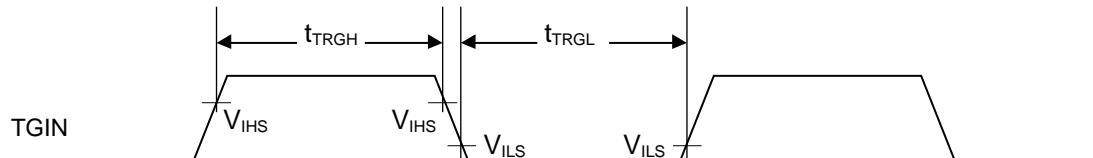
参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
输入脉宽	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (ECK、TIN 功能)	-	$2t_{CYCP}$	-	ns	



触发信号时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
输入脉宽	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (TGIN 功能)	-	$2t_{CYCP}$	-	ns	



注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关基础定时器挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。

12.4.11 CSIO 时序

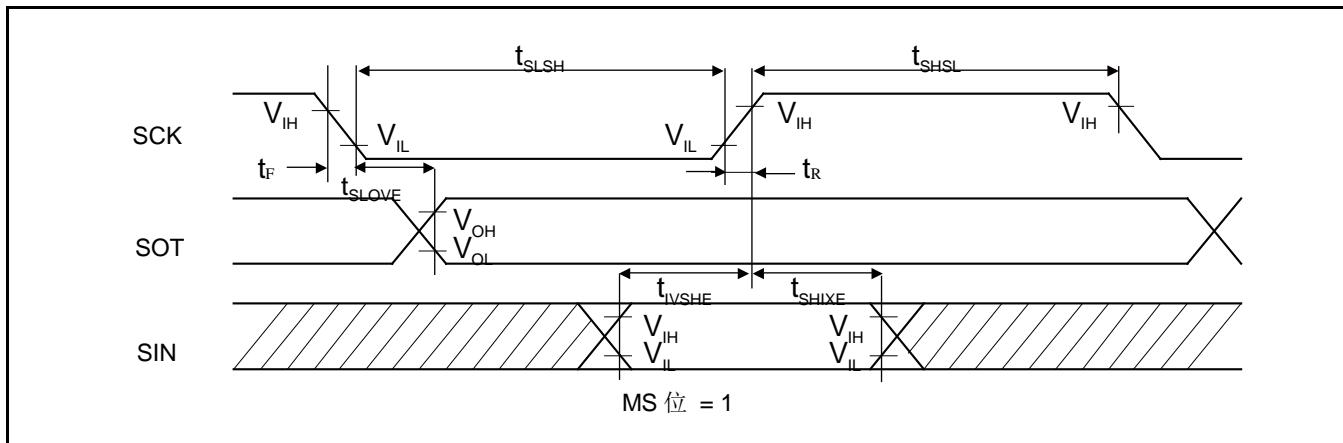
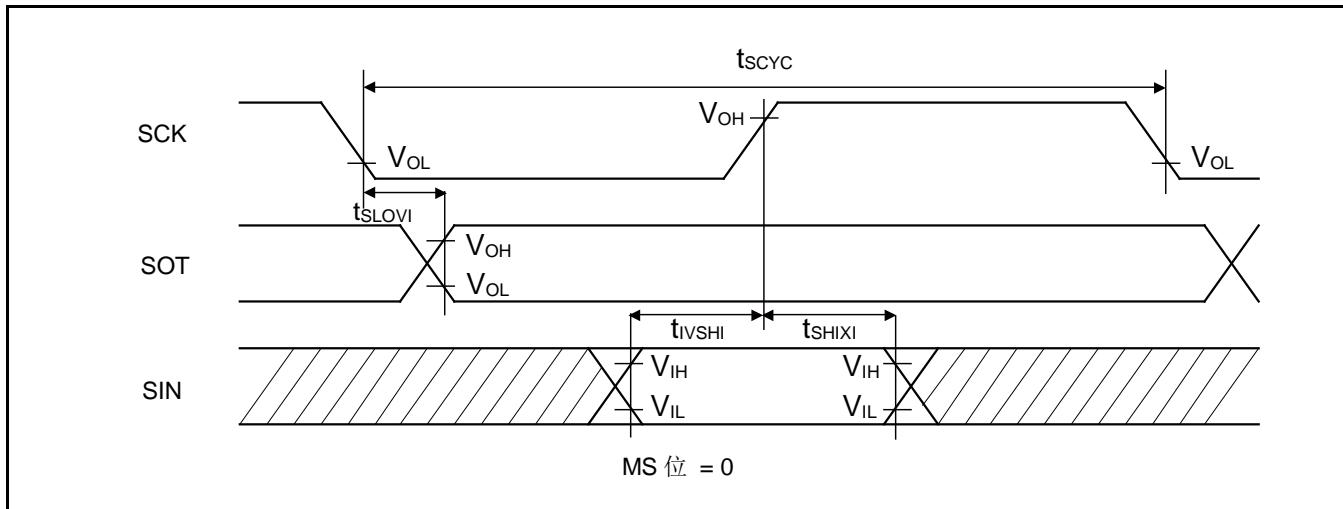
同步串行模式 (SPI = 0, SCINV = 0)

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V)

参数	符号	引脚名称	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t _{SCYC}	SCKx	内部移位时钟	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK 下降沿到 SOT 延迟时间	t _{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 上升沿建立时间	t _{IVSHI}	SCKx, SINx		50	-	30	-	ns
SCK 上升沿到 SIN 保持时间	t _{SHIXI}	SCKx, SINx		0	-	0	-	ns
串行时钟低电平脉宽	t _{SLSH}	SCKx	外部移位时钟	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
串行时钟高电平脉宽	t _{SHSL}	SCKx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK 下降沿到 SOT 延迟时间	t _{SLOVE}	SCKx, SOTx		-	50	-	30	ns
SIN 到 SCK 上升沿建立时间	t _{IVSHE}	SCKx, SINx		10	-	10	-	ns
SCK 上升沿到 SIN 保持时间	t _{SHIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意:

- 上述特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 这些特性只对相同重定位端口编号有效。
例如, 对 SCLKx_0 和 SOTx_1 的组合为无效。
- 外部负载电容 C_L 为 30 pF。

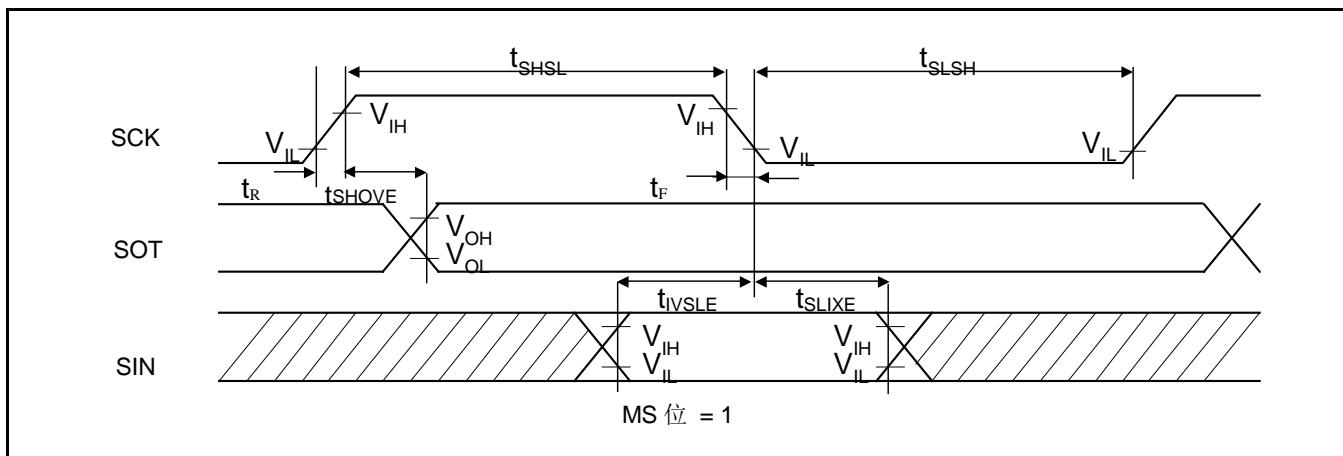
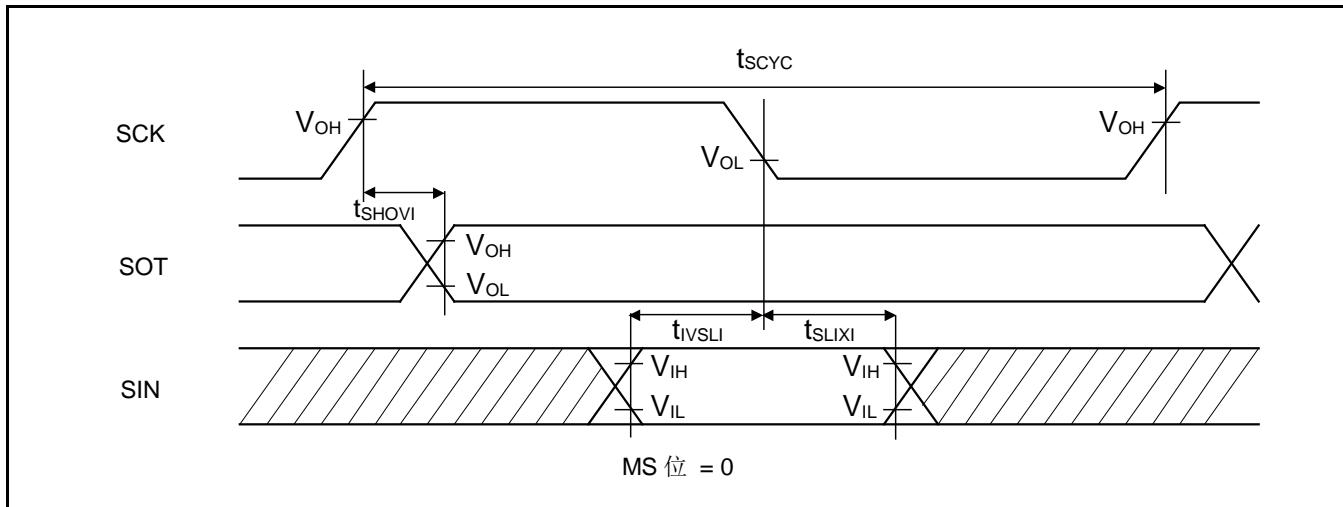


同步串行模式 (SPI = 0, SCINV = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK 上升沿到 SOT 延迟时间	t_{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 下降沿建立时间	t_{IVSLI}	SCKx, SINx		50	-	30	-	ns
SCK 下降沿到 SIN 保持时间	t_{SLIXI}	SCKx, SINx		0	-	0	-	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟	$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK 上升沿到 SOT 延迟时间	t_{SHOVE}	SCKx, SOTx		-	50	-	30	ns
SIN 到 SCK 下降沿建立时间	t_{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK 下降沿到 SIN 保持时间	t_{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t_F	SCKx		-	5	-	5	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	ns

注意:

- 上述特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 这些特性只对相同重定位端口编号有效。
例如, 对 **SCLKx_0** 和 **SOTx_1** 的组合为无效。
- 外部负载电容 C_L 为 30 pF 。

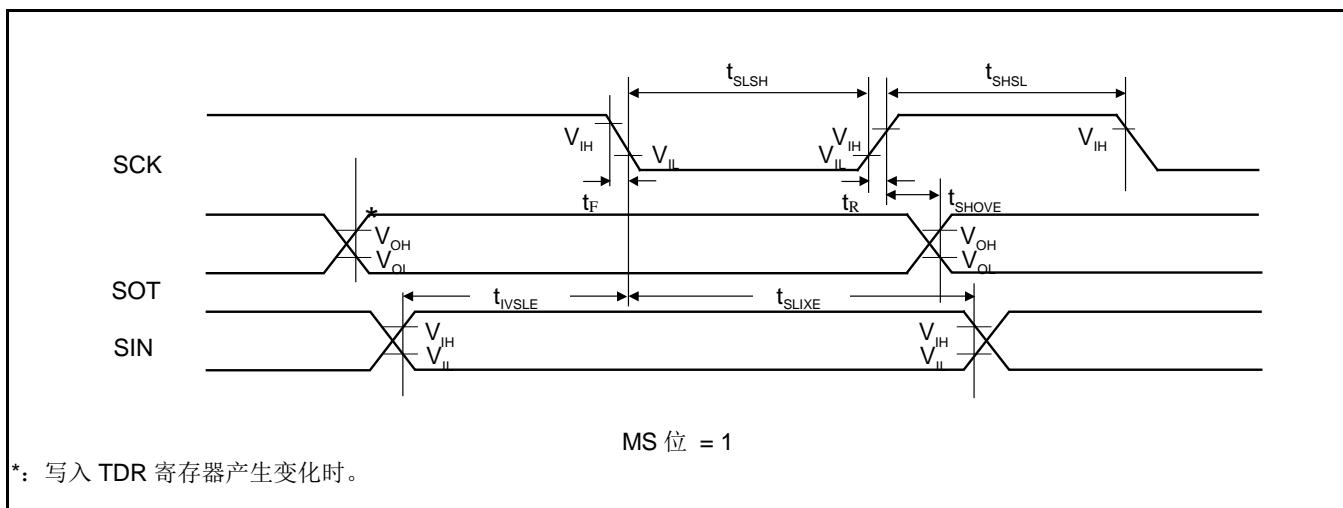
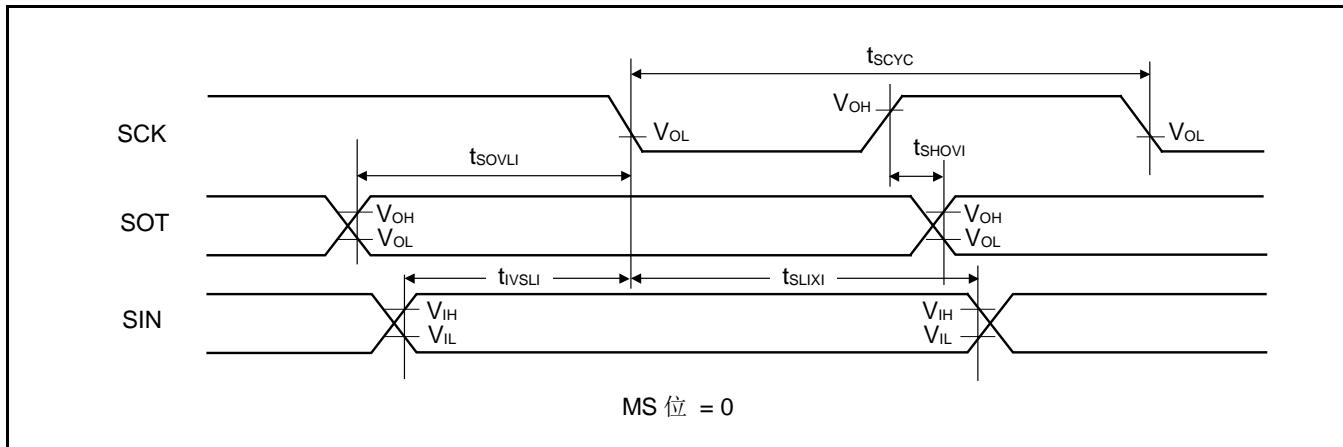


同步串行模式 (SPI = 1, SCINV = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟	4 t_{CYCP}	—	4 t_{CYCP}	—	ns
SCK 上升沿到 SOT 延迟时间	t_{SHOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 下降沿建立时间	t_{IVSLI}	SCKx, SINx		50	—	30	—	ns
SCK 下降沿到 SIN 保持时间	t_{SLIXI}	SCKx, SINx		0	—	0	—	ns
SOT 到 SCK 下降沿延迟时间	t_{SOVLI}	SCKx, SOTx		2 t_{CYCP} - 30	—	2 t_{CYCP} - 30	—	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟	2 t_{CYCP} - 10	—	2 t_{CYCP} - 10	—	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		t_{CYCP} + 10	—	t_{CYCP} + 10	—	ns
SCK 上升沿到 SOT 延迟时间	t_{SHOVE}	SCKx, SOTx		—	50	—	30	ns
SIN 到 SCK 下降沿建立时间	t_{IVSLE}	SCKx, SINx		10	—	10	—	ns
SCK 下降沿到 SIN 保持时间	t_{SLIXE}	SCKx, SINx		20	—	20	—	ns
SCK 下降时间	t_F	SCKx		—	5	—	5	ns
SCK 上升时间	t_R	SCKx		—	5	—	5	ns

注意:

- 上述特性适用于 **CLK 同步模式**。
- t_{CYCP} 指的是 **APB 总线时钟周期时间**。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 这些特性只对相同重定位端口编号有效。
例如, 对 **SCLKx_0** 和 **SOTx_1** 的组合为无效。
- 外部负载电容 C_L 为 30 pF 。

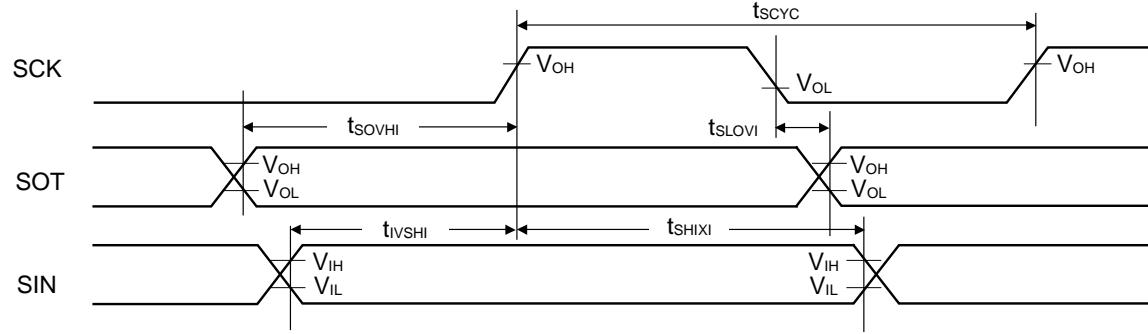


同步串行模式 (SPI = 1, SCINV = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

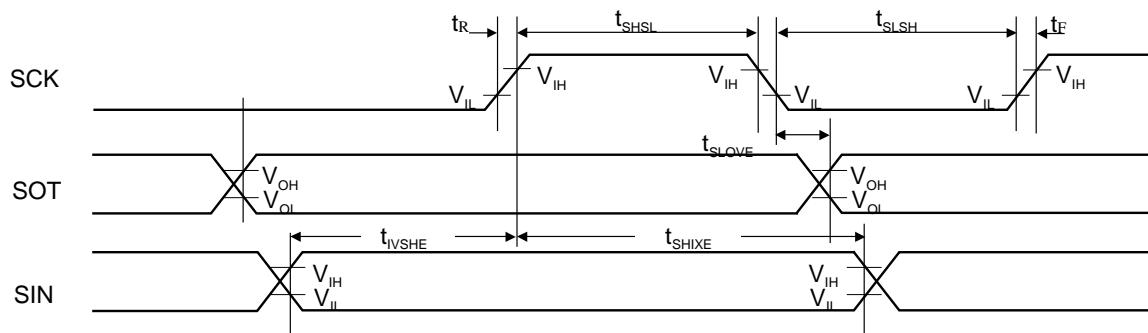
参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟	$4t_{CYCP}$	—	$4t_{CYCP}$	—	ns
SCK 下降沿到 SOT 延迟时间	t_{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 上升沿建立时间	t_{IVSHI}	SCKx, SINx		50	—	30	—	ns
SCK 上升沿到 SIN 保持时间	t_{SHIXI}	SCKx, SINx		0	—	0	—	ns
SOT 到 SCK 上升沿延迟时间	t_{SOVHI}	SCKx, SOTx		$2t_{CYCP} - 30$	—	$2t_{CYCP} - 30$	—	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟	$2t_{CYCP} - 10$	—	$2t_{CYCP} - 10$	—	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	—	$t_{CYCP} + 10$	—	ns
SCK 下降沿到 SOT 延迟时间	t_{SLOVE}	SCKx, SOTx		—	50	—	30	ns
SIN 到 SCK 上升沿建立时间	t_{IVSHE}	SCKx, SINx		10	—	10	—	ns
SCK 上升沿到 SIN 保持时间	t_{SHIXE}	SCKx, SINx		20	—	20	—	ns
SCK 下降时间	t_F	SCKx		—	5	—	5	ns
SCK 上升时间	t_R	SCKx		—	5	—	5	ns

注意:

- 上述特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 这些特性只对相同重定位端口编号有效。
例如, 对 $SCLKx_0$ 和 $SOTx_1$ 的组合便为无效。
- 外部负载电容 C_L 为 30 pF 。



MS 位 = 0



MS 位 = 1

同步串行片选模式 (SPI = 1, SCINV = 0, MS = 0, CSLVL = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 下降沿建立时间	t _{CSSE}	内部移位时钟	([*] 1)-50	([*] 1)+0	([*] 1)-50	([*] 1)+0	ns
SCK 上升沿到 SCS 上升沿保持时间	t _{CSHE}		([*] 2)+0	([*] 2)+50	([*] 2)+0	([*] 2)+50	ns
SCS 取消时间	t _{CSDI}		([*] 3)-50 +5t _{CYCP}	([*] 3)+50 +5t _{CYCP}	([*] 3)-50 +5t _{CYCP}	([*] 3)+50 +5t _{CYCP}	ns
SCS 下降沿到 SCK 下降沿建立时间	t _{CSSE}	外部移位时钟	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK 上升沿到 SCS 上升沿保持时间	t _{CSHE}		0	-	0	-	ns
SCS 取消时间	t _{CSDI}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS 下降沿到 SUT 延迟时间	t _{DSE}		-	40	-	40	ns
SCS 上升沿到 SUT 延迟时间	t _{DEE}		0	-	0	-	ns

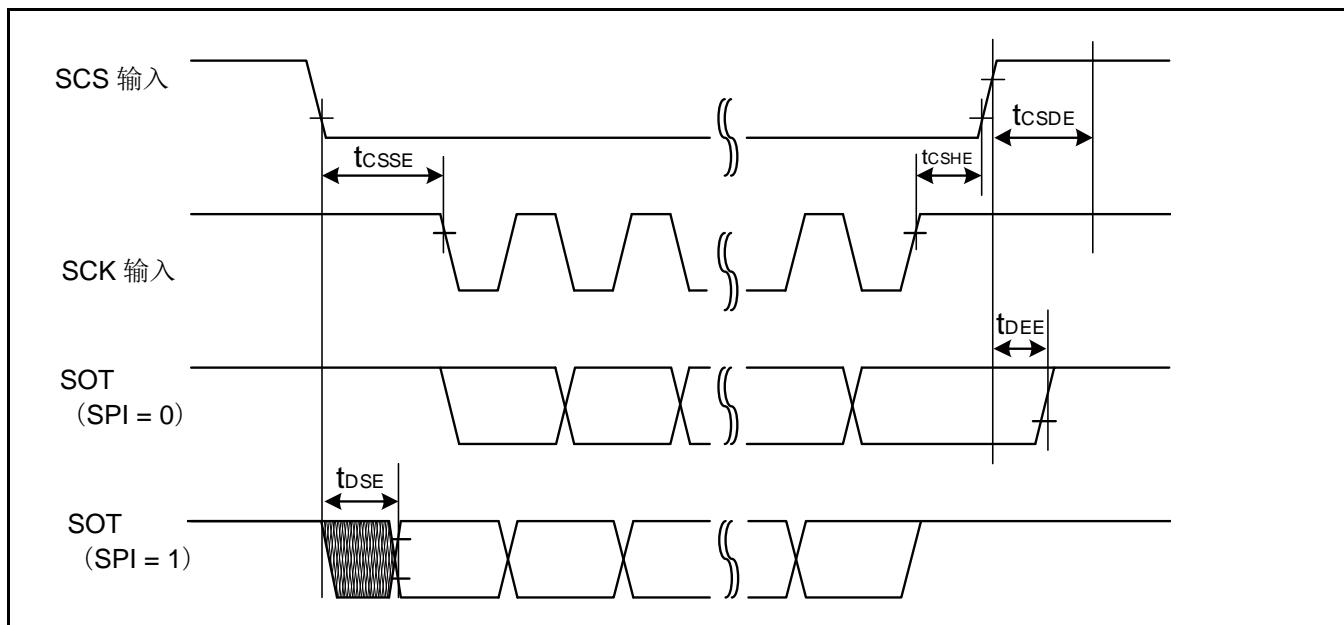
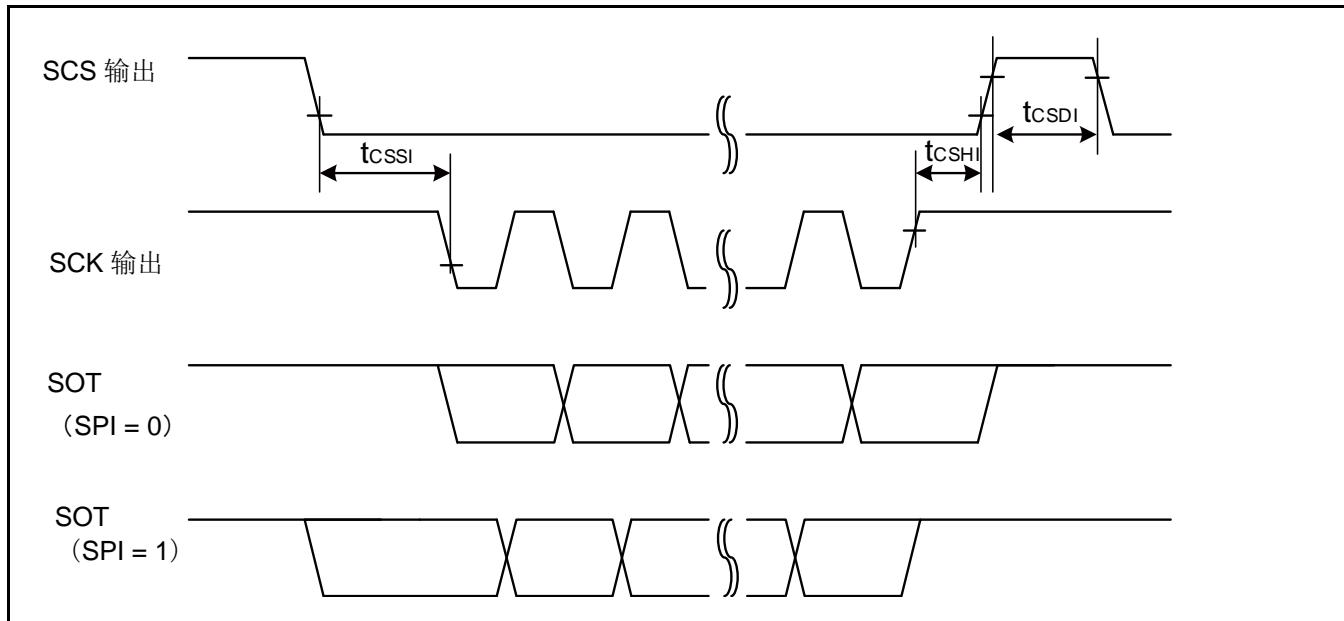
 (^{*}1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

 (^{*}2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

 (^{*}3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的内容。
- 外部负载电容 C_L 为 30 pF。



同步串行片选模式 (SPI = 1, SCINV = 1, MS=0, CSLVL = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 上升沿建立时间	t _{CSSE}	内部移位时钟	([*] 1)-50	([*] 1)+0	([*] 1)-50	([*] 1)+0	ns
SCK 下降沿到 SCS 上升沿保持时间	t _{CSHE}		([*] 2)+0	([*] 2)+50	([*] 2)+0	([*] 2)+50	ns
SCS 取消时间	t _{CSDE}		([*] 3)-50 +5t _{CYCP}	([*] 3)+50 +5t _{CYCP}	([*] 3)-50 +5t _{CYCP}	([*] 3)+50 +5t _{CYCP}	ns
SCS 下降沿到 SCK 上升沿建立时间	t _{CSSE}	外部移位时钟	3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCK 下降沿到 SCS 上升沿保持时间	t _{CSHE}		0	-	0	-	ns
SCS 取消时间	t _{CSDE}		3t _{CYCP} +30	-	3t _{CYCP} +30	-	ns
SCS 下降沿到 SOT 延迟时间	t _{DSE}		-	40	-	40	ns
SCS 上升沿到 SOT 延迟时间	t _{DEE}		0	-	0	-	ns

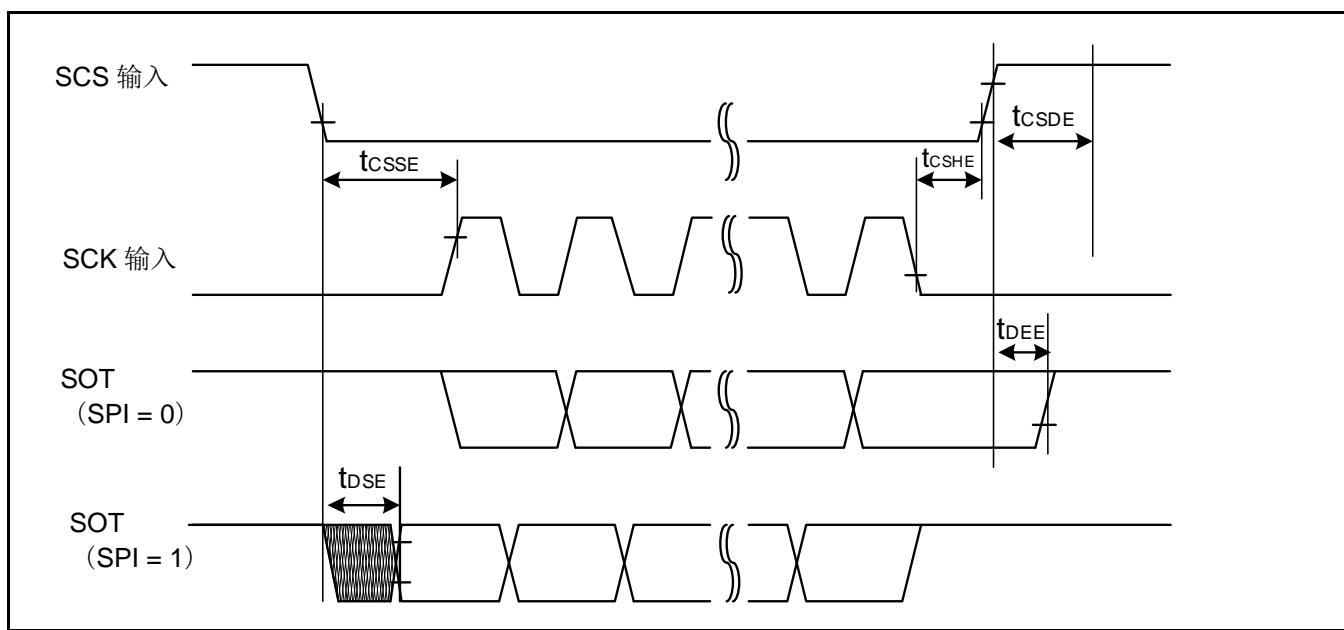
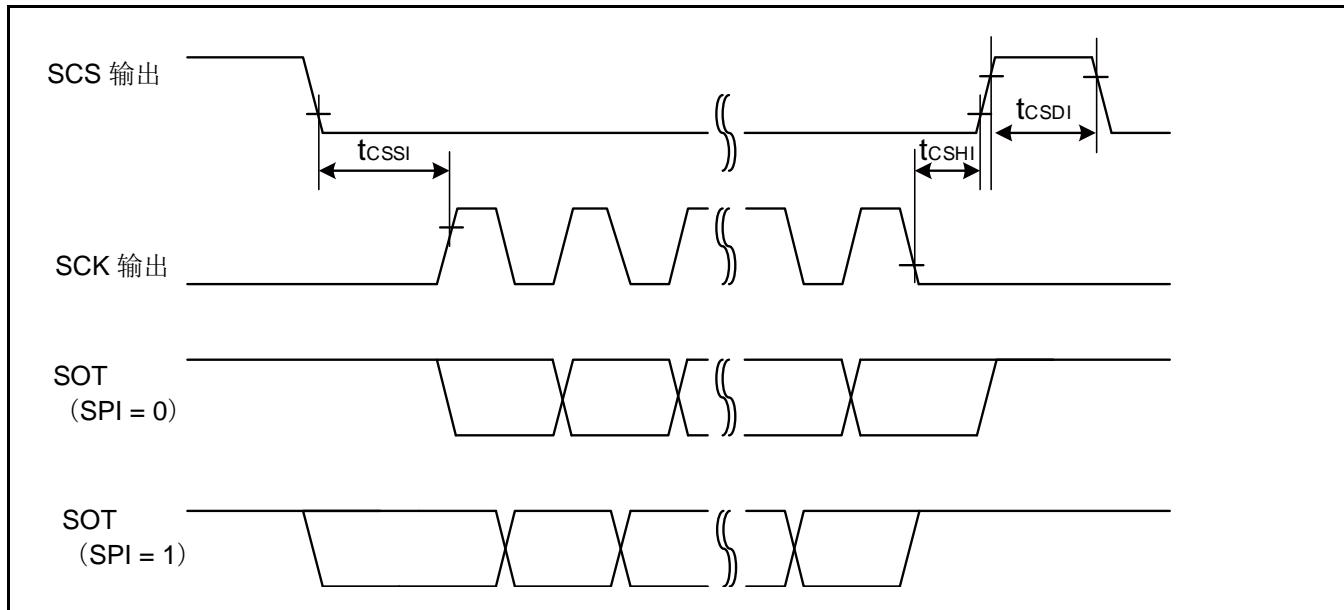
 (^{*}1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

 (^{*}2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

 (^{*}3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的内容。
- 外部负载电容 C_L 为 30 pF。



同步串行片选模式 (SPI = 1, SCINV = 0, MS = 0, CSLVL = 0)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	条件	$V_{CC} < 4.5 \text{ V}$		$V_{CC} \geq 4.5 \text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 下降沿建立时间	t_{CSSE}	内部移位时钟	(*)-50	(*)+0	(*)-50	(*)+0	ns
SCK 上升沿到 SCS 下降沿保持时间	t_{CSHD}		(*)+0	(*)+50	(*)+0	(*)+50	ns
SCS 取消时间	t_{CSDE}		(*)-50 +5 t_{CYCP}	(*)+50 +5 t_{CYCP}	(*)-50 +5 t_{CYCP}	(*)+50 +5 t_{CYCP}	ns
SCS 上升沿到 SCK 下降沿建立时间	t_{CSSE}	外部移位时钟	$3t_{CYCP}+30$	-	$3t_{CYCP}+30$	-	ns
SCK 上升沿到 SCS 下降沿保持时间	t_{CSHD}		0	-	0	-	ns
SCS 取消时间	t_{CSDE}		$3t_{CYCP}+30$	-	$3t_{CYCP}+30$	-	ns
SCS 上升沿到 SOT 延迟时间	t_{DSE}		-	40	-	40	ns
SCS 下降沿到 SOT 延迟时间	t_{DEE}		0	-	0	-	ns

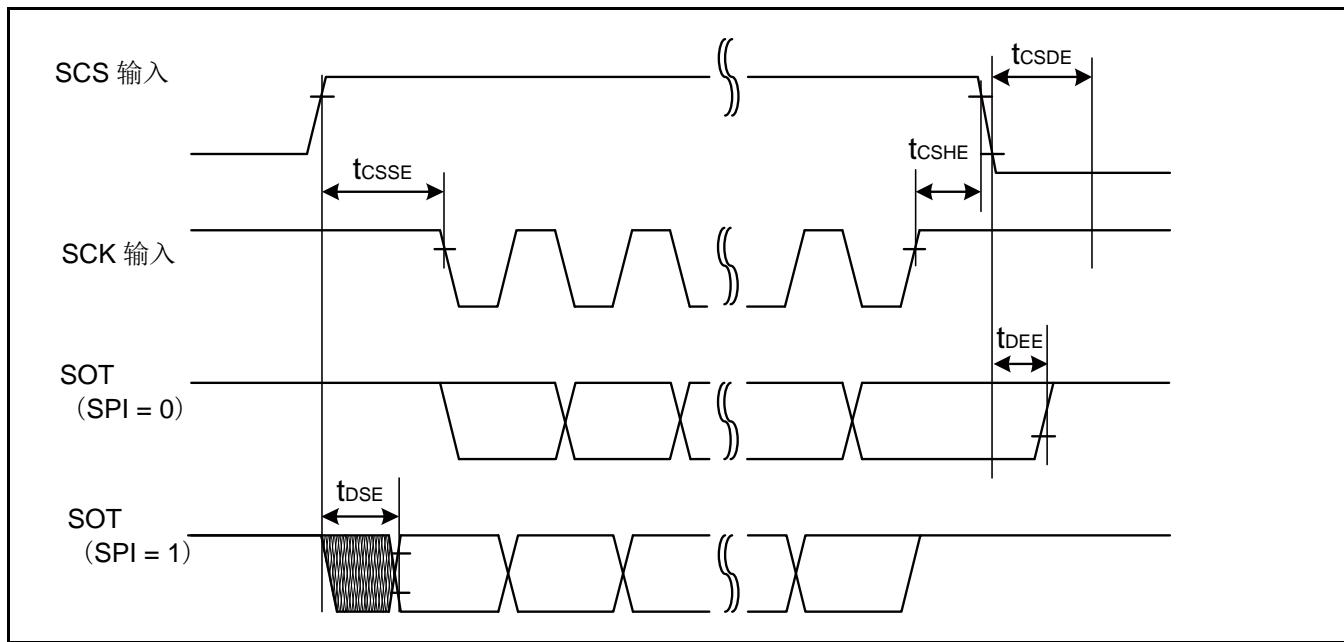
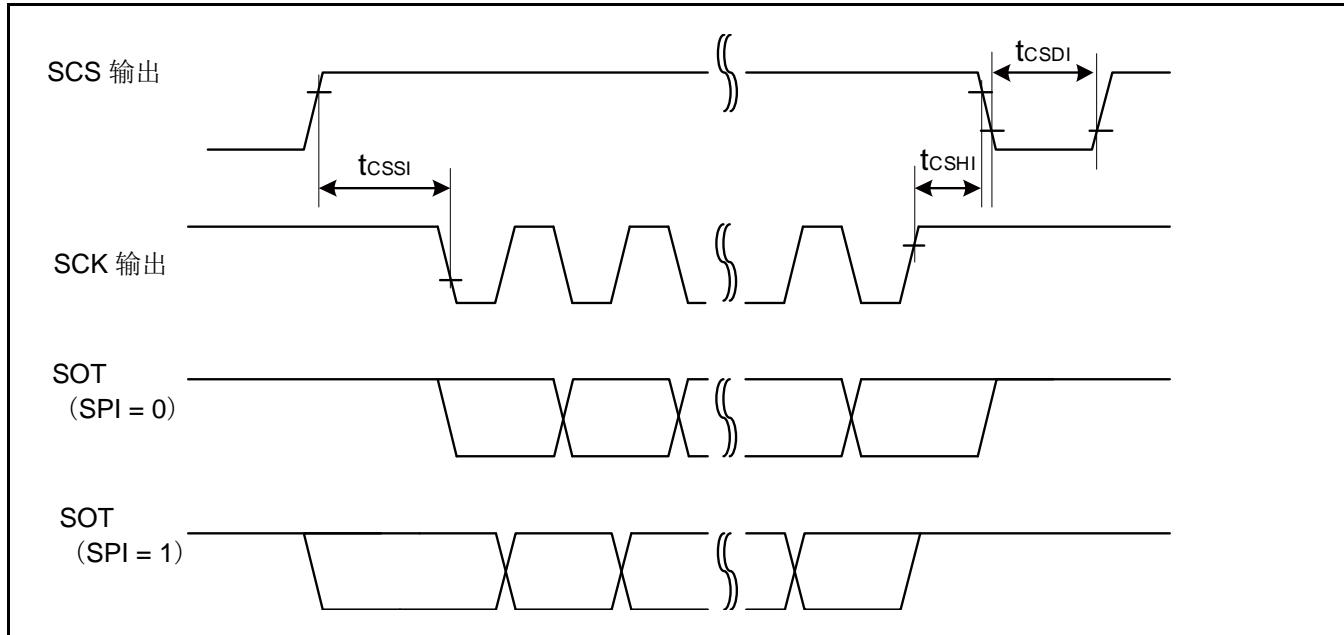
(*)：CSSU 位值 × 串行片选时序操作时钟周期[ns]

(**)：CSHD 位值 × 串行片选时序操作时钟周期[ns]

(***): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意：

- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息，请参考第 8 章框图的内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息，请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的内容。
- 外部负载电容 C_L 为 30 pF。



同步串行片选模式 (SPI = 1, SCINV = 1, MS = 0, CSLVL = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 上升沿建立时间	t_{CSSE}	内部移位时钟	(*)-50	(*)+0	(*)-50	(*)+0	ns
SCK 下降沿到 SCS 下降沿保持时间	t_{CSHE}		(*)+0	(*)+50	(*)+0	(*)+50	ns
SCS 取消时间	t_{CSDE}		(*)-50 +5 t_{CYCP}	(*)+50 +5 t_{CYCP}	(*)-50 +5 t_{CYCP}	(*)+50 +5 t_{CYCP}	ns
SCS 上升沿到 SCK 上升沿建立时间	t_{CSSE}	外部移位时钟	$3t_{CYCP}+30$	-	$3t_{CYCP}+30$	-	ns
SCK 下降沿到 SCS 下降沿保持时间	t_{CSHE}		0	-	0	-	ns
SCS 取消时间	t_{CSDE}		$3t_{CYCP}+30$	-	$3t_{CYCP}+30$	-	ns
SCS 上升沿到 SOT 延迟时间	t_{DSE}		-	40	-	40	ns
SCS 下降沿到 SOT 延迟时间	t_{DEE}		0	-	0	-	ns

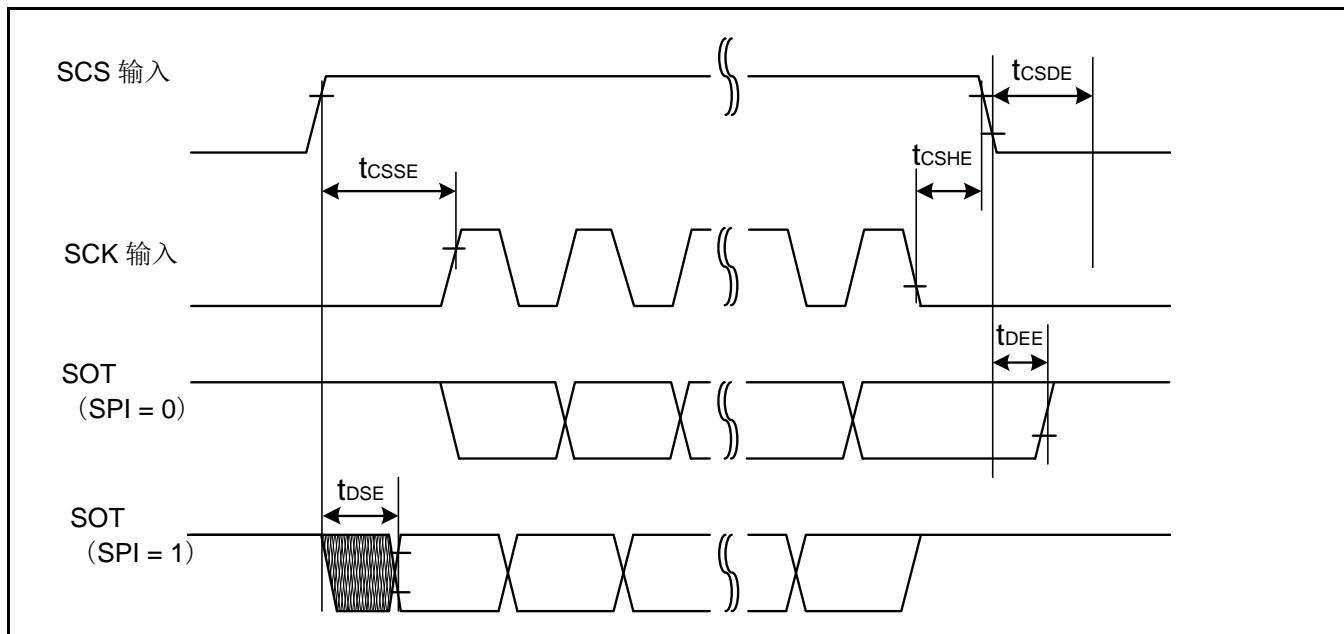
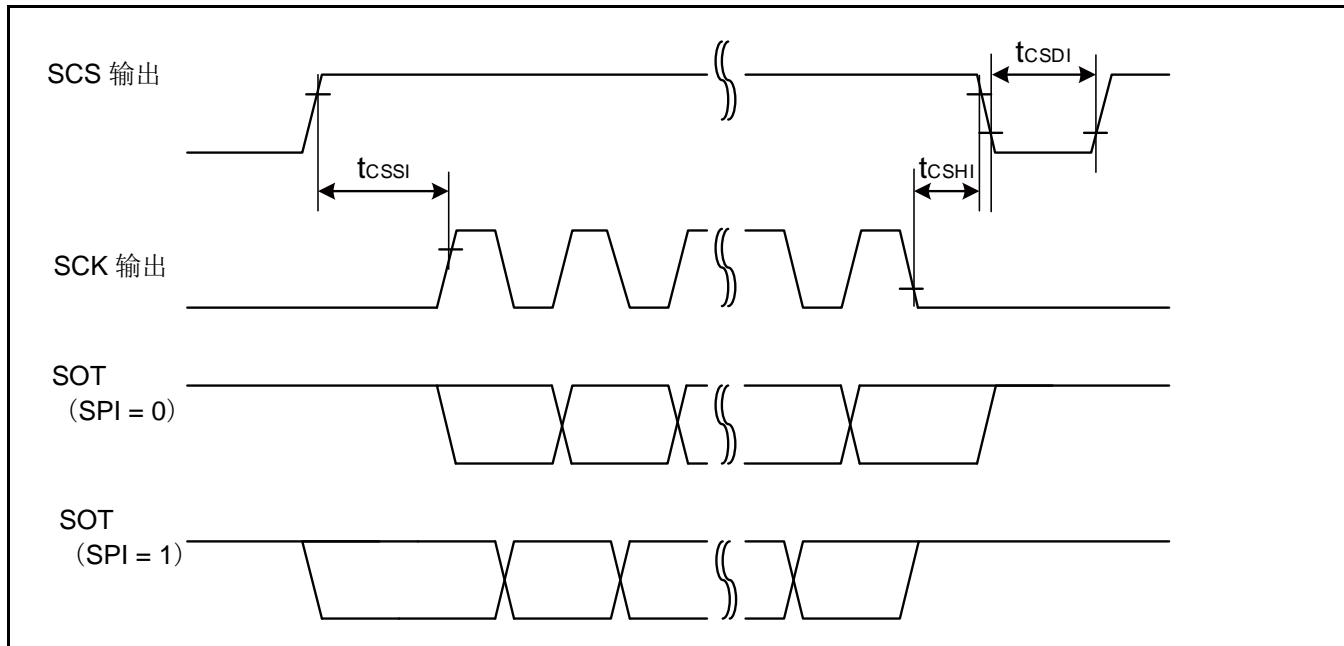
(*)：CSSU 位值 × 串行片选时序操作时钟周期[ns]

(**)：CSHD 位值 × 串行片选时序操作时钟周期[ns]

(***): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意：

- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息，请参考第 8 章框图的内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息，请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的内容。
- 外部负载电容 C_L 为 30 pF。

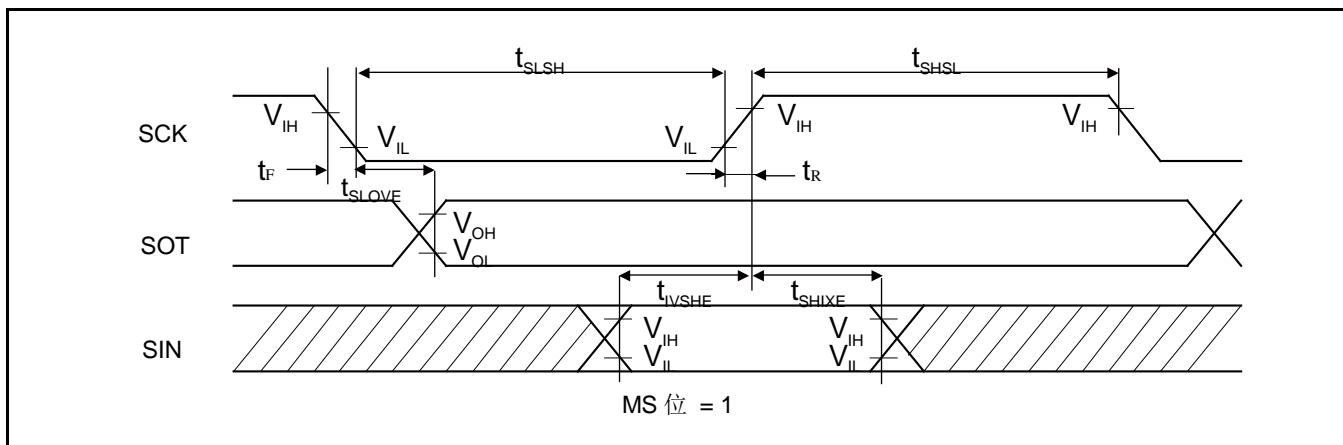
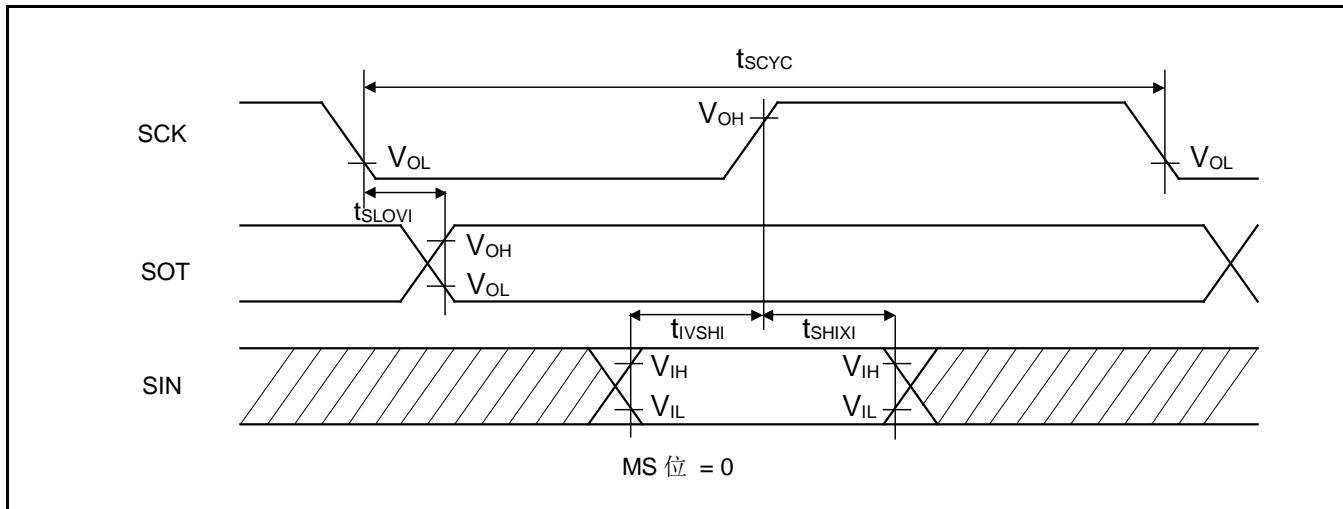


高速同步串行模式 (SPI = 0, SCINV = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位	
				最小值	最大值	最小值	最大值		
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns	
SCK 下降沿到 SOT 延迟时间	t_{SLOVI}	SCKx, SOTx		-10	+10	-10	+10	ns	
SIN 到 SCK 上升沿建立时间	t_{IVSHI}	SCKx, SINx		14	-	12.5	-	ns	
				12.5*					
SCK 上升沿到 SIN 保持时间	t_{SHIXI}	SCKx, SINx		5	-	5	-	ns	
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟	$2t_{CYCP} - 5$	-	$2t_{CYCP} - 5$	-	ns	
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns	
SCK 下降沿到 SOT 延迟时间	t_{SLOVE}	SCKx, SOTx		-	15	-	15	ns	
SIN 到 SCK 上升沿建立时间	t_{IVSHE}	SCKx, SINx		5	-	5	-	ns	
SCK 上升沿到 SIN 保持时间	t_{SHIXE}	SCKx, SINx		5	-	5	-	ns	
				-	5	-	5	ns	
SCK 下降时间	t_F	SCKx		-	5	-	5	ns	
SCK 上升时间	t_R	SCKx		-	5	-	5	ns	

注意:

- 上述特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 这些特性仅适用于以下各引脚。
- 无片选: SIN4_1、SOT4_1、SCK4_1
- 片选: SIN6_1、SOT6_1、SCK6_1、SCS6_1
- 外部负载电容 C_L 为 30 pF 。(对于带*项, 条件为 $C_L = 10\text{ pF}$)

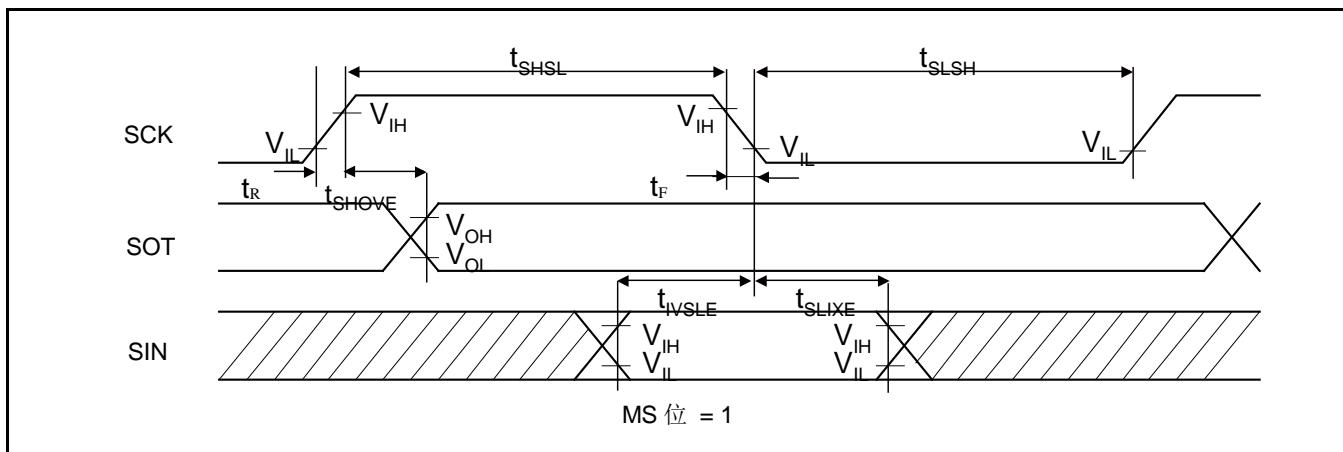
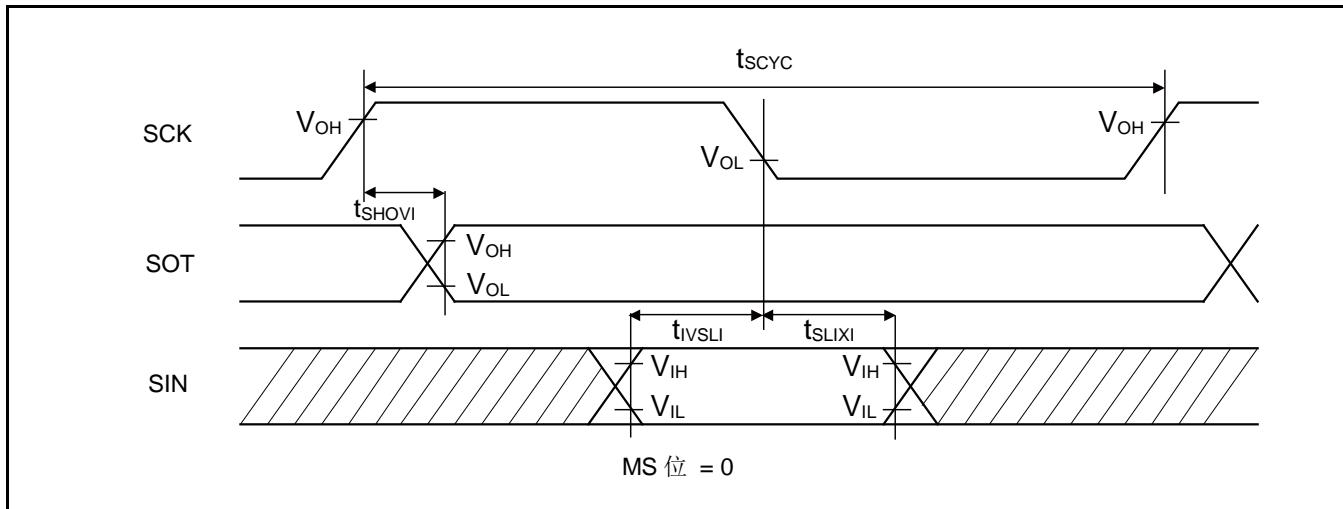


高速同步串行模式 (SPI = 0, SCINV = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t _{SCYC}	SCKx	内部移位时钟	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK上升沿到SOT延迟时间	t _{SHOVI}	SCKx, SOTx		-10	+10	-10	+10	ns
SIN到SCK下降沿建立时间	t _{IVSLI}	SCKx, SINx		14	-	12.5	-	ns
SCK下降沿到SIN保持时间	t _{SLIXI}	SCKx, SINx		12.5*	5	5	-	ns
串行时钟低电平脉宽	t _{SLSH}	SCKx	外部移位时钟	5	-	5	-	ns
串行时钟高电平脉宽	t _{SHSL}	SCKx		2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
SCK上升沿到SOT延迟时间	t _{SHOVE}	SCKx, SOTx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SIN到SCK下降沿建立时间	t _{IVSLE}	SCKx, SINx		-	15	-	15	ns
SCK下降沿到SIN保持时间	t _{SLIXE}	SCKx, SINx		5	-	5	-	ns
SCK下降时间	t _F	SCKx		5	-	5	-	ns
SCK上升时间	t _R	SCKx		-	5	-	5	ns

注意:

- 上述特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 这些特性仅适用于以下各引脚。
- 无片选: SIN4_1、SOT4_1、SCK4_1
- 片选: SIN6_1、SOT6_1、SCK6_1、SCS6_1
- 外部负载电容 C_L 为 30 pF。(对于带*项, 条件为 C_L = 10 pF)

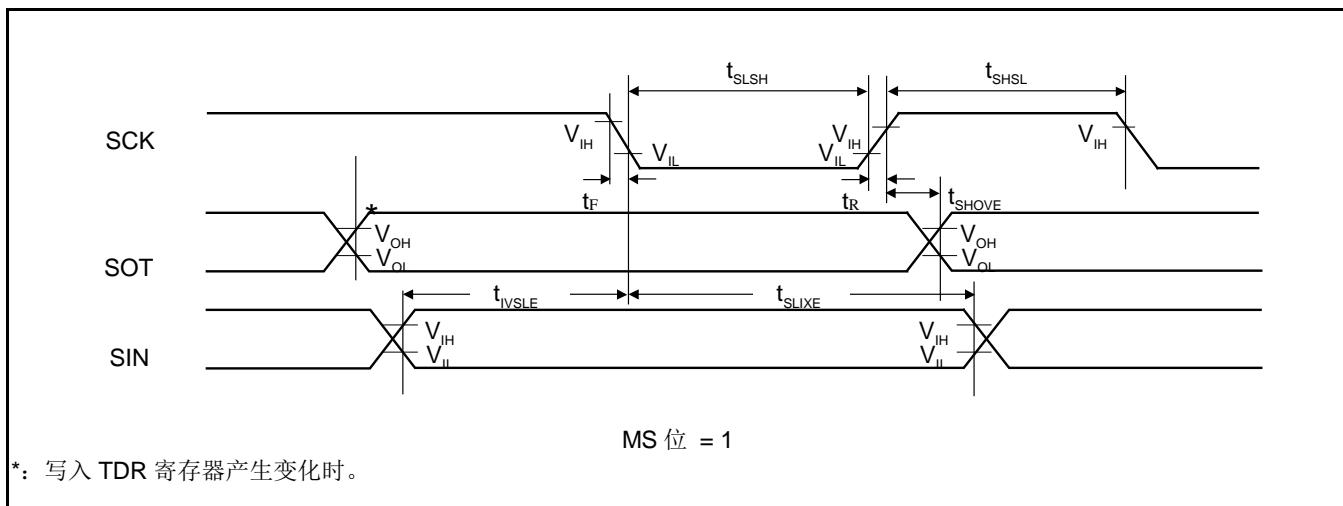
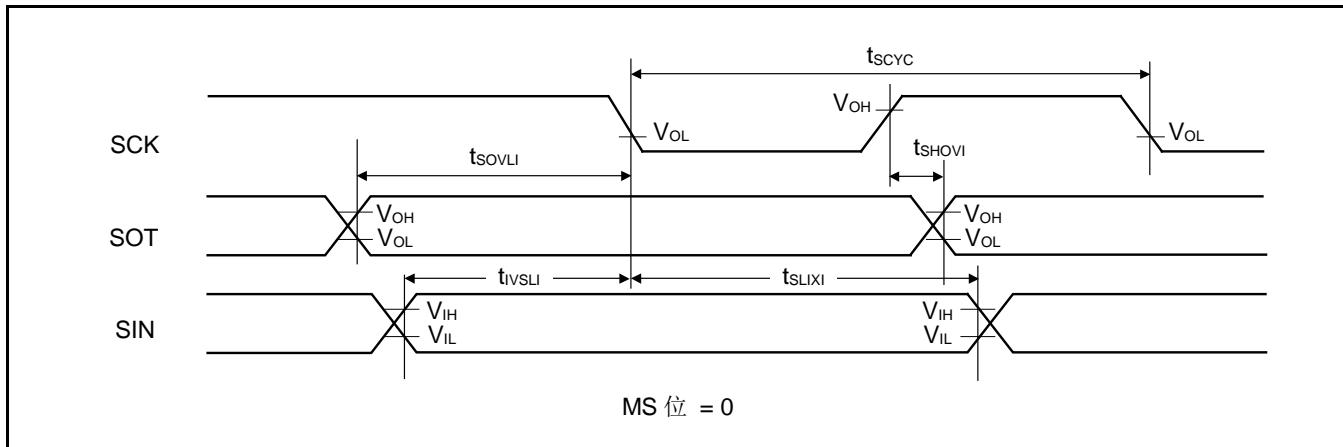


高速同步串行模式 (SPI = 1, SCINV = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t _{SCYC}	SCKx	内部移位时钟	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK 上升沿到 SOT 延迟时间	t _{SHOVI}	SCKx, SOTx		-10	+10	-10	+10	ns
SIN 到 SCK 下降沿建立时间	t _{IVSLI}	SCKx, SINx		14	-	12.5	-	ns
SCK 下降沿到 SIN 保持时间	t _{SLIXI}	SCKx, SINx		12.5*	-	-	-	ns
SOT 到 SCK 下降沿延迟时间	t _{SOVLI}	SCKx, SOTx		5	-	5	-	ns
串行时钟低电平脉宽	t _{SLSH}	SCKx		2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
串行时钟高电平脉宽	t _{SHSL}	SCKx	外部移位时钟	2t _{CYCP} - 5	-	2t _{CYCP} - 5	-	ns
SCK 上升沿到 SOT 延迟时间	t _{SHOVE}	SCKx, SOTx		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SIN 到 SCK 下降沿建立时间	t _{IVSLE}	SCKx, SINx		-	15	-	15	ns
SCK 下降沿到 SIN 保持时间	t _{SLIXE}	SCKx, SINx		5	-	5	-	ns
SCK 下降时间	t _F	SCKx		5	-	5	-	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意:

- 上述特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 这些特性仅适用于以下各引脚。
- 无片选: SIN4_1、SOT4_1、SCK4_1
- 片选: SIN6_1、SOT6_1、SCK6_1、SCS6_1
- 外部负载电容 C_L 为 30 pF。(对于带*项, 条件为 C_L = 10 pF)

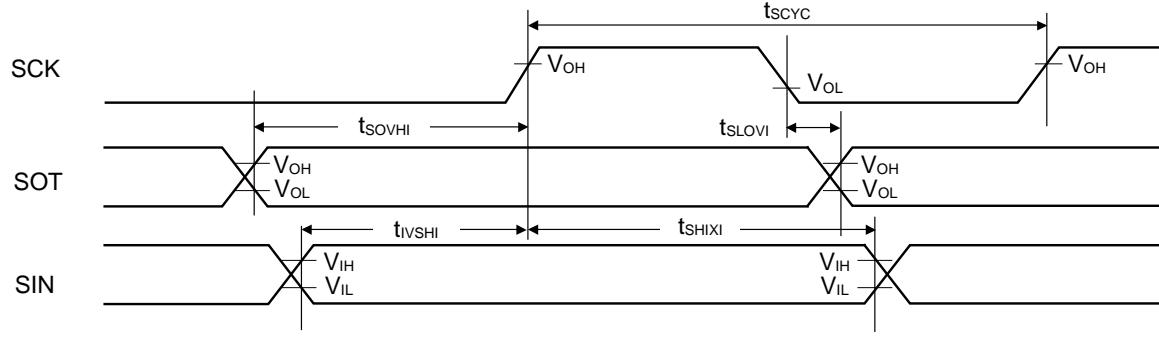


高速同步串行模式 (SPI = 1, SCINV = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

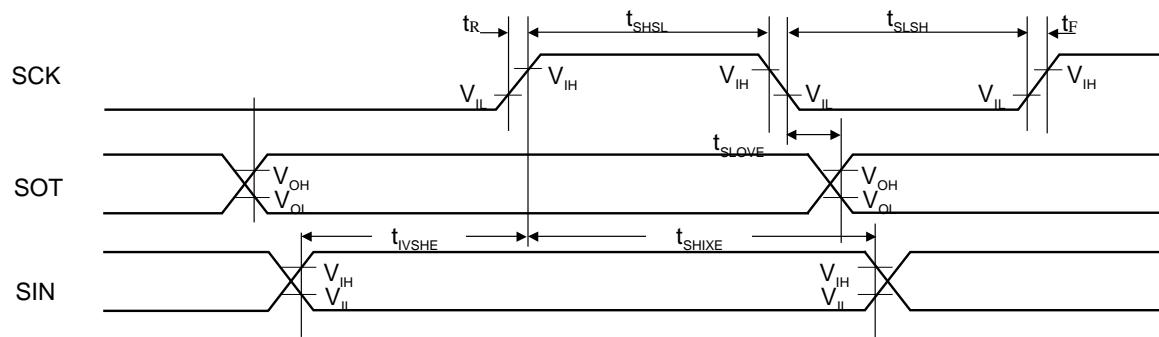
参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
内部移位时钟	t_{SCYC}	SCKx	内部移位时钟	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK 下降沿到 SOT 延迟时间	t_{SLOVI}	SCKx, SOTx		-10	+10	-10	+10	ns
SIN 到 SCK 上升沿建立时间	t_{IVSHI}	SCKx, SINx		14	-	12.5	-	ns
SCK 上升沿到 SIN 保持时间	t_{SHIXI}	SCKx, SINx		12.5*	-	-	-	ns
SOT 到 SCK 上升沿延迟时间	t_{SOVHI}	SCKx, SOTx		5	-	5	-	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx		$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx	外部移位时钟	$2t_{CYCP} - 5$	-	$2t_{CYCP} - 5$	-	ns
SCK 下降沿到 SOT 延迟时间	t_{SLOVE}	SCKx, SOTx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SIN 到 SCK 上升沿建立时间	t_{IVSHE}	SCKx, SINx		-	15	-	15	ns
SCK 上升沿到 SIN 保持时间	t_{SHIXE}	SCKx, SINx		5	-	5	-	ns
SCK 下降时间	t_F	SCKx		5	-	5	-	ns
SCK 上升时间	t_R	SCKx		-	5	-	5	ns

注意:

- 上述特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 这些特性仅适用于以下各引脚。
- 无片选: SIN4_1、SOT4_1、SCK4_1
- 片选: SIN6_1、SOT6_1、SCK6_1、SCS6_1
- 外部负载电容 C_L 为 30 pF 。(对于带*项, 条件为 $C_L = 10\text{ pF}$)



MS 位 = 0



MS 位 = 1

高速同步串行片选模式 (SPI = 1, SCINV = 0, MS = 0, CSLVL = 1)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	条件	$V_{CC} < 4.5 \text{ V}$		$V_{CC} \geq 4.5 \text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 下降沿建立时间	t _{CSSE}	内部移位时钟	([*] 1)-20	([*] 1)+0	([*] 1)-20	([*] 1)+0	ns
SCK 上升沿到 SCS 上升沿保持时间	t _{CSHE}		([*] 2)+0	([*] 2)+20	([*] 2)+0	([*] 2)+0	ns
SCS 取消时间	t _{CSDE}		([*] 3)-20 +5t _{CYCP}	([*] 3)+20 +5t _{CYCP}	([*] 3)-20 +5t _{CYCP}	([*] 3)+20 +5t _{CYCP}	ns
SCS 下降沿到 SCK 下降沿建立时间	t _{CSSE}	外部移位时钟	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK 上升沿到 SCS 上升沿保持时间	t _{CSHE}		0	-	0	-	ns
SCS 取消时间	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS 下降沿到 SOT 延迟时间	t _{DSE}		-	25	-	25	ns
SCS 上升沿到 SOT 延迟时间	t _{DEE}		0	-	0	-	ns

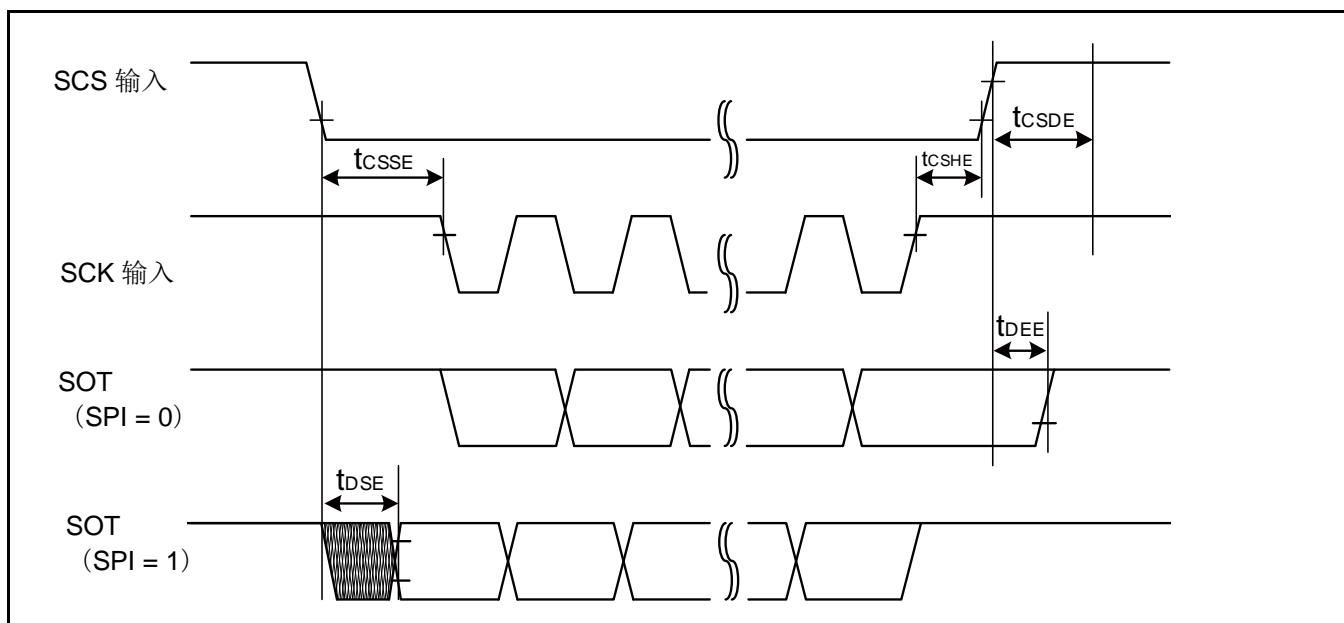
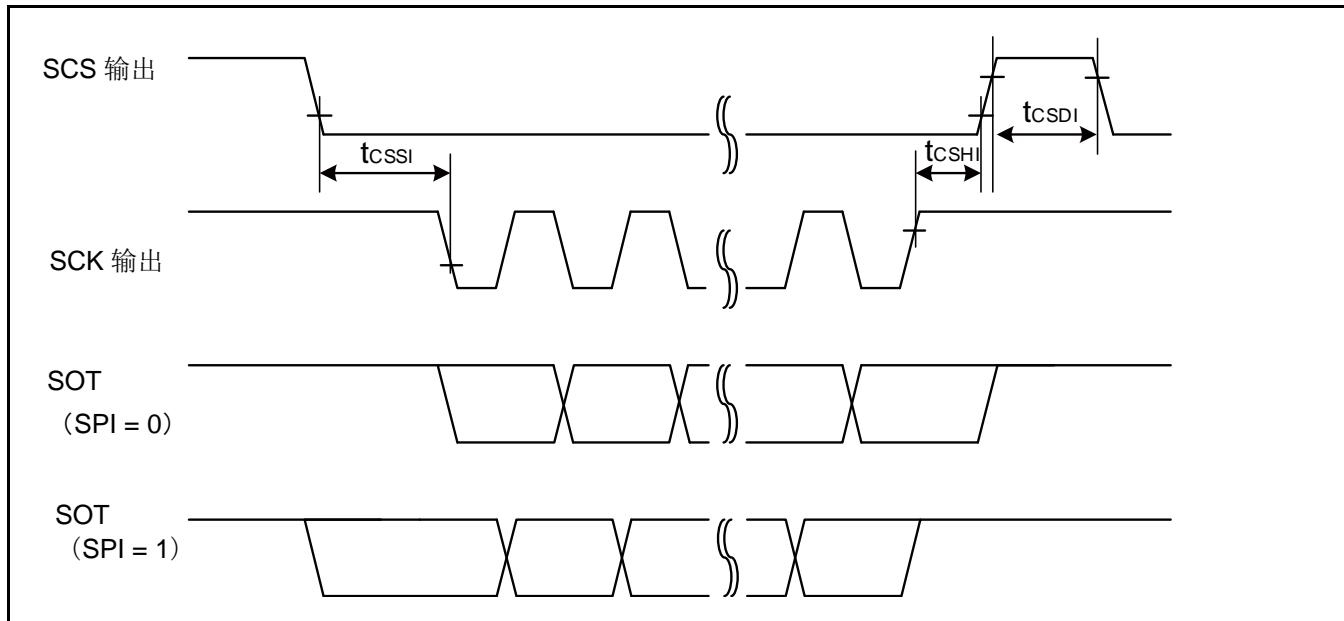
 (^{*}1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

 (^{*}2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

 (^{*}3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考 FM4 系列外设手册。
- 外部负载电容 C_L 为 30 pF。



高速同步串行片选模式 (SPI = 1, SCINV = 1, MS = 0, CSLVL = 1)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 上升沿建立时间	t_{CSSE}	内部移位时钟	(*)-20	(*)+0	(*)-20	(*)+0	ns
SCK 下降沿到 SCS 上升沿保持时间	t_{CSHE}		(*)+0	(*)+20	(*)+0	(*)+0	ns
SCS 取消时间	t_{CSDE}		(*)-20 +5t _{CYCP}	(*)+20 +5t _{CYCP}	(*)-20 +5t _{CYCP}	(*)+20 +5t _{CYCP}	ns
SCS 下降沿到 SCK 上升沿建立时间	t_{CSSE}	外部移位时钟	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK 下降沿到 SCS 上升沿保持时间	t_{CSHE}		0	-	0	-	ns
SCS 取消时间	t_{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS 下降沿到 SOT 延迟时间	t_{DSE}		-	25	-	25	ns
SCS 上升沿到 SOT 延迟时间	t_{DEE}		0	-	0	-	ns

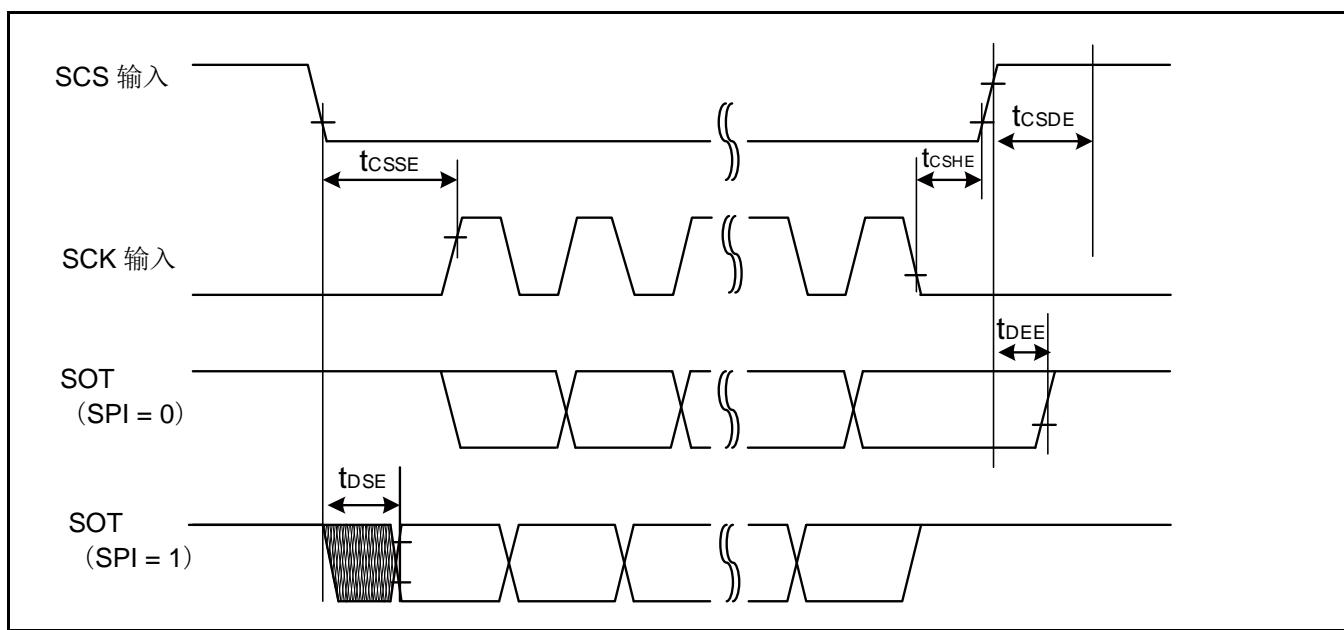
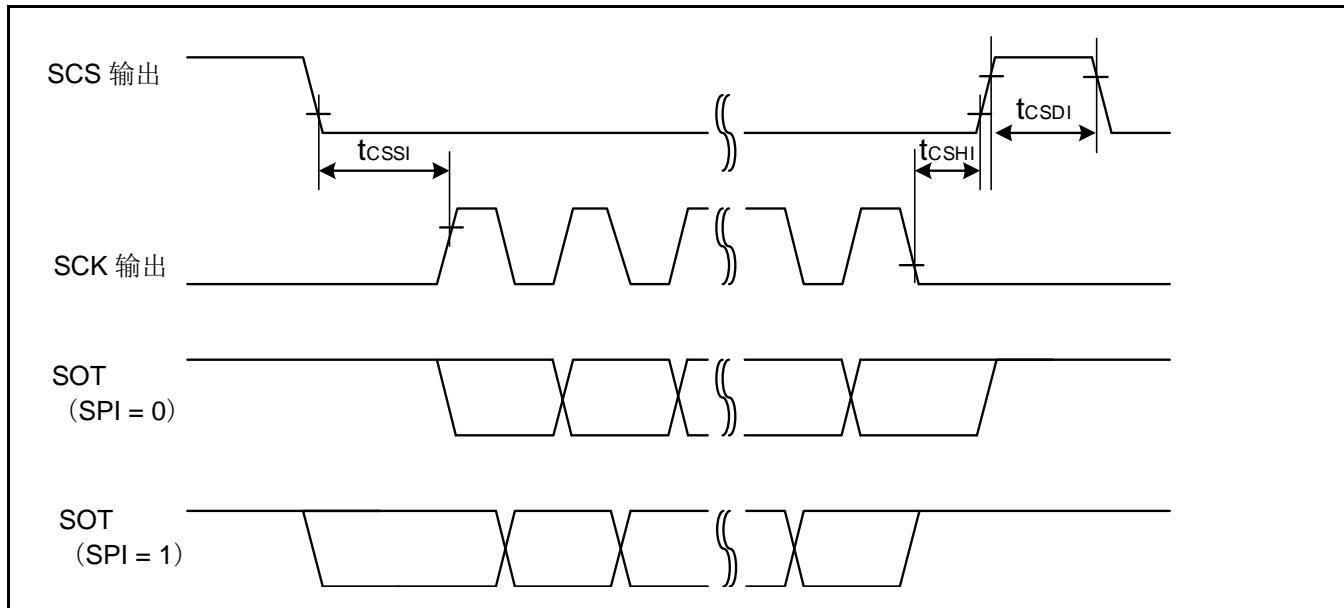
(*)1: CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*)2: CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*)3: CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的内容。
- 外部负载电容 C_L 为 30 pF。



高速同步串行片选模式 (SPI = 1, SCINV = 0, MS = 0, CSLVL = 0)
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 下降沿建立时间	t _{CSSE}	内部移位时钟	(*)-20	(*)+0	(*)-20	(*)+0	ns
SCK 上升沿到 SCS 下降沿保持时间	t _{CSHE}		(*)+0	(*)+20	(*)+0	(*)+0	ns
SCS 取消时间	t _{CSDE}		(*)-20 +5t _{CYCP}	(*)+20 +5t _{CYCP}	(*)-20 +5t _{CYCP}	(*)+20 +5t _{CYCP}	ns
SCS 上升沿到 SCK 下降沿建立时间	t _{CSSE}	外部移位时钟	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK 上升沿到 SCS 下降沿保持时间	t _{CSHE}		0	-	0	-	ns
SCS 取消时间	t _{CSDE}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS 上升沿到 SOT 延迟时间	t _{DSE}		-	25	-	25	ns
SCS 下降沿到 SOT 延迟时间	t _{DEE}		0	-	0	-	ns

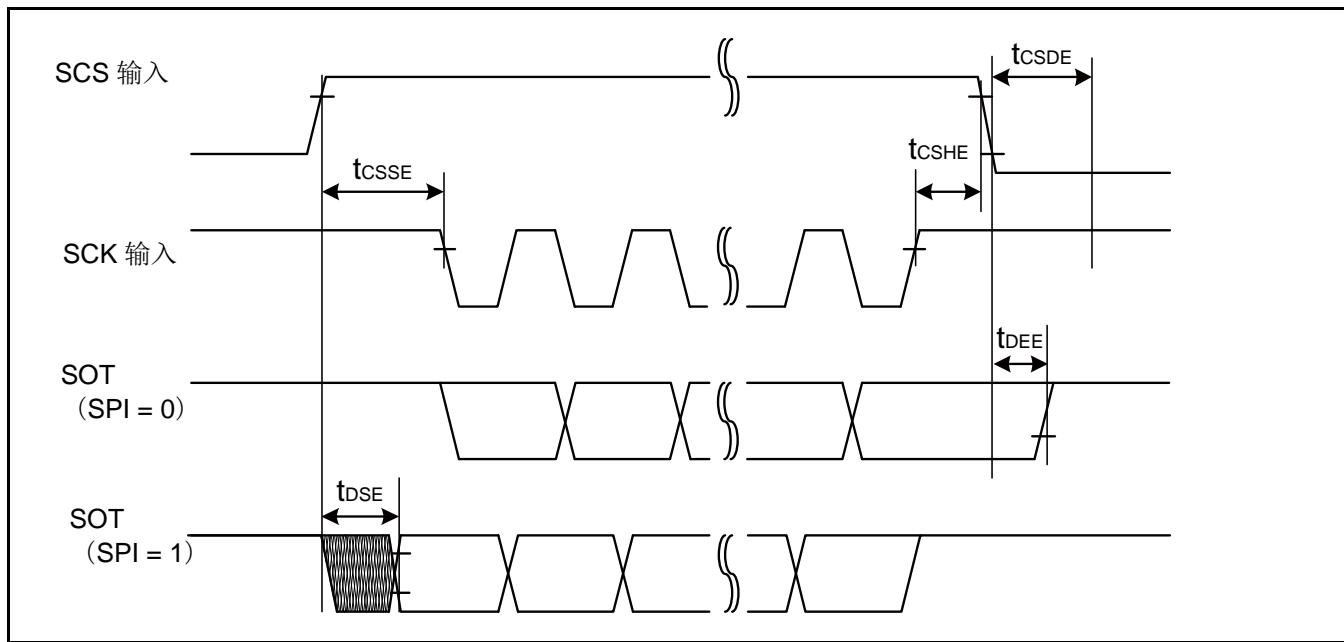
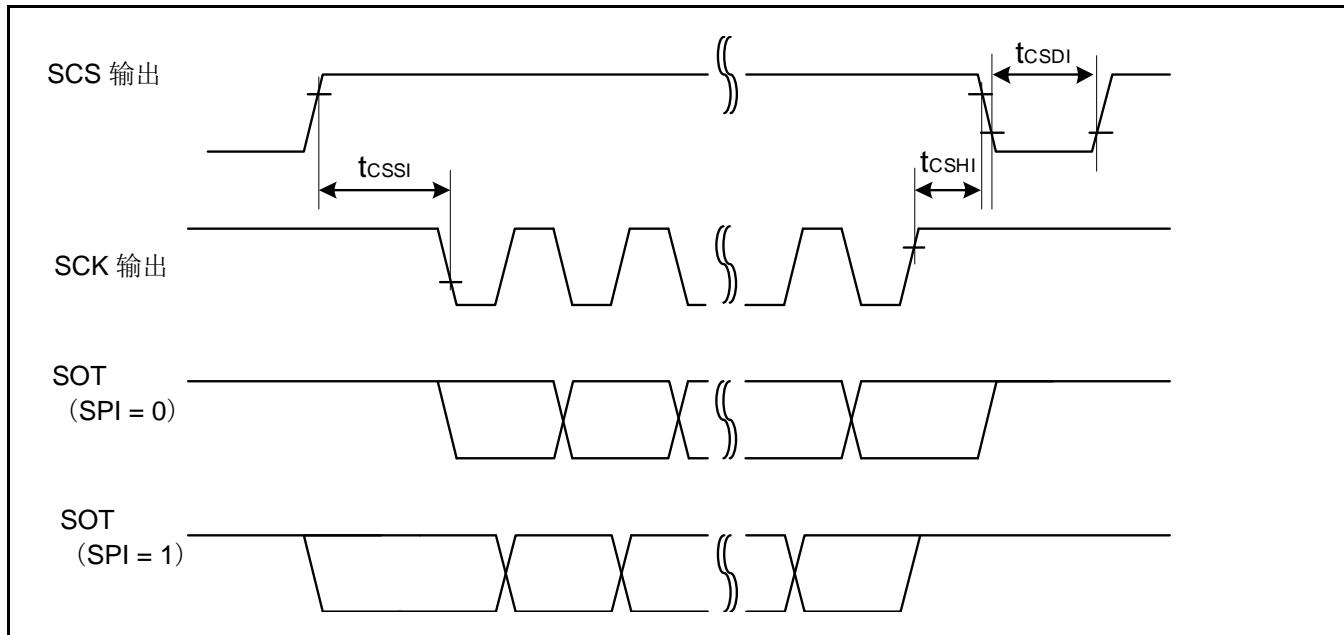
(*)：CSSU 位值 × 串行片选时序操作时钟周期[ns]

(**)：CSHD 位值 × 串行片选时序操作时钟周期[ns]

(***): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意：

- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息，请参考第 8 章框图的内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息，请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的内容。
- 外部负载电容 C_L 为 30 pF。



高速同步串行片选模式 (SPI = 1, SCINV = 1, MS = 0, CSLVL = 0)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	条件	$V_{CC} < 4.5 \text{ V}$		$V_{CC} \geq 4.5 \text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 上升沿建立时间	t _{CSSE}	内部移位时钟	([*] 1)-20	([*] 1)+0	([*] 1)-20	([*] 1)+0	ns
SCK 下降沿到 SCS 下降沿保持时间	t _{CSHE}		([*] 2)+0	([*] 2)+20	([*] 2)+0	([*] 2)+20	ns
SCS 取消时间	t _{CSDS}		([*] 3)-20 +5t _{CYCP}	([*] 3)+20 +5t _{CYCP}	([*] 3)-20 +5t _{CYCP}	([*] 3)+20 +5t _{CYCP}	ns
SCS 上升沿到 SCK 上升沿建立时间	t _{CSSE}	外部移位时钟	3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCK 下降沿到 SCS 下降沿保持时间	t _{CSHE}		0	-	0	-	ns
SCS 取消时间	t _{CSDS}		3t _{CYCP} +15	-	3t _{CYCP} +15	-	ns
SCS 上升沿到 SOT 延迟时间	t _{DSE}		-	25	-	25	ns
SCS 下降沿到 SOT 延迟时间	t _{DEE}		0	-	0	-	ns

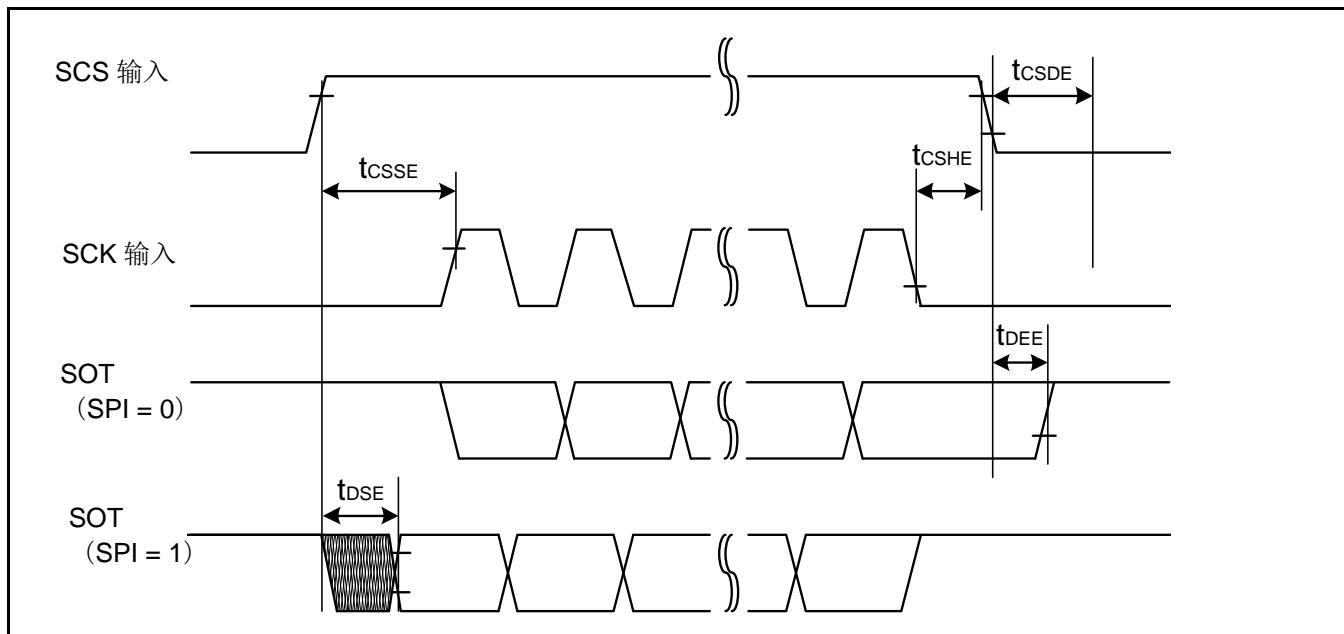
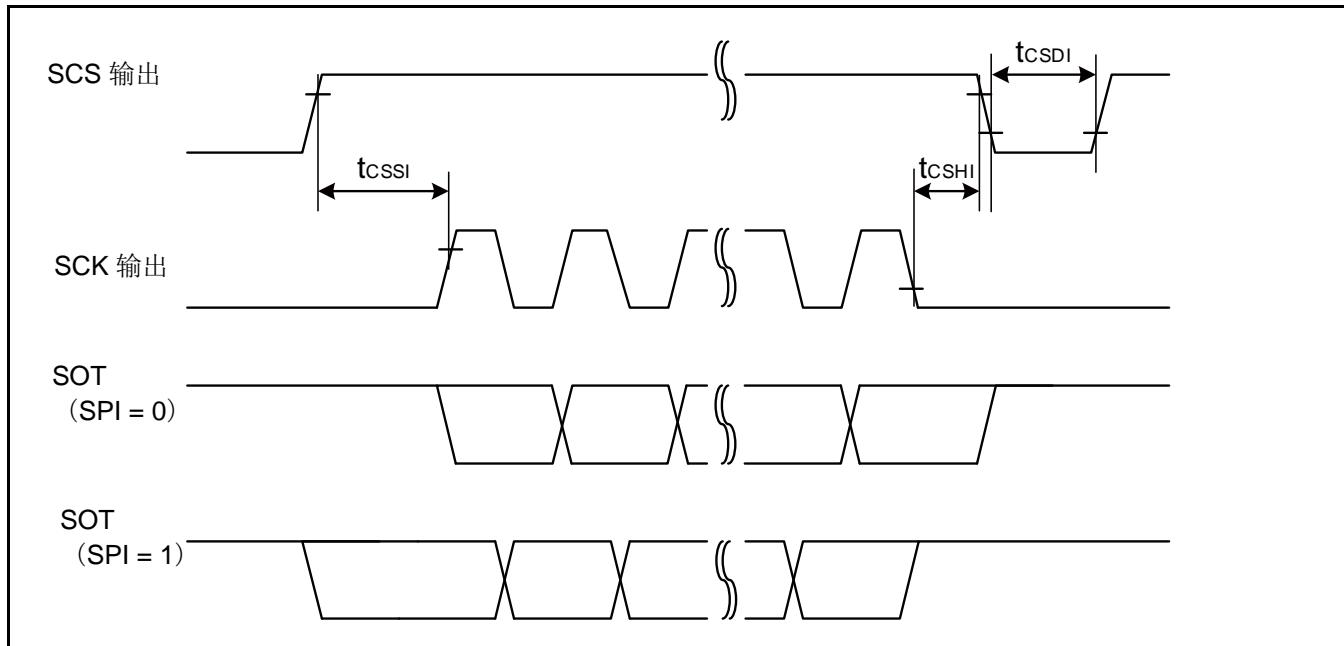
 (^{*}1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

 (^{*}2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

 (^{*}3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

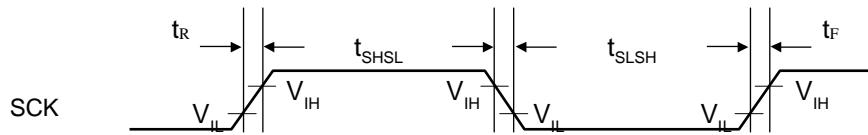
- t_{CYCP} 指的是 APB 总线时钟周期时间。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的内容。
- 外部负载电容 C_L 为 30 pF。



外部时钟 (**EXT = 1**)：仅适用于异步模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	数值		单位	备注
			最小值	最大值		
串行时钟低电平脉宽	t_{SLSH}	$C_L = 30\text{ pF}$	$t_{CYCP} + 10$	-	ns	
串行时钟高电平脉宽	t_{SHSL}		$t_{CYCP} + 10$	-	ns	
SCK 下降时间	t_F		-	5	ns	
SCK 上升时间	t_R		-	5	ns	



12.4.12 外部输入时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

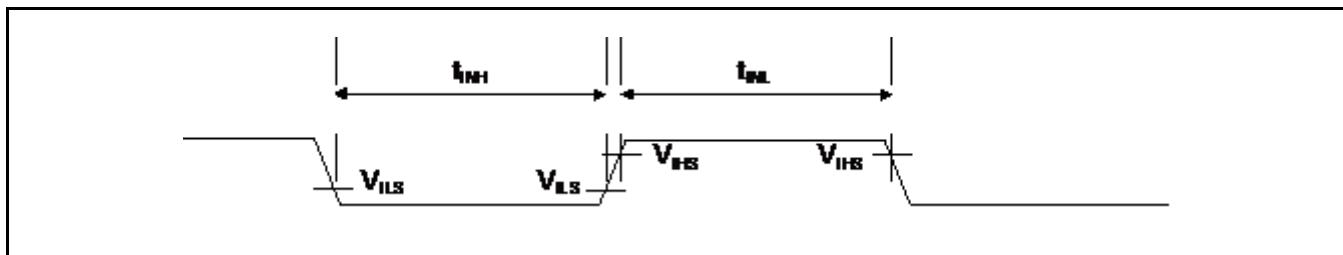
参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
输入脉宽	t_{INH} 、 t_{INL}	ADTG	—	$2t_{CYCP}^{*1}$	—	ns	A/D 转换器触发输入
		FRCKx					自由运行定时器输入时钟
		ICxx					输入捕获
		DTTlxX	—	$2t_{CYCP}^{*1}$	—	ns	波形发生器
		INT00 至 INT15, NMIX	—	$2t_{CYCP} + 100^{*1}$	—	ns	外部中断
		WKUPx		500 ^{*2}	—	ns	NMI
		WKUPx	—	500 ^{*3}	—	ns	深度待机模式唤醒

*1: t_{CYCP} 指的是 APB 总线时钟周期，处于停止模式、定时器模式的停止信号除外。

有关 A/D 转换器、多功能定时器和外部中断挂接的 APB 总线编号的详细信息，请参考第 8 章框图的内容。

*2: 器件处于 停止模式或定时器模式。

*3: 器件处于深度待机 RTC 模式或深度待机停止模式。

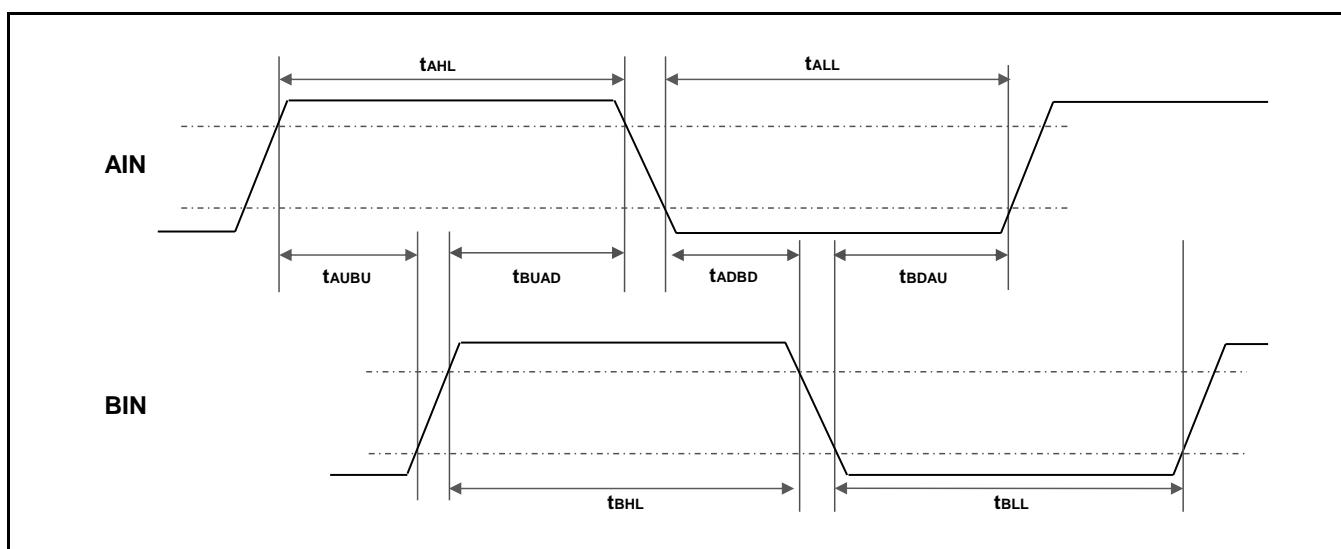


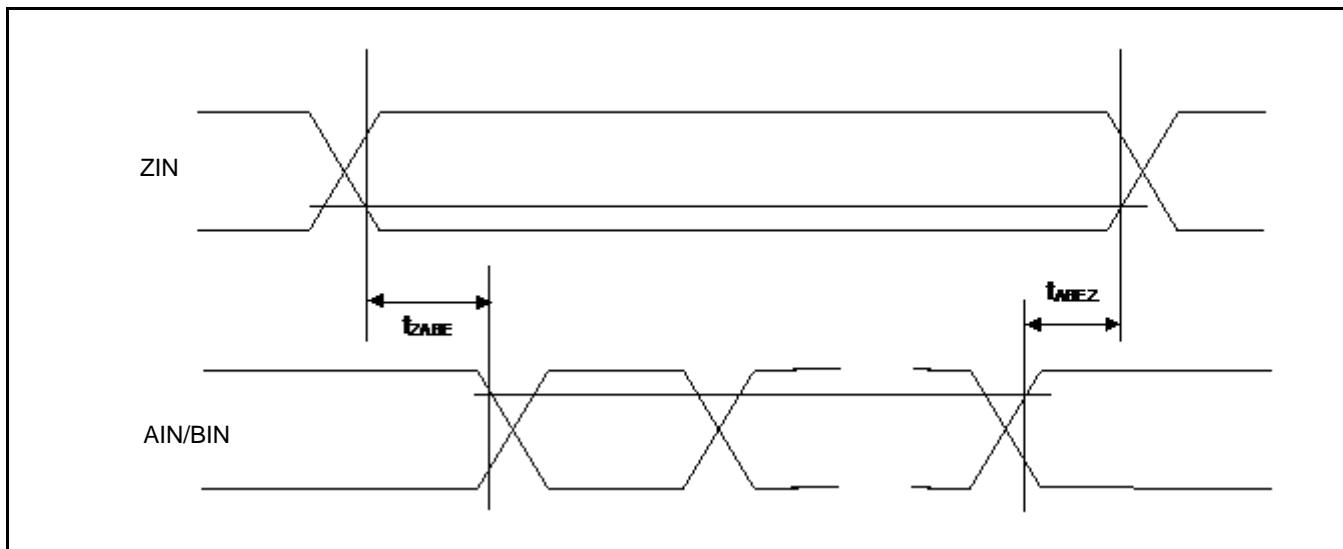
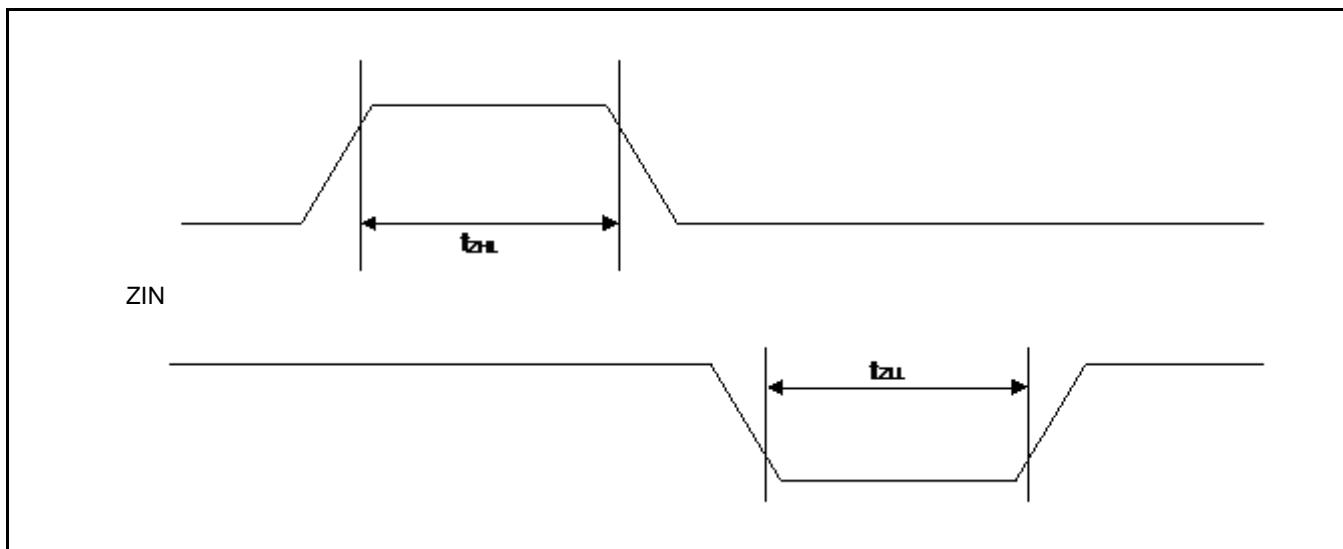
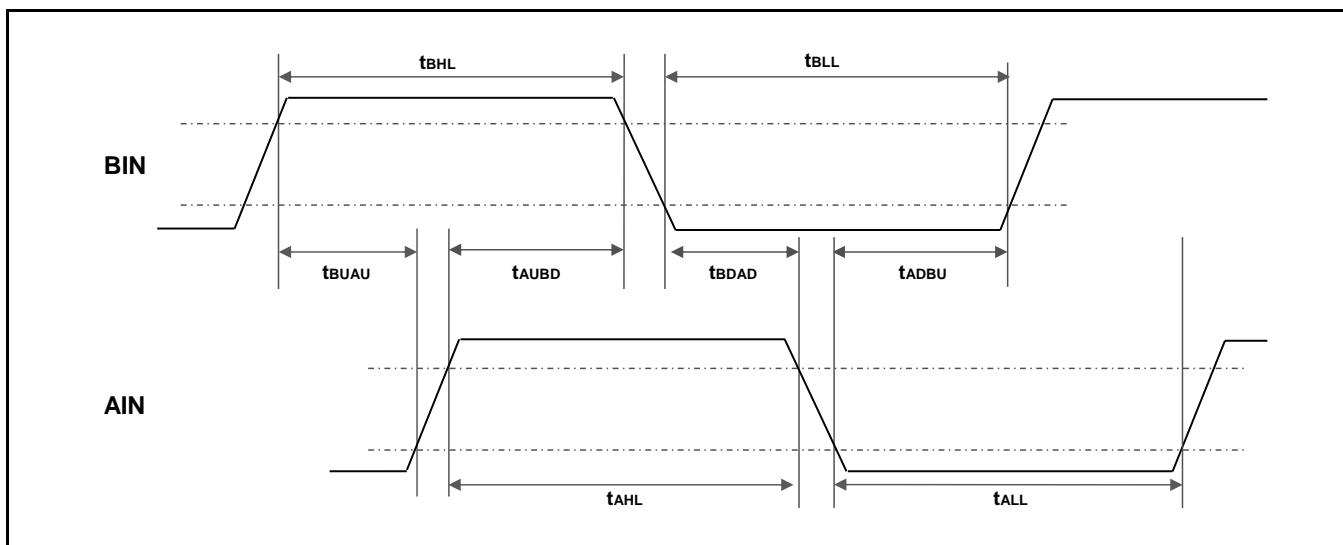
12.4.13 正交位置/转数计数器时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	条件	值		单位
			最小值	最大值	
AIN 高电平时间	t_{AHL}	—	$2t_{CYCP}^*$	—	ns
AIN 低电平时间	t_{ALL}	—			
BIN 高电平时间	t_{BHL}	—			
BIN 低电平时间	t_{BLU}	—			
BIN 上升沿之前 AIN 高电平维持时间	t_{AUBU}	PC_Mode2 或 PC_Mode3			
AIN 下降沿之前 BIN 高电平维持时间	t_{BUAD}	PC_Mode2 或 PC_Mode3			
BIN 下降沿之前 AIN 低电平维持时间	t_{ADBD}	PC_Mode2 或 PC_Mode3			
AIN 上升沿之前 BIN 低电平维持时间	t_{BDAU}	PC_Mode2 或 PC_Mode3			
AIN 上升沿之前 BIN 高电平维持时间	t_{BUAU}	PC_Mode2 或 PC_Mode3			
BIN 下降沿之前 AIN 高电平维持时间	t_{AUBD}	PC_Mode2 或 PC_Mode3			
AIN 下降沿之前 BIN 低电平维持时间	t_{BDAD}	PC_Mode2 或 PC_Mode3			
BIN 上升沿之前 AIN 低电平维持时间	t_{ADBU}	PC_Mode2 或 PC_Mode3			
ZIN 高电平时间	t_{ZHL}	QCR:CGSC = 0			
ZIN 低电平时间	t_{ZLL}	QCR:CGSC = 0			
AIN/BIN 上升/下降沿之前的 ZIN 电平维持时间	t_{ZABE}	QCR:CGSC = 1			
AIN/BIN 上升/下降沿之后的 ZIN 电平维持时间	t_{ABEZ}	QCR:CGSC = 1			

*: t_{CYCP} 指的是 APB 总线时钟周期，处于停止模式、定时器模式的停止信号除外。

有关正交位置/转数计数器挂接的 APB 总线编号的详细信息，请参考第 8 章框图的内容。





12.4.14 I²C 时序

标准模式，快速模式

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V)

参数	符号	条件	标准模式		高速模式		单位	备注
			最小值	最大值	最小值	最大值		
SCL 时钟频率	f _{SCL}	$C_L = 30 \text{ pF}$, $R = (V_p/I_{OL})^{*1}$	0	100	0	400	kHz	
(重复) 起始信号保持时间 (从 SDA 下降沿到 SCL 下降沿)	t _{HDDAT}		4.0	—	0.6	—	μs	
SCL 时钟低电平时间	t _{LOW}		4.7	—	1.3	—	μs	
SCL 时钟高电平时间	t _{HIGH}		4.0	—	0.6	—	μs	
(重复) 起始信号的建立时间 (从 SCL 上升沿到 SDA 下降沿)	t _{SUSTA}		4.7	—	0.6	—	μs	
数据保持时间 (从 SCL 下降沿到 SDA 下降沿/ 上升沿)	t _{HDDAT}		0	3.45 ^{*2}	0	0.9 ^{*3}	μs	
数据建立时间 (从 SDA 下降沿/上升沿到 SCL 上升沿)	t _{SUDAT}		250	—	100	—	ns	
停止信号的建立时间 (从 SCL 上升沿到 SDA 上升沿)	t _{SUSTO}		4.0	—	0.6	—	μs	
停止信号和起始信号之间 的总线空闲时间	t _{BUF}		4.7	—	1.3	—	μs	
噪声过滤时间	t _{SP}	$2 \text{ MHz} \leq t_{CYCP} < 40 \text{ MHz}$	$2t_{CYCP}^{*4}$	—	$2t_{CYCP}^{*4}$	—	ns	*5
		$40 \text{ MHz} \leq t_{CYCP} < 60 \text{ MHz}$	$4t_{CYCP}^{*4}$	—	$4t_{CYCP}^{*4}$	—	ns	
		$60 \text{ MHz} \leq t_{CYCP} < 80 \text{ MHz}$	$6t_{CYCP}^{*4}$	—	$6t_{CYCP}^{*4}$	—	ns	
		$80 \text{ MHz} \leq t_{CYCP} < 100 \text{ MHz}$	$8t_{CYCP}^{*4}$	—	$8t_{CYCP}^{*4}$	—	ns	
		$100 \text{ MHz} \leq t_{CYCP} < 120 \text{ MHz}$	$10t_{CYCP}^{*4}$	—	$10t_{CYCP}^{*4}$	—	ns	
		$120 \text{ MHz} \leq t_{CYCP} < 140 \text{ MHz}$	$12t_{CYCP}^{*4}$	—	$12t_{CYCP}^{*4}$	—	ns	
		$140 \text{ MHz} \leq t_{CYCP} < 160 \text{ MHz}$	$14t_{CYCP}^{*4}$	—	$14t_{CYCP}^{*4}$	—	ns	
		$160 \text{ MHz} \leq t_{CYCP} < 180 \text{ MHz}$	$16t_{CYCP}^{*4}$	—	$16t_{CYCP}^{*4}$	—	ns	

1: R 和 C_L 分别表示 SCL 和 SDA 线的上拉电阻和负载电容。V_p 是指上拉电阻的电源电压, 而 I_{OL} 是指置总线于 V_{OL} 的保证电流。

2: t_{HDDAT} 的最大值不能超过器件的 SCL 信号的低电平 (t_{LOW}) 时间。

3: 只要器件满足 t_{SUDAT} ≥ 250 ns 的条件, 快速模式 I²C 总线器件便能够用于标准模式 I²C 总线系统中。

4: t_{CYCP} 是指 APB 总线时钟周期时间。有关 I²C 挂接的 APB 总线编号的详细信息, 请参考第 8 章框图的内容。

使用标准模式时, 外设总线时钟频率必须大于 2 MHz。

使用快速模式时, 外设总线时钟频率必须大于 8 MHz。

5: 设置寄存器可以修改噪声过滤时间。根据 APB 总线时钟频率改变噪声过滤范围。

高速模式 (Fm+)
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	条件	高速模式 (Fm+) *6		单位	备注
			最小值	最大值		
SCL 时钟频率	f_{SCL}	$C_L = 30 \text{ pF}$, $R = (V_p/I_{OL})^{*1}$	0	1000	kHz	
(重复) 起始信号保持时间 (从 SDA 下降沿到 SCL 下降沿)	t_{HDSTA}		0.26	—	μs	
SCL 时钟低电平时间	t_{LOW}		0.5	—	μs	
SCL 时钟高电平时间	t_{HIGH}		0.26	—	μs	
SCL 时钟频率	t_{SUSTA}		0.26	—	μs	
(重复) 起始信号保持时间 (从 SDA 下降沿到 SCL 下降沿)	t_{HDDAT}		0	$0.45^{*2, *3}$	μs	
数据建立时间 (从 SDA 下降沿/上升沿到 SCL 上升沿)	t_{SUDAT}		50	—	ns	
停止信号的建立时间 (从 SCL 上升沿到 SDA 上升沿)	t_{SUSTO}		0.26	—	μs	
停止信号和起始信号之间的总线空闲时间	t_{BUF}		0.5	—	μs	
噪声过滤时间	t_{SP}	60 MHz $\leq t_{CYCP} < 80 \text{ MHz}$	6 t_{CYCP}^{*4}	—	ns	*5
		80 MHz $\leq t_{CYCP} < 100 \text{ MHz}$	8 t_{CYCP}^{*4}	—	ns	
		100 MHz $\leq t_{CYCP} < 120 \text{ MHz}$	10 t_{CYCP}^{*4}	—	ns	
		120 MHz $\leq t_{CYCP} < 140 \text{ MHz}$	12 t_{CYCP}^{*4}	—	ns	
		140 MHz $\leq t_{CYCP} < 160 \text{ MHz}$	14 t_{CYCP}^{*4}	—	ns	
		160 MHz $\leq t_{CYCP} < 180 \text{ MHz}$	16 t_{CYCP}^{*4}	—	ns	

1: R 和 C_L 分别表示 SCL 和 SDA 线的上拉电阻和负载电容。 V_p 是指上拉电阻的电源电压，而 I_{OL} 是指置总线于 V_{OL} 的保证电流。

2: t_{HDDAT} 的最大值不能超过器件的 SCL 信号的低电平 (t_{LOW}) 时间。

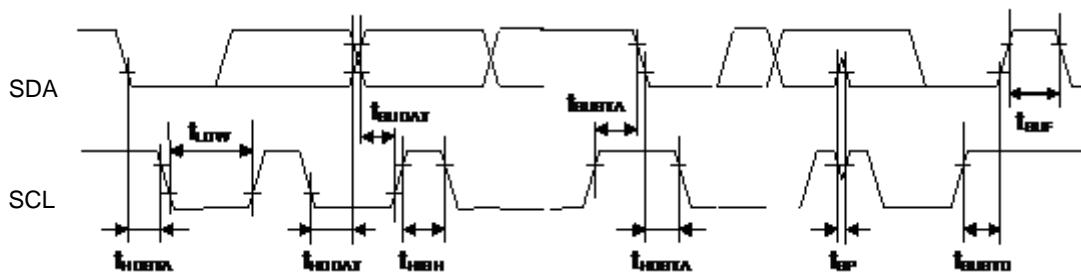
3: 只要器件满足 $t_{SUDAT} \geq 250 \text{ ns}$ 的条件，高速模式 I²C 总线器件便能够用于标准模式 I²C 总线系统中。

4: t_{CYCP} 是指 APB 总线时钟周期时间。有关 I²C 挂接的 APB 总线编号的详细信息，请参考第 8 章框图的内容。
如需使用高速模式 (Fm+)，请将外设总线时钟的频率设置为 64 MHz 或更高。

5: 设置寄存器可以修改噪声过滤时间。根据 APB 总线时钟频率改变噪声过滤范围。

6: 使用高速模式 (Fm+) 时，将 I/O 引脚设置为与 EPFR 寄存器中 I²C Fm+ 相应的模式。

更多有关信息，请参考“FM4 系列外设手册”的“主要”部分 (MN709-00001) 中第 12 章: I/O 端口的内容。



12.4.15 SD 卡接口时序

默认速度模式

■ 时钟 CLK (所有值参考 V_{IH} 和 V_{IL} 电平跳变点)

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值		备注
				最小值	最大值	
数据传输模式时钟频率	f_{PP}	S_CLK	$C_{CARD} \leq 10\text{ pF}$ (单张卡)	0	16	MHz
识别模式时钟频率	f_{ID}	S_CLK		0*/100	400	kHz
时钟低电平时间	t_{WL}	S_CLK		10	—	ns
时钟高电平时间	t_{WH}	S_CLK		10	—	ns
时钟上升时间	t_{TLH}	S_CLK		—	10	ns
时钟下降时间	t_{THL}	S_CLK		—	10	ns

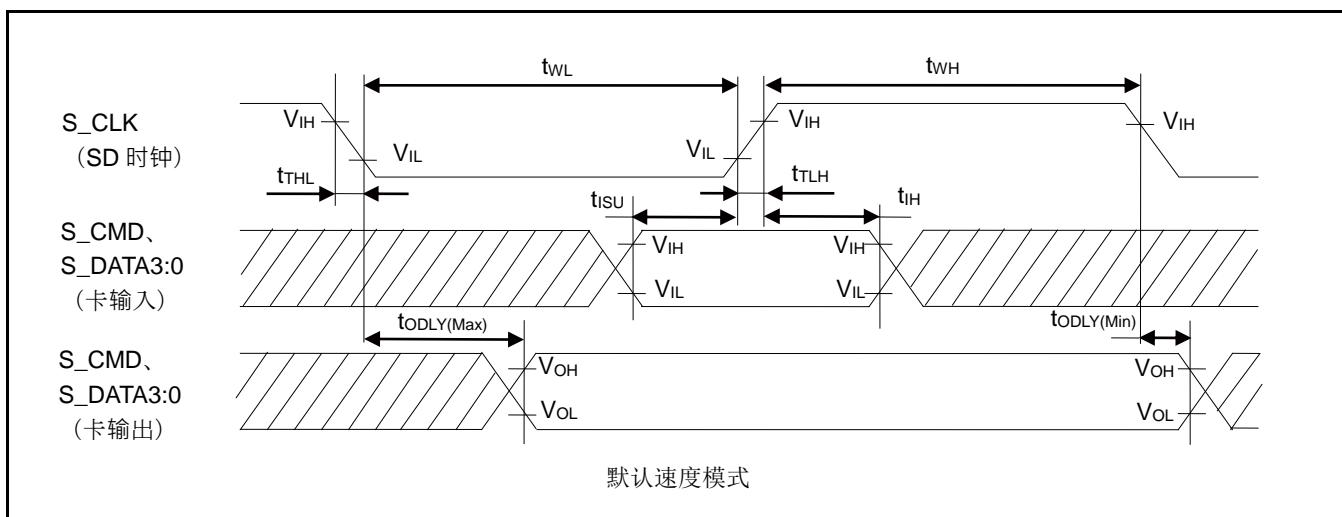
*: 0 Hz 表示停止时钟。给定的最小频率范围适用于需要连续时钟的场合。

■ 卡输入 CMD、DAT (参考时钟 CLK)

参数	符号	引脚名称	条件	值		备注
				最小值	最大值	
输入建立时间	t_{ISU}	S_CMD、 S_DATA3:0	$C_{CARD} \leq 10\text{ pF}$ (单张卡)	5	—	ns
输入保持时间	t_{IH}	S_CMD、 S_DATA3:0		5	—	ns

■ 卡输出 CMD、DAT (参考时钟 CLK)

参数	符号	引脚名称	条件	值		备注
				最小值	最大值	
数据传输模式输出延迟时间	t_{ODLY}	S_CMD、 S_DATA3:0	$C_{CARD} \leq 40\text{ pF}$ (单张卡)	0	22	ns
识别模式输出延迟时间	t_{ODLY}	S_CMD、 S_DATA3:0		0	50	ns



注意:

- 因为此外设是主机模式，所以卡输入对应的是主机输出，而卡输出对应的是主机输入。

高速模式

■时钟 CLK (所有值参考 V_{IH} 和 V_{IL} 电平跳变点)

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	值		备注
				最小值	最大值	
数据传输模式时钟频率	f_{PP}	S_CLK	$C_{CARD} \leq 10\text{ pF}$ (单张卡)	0	32	MHz
时钟低电平时间	t_{WL}	S_CLK		7	-	ns
时钟高电平时间	t_{WH}	S_CLK		7	-	ns
时钟上升时间	t_{TLH}	S_CLK		-	3	ns
时钟下降时间	t_{THL}	S_CLK		-	3	ns

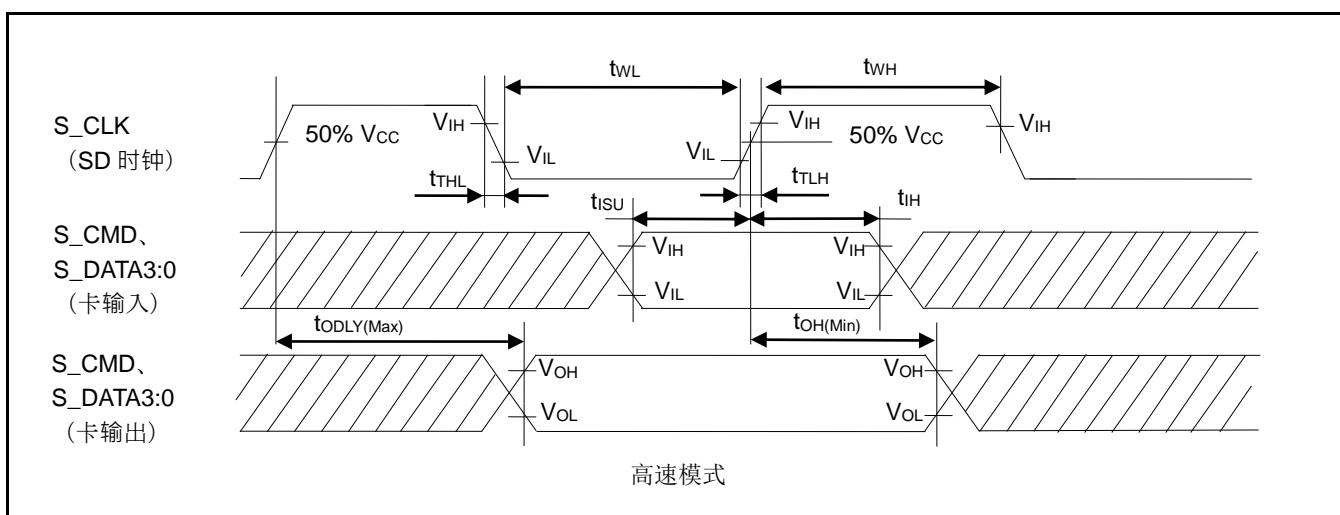
■卡输入 CMD、DAT (参考时钟 CLK)

参数	符号	引脚名称	条件	值		备注
				最小值	最大值	
输入建立时间	t_{ISU}	S_CMD、 S_DATA3:0	$C_{CARD} \leq 10\text{ pF}$ (单张卡)	8	-	ns
输入保持时间	t_{IH}	S_CMD、 S_DATA3:0		2	-	ns

■卡输出 CMD、DAT (参考时钟 CLK)

参数	符号	引脚名称	条件	值		备注
				最小值	最大值	
数据传输模式输出延迟时间	t_{ODLY}	S_CMD、 S_DATA3:0	$C_L \leq 40\text{ pF}$ (单张卡)	-	22	ns
输出保持时间	t_{OH}	S_CMD、 S_DATA3:0	$C_L \geq 15\text{ pF}$ (单张卡)	2.5	-	ns
单条信号线上总系统电容*	C_L	-	单张卡	-	40	pF

*: 为严格满足时序，主机只应驱动一张卡。



注意:

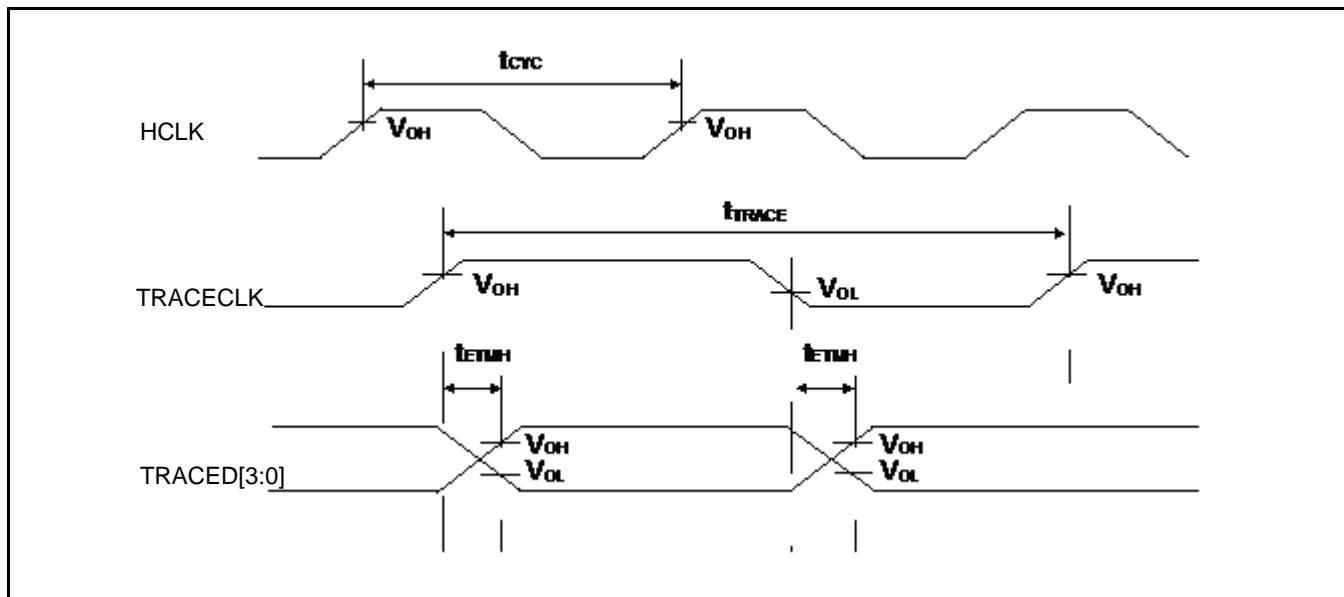
- 因为此外设是主机模式，所以卡输入对应的是主机输出，而卡输出对应的是主机输入。
- 在高速模式下，需要将时钟频率 (f_{PP}) 和 AHB 总线时钟频率设置为相同值。

12.4.16 ETM 时序
 $(V_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}, V_{SS} = 0 \text{ V})$

参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
数据保持时间	t_{ETMH}	TRACECLK、 TRACED[3:0]	$V_{CC} \geq 4.5 \text{ V}$	2	9	ns	
			$V_{CC} < 4.5 \text{ V}$	2	15		
TRACECLK 频率	$1/t_{TRACE}$	TRACECLK	$V_{CC} \geq 4.5 \text{ V}$	—	50	MHz	
			$V_{CC} < 4.5 \text{ V}$	—	32	MHz	
TRACECLK 时钟周期	t_{TRACE}		$V_{CC} \geq 4.5 \text{ V}$	20	—	ns	
			$V_{CC} < 4.5 \text{ V}$	31.25	—	ns	

注意:

- 外部负载电容 C_L 为 30 pF 。

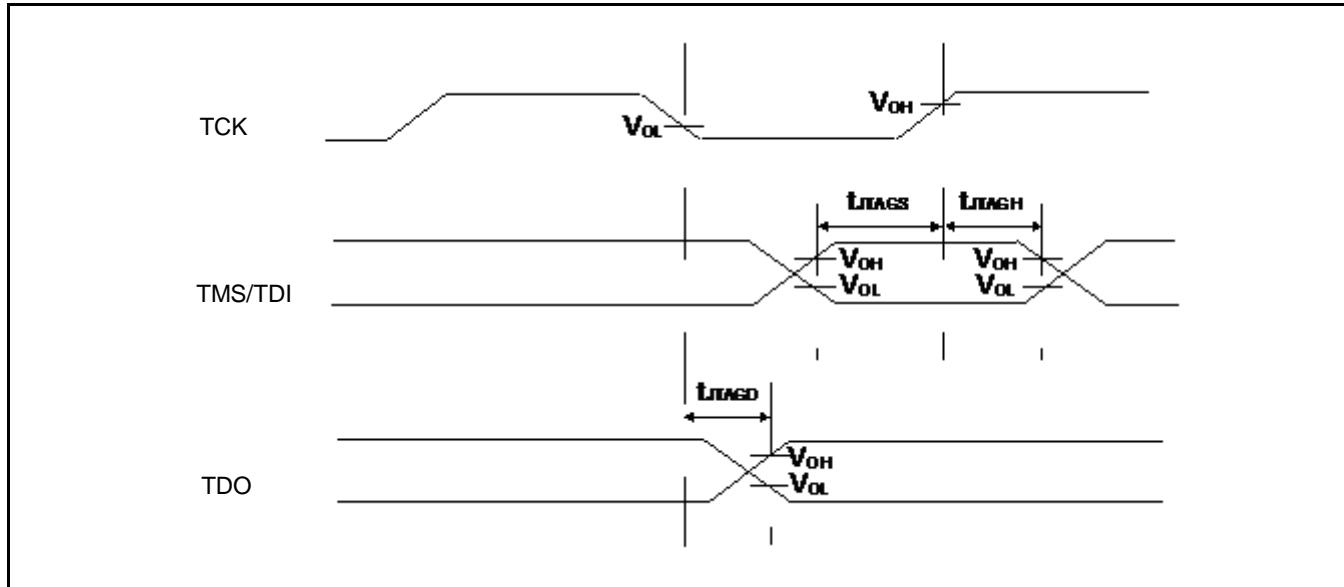


12.4.17 JTAG 时序
 $(V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}, V_{SS} = 0\text{ V})$

参数	符号	引脚名称	条件	值		单位	备注
				最小值	最大值		
TMS、TDI 建立时间	t_{JTAGS}	TCK、 TMS、TDI	$V_{CC} \geq 4.5\text{ V}$	15	-	ns	
			$V_{CC} < 4.5\text{ V}$				
TMS、TDI 保持时间	t_{JTAGH}	TCK、 TMS、TDI	$V_{CC} \geq 4.5\text{ V}$	15	-	ns	
			$V_{CC} < 4.5\text{ V}$				
TDO 延迟时间	t_{JTAGD}	TCK、 TDO	$V_{CC} \geq 4.5\text{ V}$	-	25	ns	
			$V_{CC} < 4.5\text{ V}$		45		

注意:

- 外部负载电容 C_L 为 30 pF 。



12.5 12 位 A/D 转换器

A/D 转换器的电气特性

($V_{CC} = AV_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = AV_{RL} = 0 \text{ V}$)

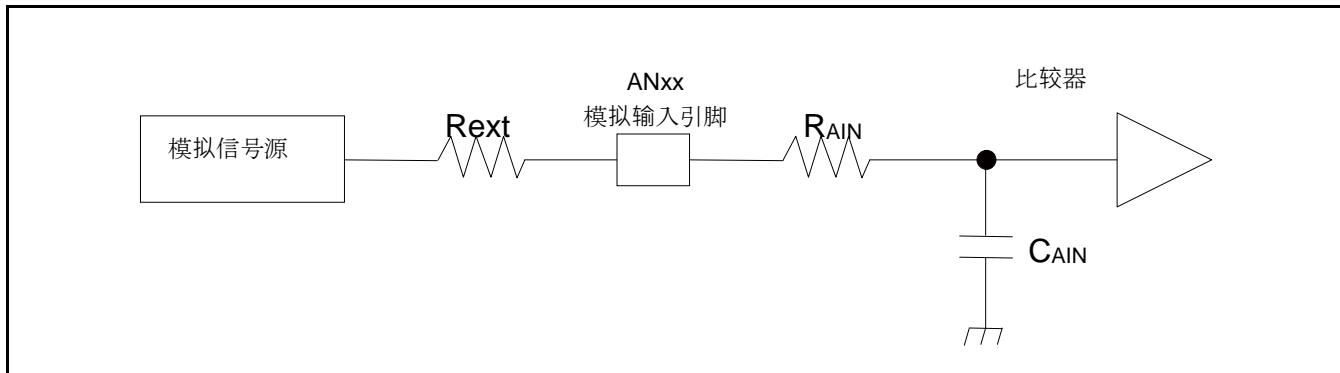
参数	符号	引脚名称	值			单位	备注
			最小值	典型值	最大值		
分辨率	-	-	-	-	12	位	
积分非线性误差	-	-	-4.5	-	+4.5	LSB	
微分非线性误差	-	-	-2.5	-	+2.5	LSB	
零值转换电压	V_{ZT}	AN_{xx}	-15	-	+15	mV	$AV_{RH} = 2.7 \text{ V} \sim 5.5 \text{ V}$
全域转换电压	V_{FST}	AN_{xx}	$AV_{RH} - 15$	-	$AV_{RH} + 15$	mV	
转换时间	-	-	0.5 ^{*1}	-	-	μs	$AV_{CC} \geq 4.5 \text{ V}$
采样时间 ^{*2}	t_s	-	0.15	-	10	μs	$AV_{CC} \geq 4.5 \text{ V}$
			0.3	-			$AV_{CC} < 4.5 \text{ V}$
比较时钟周期 ^{*3}	t_{CCK}	-	25	-	1000	ns	$AV_{CC} \geq 4.5 \text{ V}$
			50	-	1000		$AV_{CC} < 4.5 \text{ V}$
操作等待时间	t_{STT}	-	-	-	1.0	μs	
电源电流 (模拟+数字)	-	AV_{CC}	-	0.69	0.92	mA	单个 A/D 转换器单元运行
			-	1.0	18	μA	A/D 转换器停止
基准电源电流 (AV_{RH})	-	AV_{RH}	-	1.1	1.97	mA	单个 A/D 转换器单元运行 $AV_{RH} = 5.5 \text{ V}$
				0.3	6.3	μA	A/D 转换器停止
模拟输入电容	C_{AIN}	-	-	-	12.05	pF	
模拟输入电阻	R_{AIN}	-	-	-	1.2	kΩ	$AV_{CC} \geq 4.5 \text{ V}$
				-	1.8		$AV_{CC} < 4.5 \text{ V}$
通道间差异	-	-	-	-	4	LSB	
模拟端口输入漏电流	-	AN_{xx}	-	-	5	μA	
模拟输入电压	-	AN_{xx}	AV_{SS}	-	AV_{RH}	V	
基准电压	-	AV_{RH}	4.5	-	AV_{CC}	V	$T_{CCK} < 50 \text{ ns}$
			2.7	-	AV_{CC}		$T_{CCK} \geq 50 \text{ ns}$
-	-	AV_{RL}	AV_{SS}	-	AV_{SS}	V	

*1: 转换时间是采样时间 (ts) 与比较时间 (tc) 之和。

当采样时间为 150 ns 和比较时间为 350 ns ($AV_{CC} \geq 4.5 \text{ V}$) 时为最短转换时间。请确保该值满足采样时间 (ts) 和比较时钟周期 (t_{cck}) 限制。有关设置采样时间和比较时钟周期的信息，请参考“FM4 系列外设手册”的“模拟”部分 (MN709-00001) 中第 1-1 节“A/D 转换器”所介绍的内容。A/D 转换器的寄存器设置应参考外设时钟时序。将采样时钟和比较时钟的值设置为基础时钟 (HCLK) 的值。

*2: 所需的采样时间依据外部阻抗而定。采样时间的值需满足 (公式 1) 的要求。

*3: 比较时间 (tc) 是由公式 2 计算得出。



(公式 1) $t_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$

ts: 采样时间

R_AIN: A/D 转换器的输入阻抗 = 1.2 kΩ, 4.5 V < AV_{cc} < 5.5 V

A/D 转换器的输入阻抗 = 1.8 kΩ, 2.7 V < AV_{cc} < 4.5 V

C_AIN: A/D 转换器的输出电容 = 12.05pF, 2.7 V < AV_{cc} < 5.5 V

R_{ext}: 外部电路的输出阻抗

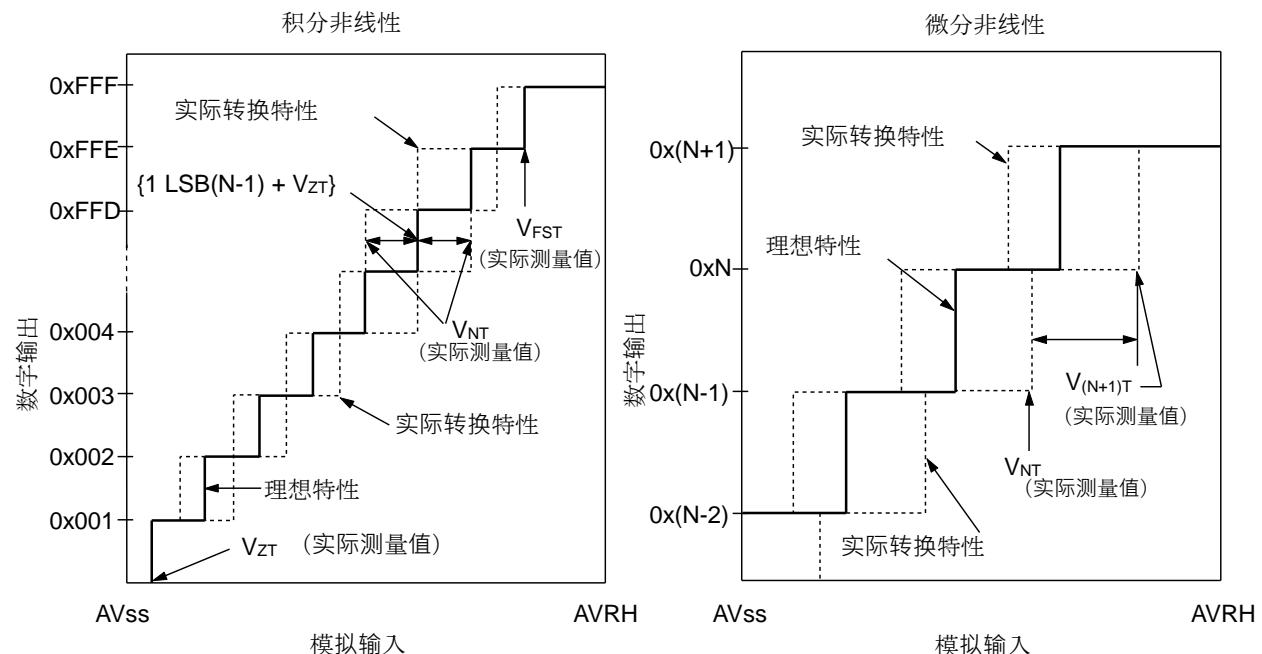
(公式 2) $t_c = t_{cck} \times 14$

t_c: 比较时间

t_{cck}: 比较时钟周期

12 位 A/D 转换器定义术语

- 分辨率： A/D 转换器能识别出的数值变动最小刻度。
- 积分非线性： 零转换点（0b0000000000000000 ↔ 0b0000000000000001）到全量程转换点（0b111111111110 ↔ 0b111111111111）之间连线与实际转换特性的偏差。
- 差分非线性： 与输入电压理想值的偏差，用于对输出值进行 1 LSB 调整。



$$\text{数字输出 } N \text{ 的积分非线性} = \frac{V_{NT} - \{1 \text{ LSB} \times (N-1) + V_{ZT}\}}{1 \text{ LSB}} \text{ [LSB]}$$

$$\text{数字输出 } N \text{ 的微分非线性} = \frac{V_{(N+1)T} - V_{NT}}{1 \text{ LSB}} - 1 \text{ [LSB]}$$

$$1 \text{ LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

N: A/D 转换器的数字输出值。

V_{ZT} : 数字输出值从 0x000 变为 0x001 的电压。

V_{FST} : 数字输出值由 0xFFE 变为 0xFFFF 的电压。

V_{NT} : 数字输出值由 0x(N-1) 改为 0xN 的电压。

12.6 12 位 D/A 转换器

A/D 转换器的电气特性

($V_{CC} = AV_{CC} = 2.7 \text{ V} \sim 5.5 \text{ V}$, $VS_{SS} = AV_{SS} = 0 \text{ V}$)

参数	符号	引脚名称	值			单位	备注	
			最小值	典型值	最大值			
分辨率	-	DAx	-	-	12	位		
转换时间	tc20		0.56	0.69	0.81	μs	负载为 20 pF	
	tc100		2.79	3.42	4.06	μs	负载为 100 pF	
积分非线性*	INL		- 16	-	+ 16	LSB		
微分非线性*	DNL		- 0.98	-	+ 1.5	LSB		
输出电压偏移	V _{OFF}		-	-	10.0	mV	设置 0x000	
			- 20.0	-	+ 1.4	mV	设置 0xFFFF	
模拟输出阻抗	R _O		3.10	3.80	4.50	kΩ	数模转换器运行	
			2.0	-	-	MΩ	D/A 转换器停止	
电源电流	IDDA	AVCC	260	330	410	μA	单个 D/A 转换器单位运行 $AV_{CC} = 3.3 \text{ V}$	
	IDSA		400	510	620	μA	单个 D/A 转换器单位运行 $AV_{CC} = 5.0 \text{ V}$	
			-	-	14	μA	D/A 转换器停止	

*: 无负载期间

12.7 低电压检测特性

12.7.1 低电压检测复位

参数	符号	条件	值			单位	备注
			最小值	典型值	最大值		
检测电压	VDL	-	2.25	2.45	2.65	V	电压下降
释放电压	VDH	-	2.30	2.50	2.70	V	电压上升

12.7.2 低电压检测中断

参数	符号	条件	值			单位	备注
			最小值	典型值	最大值		
检测电压	VDL	SVHI = 00111	2.58	2.8	3.02	V	电压下降
释放电压	VDH		2.67	2.9	3.13	V	电压上升
检测电压	VDL	SVHI = 00100	2.76	3.0	3.24	V	电压下降
释放电压	VDH		2.85	3.1	3.34	V	电压上升
检测电压	VDL	SVHI = 01100	2.94	3.2	3.45	V	电压下降
释放电压	VDH		3.04	3.3	3.56	V	电压上升
检测电压	VDL	SVHI = 01111	3.31	3.6	3.88	V	电压下降
释放电压	VDH		3.40	3.7	3.99	V	电压上升
检测电压	VDL	SVHI = 01110	3.40	3.7	3.99	V	电压下降
释放电压	VDH		3.50	3.8	4.10	V	电压上升
检测电压	VDL	SVHI = 01001	3.68	4.0	4.32	V	电压下降
释放电压	VDH		3.77	4.1	4.42	V	电压上升
检测电压	VDL	SVHI = 01000	3.77	4.1	4.42	V	电压下降
释放电压	VDH		3.86	4.2	4.53	V	电压上升
检测电压	VDL	SVHI = 11000	3.86	4.2	4.53	V	电压下降
释放电压	VDH		3.96	4.3	4.64	V	电压上升
LVD 稳定等待时间	t _{LVDW}	-	-	-	4480×t _{CYCP} *	μs	

*t_{CYCP} 指的是 APB2 总线时钟周期。

12.8 主闪存写入/擦除特性

(VCC = 2.7 V ~ 5.5 V)

参数		数值			单位	备注
		最小值	典型值	最大值		
扇区擦除时间	大扇区	-	0.7	3.7	s	包括内部擦除前的写入时间
	小扇区		0.3	1.1		
半字 (16 位) 写入时间	写周期 < 100 次	-	12	100	μs	不包括系统级占用时间
	写入次数 > 100 次			200		
芯片擦除时间		-	13.6	68	s	包括内部擦除前的写入时间

写入次数和数据保存时间

擦除/写入次数	数据保持时间 (年)
1,000	20 *
10,000	10 *
100,000	5 *

*: 该值通过技术参考获取 (使用 Arrhenius 方程, 将高温加速测试的结果转换为+ 85°C 下的平均温度值)。

12.9 工作闪存写入/擦除特性

(VCC = 2.7 V ~ 5.5 V)

参数	数值			单位	备注
	最小值	典型值	最大值		
扇区擦除时间	-	0.3	1.5	s	包括内部擦除前的写入时间
半字 (16 位) 写入时间	-	20	200	μs	不包括系统级占用时间
芯片擦除时间	-	1.2	6	s	包括内部擦除前的写入时间

写入次数和数据保存时间

擦除/写入次数	数据保持时间 (年)
1,000	20 *
10,000	10 *
100,000	5 *

*: 该值通过技术参考获取 (使用 Arrhenius 方程, 将高温加速测试的结果转换为+ 85°C 下的平均温度值)。

12.10 低功耗模式唤醒时间

12.10.1 唤醒因素：中断/WKUP

低功耗模式唤醒时间如下，该时间为检测到内部电路唤醒源到程序开始执行的时间。

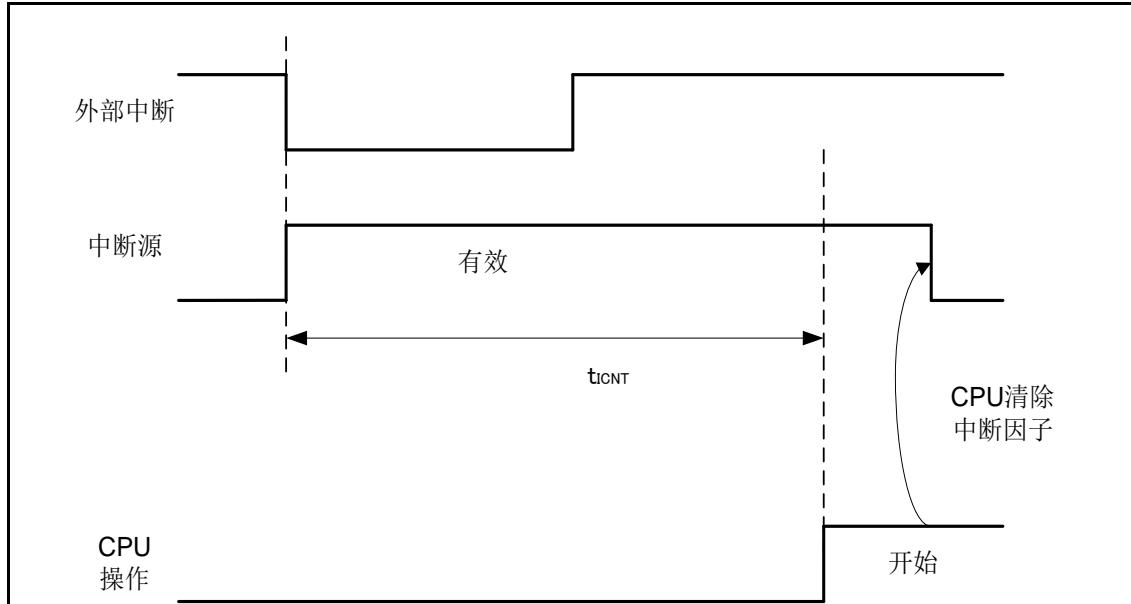
唤醒时间

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

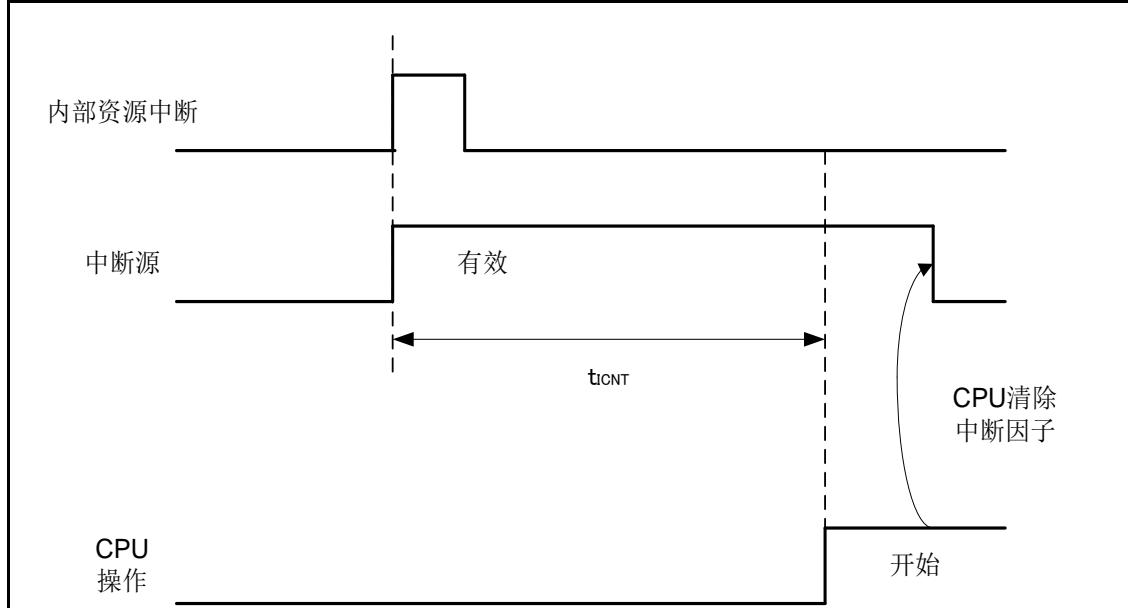
参数	符号	值		单位	备注
		典型值	最大值*		
睡眠模式唤醒时间	tICNT	HCLKx1		μs	
高速 CR 定时器模式的唤醒时间		40	80	μs	
主定时器模式的唤醒时间		450	900	μs	
PLL 定时器模式的唤醒时间		881	1136	μs	
低速 CR 定时器模式		270	581	μs	
副定时器模式		240	480		
RTC 模式 停止模式 (返回到高速 CR /主/PLL 运行模式)		308	667	μs	不保持 RAM 数据
RTC 模式的唤醒时间 停止模式 (返回到低速 CR/副定时器运行模式)		308	667	μs	保持 RAM 数据
深度待机 RTC 模式 (保持 RAM 数据) 深度待机停止模式 (保持 RAM 数据)					

*: 最大值取决于内置 CR 精度。

低功耗模式唤醒操作示例（外部中断唤醒*）



*: 外部中断输入设置为下降沿有效。

低功耗模式唤醒操作示例（内部资源中断唤醒*）


*: 取决于待机模式，唤醒因素不包含内部中断在内。

注意:

- 每种低功耗模式的唤醒原因都有所不同。
有关详细信息，请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的第 6 章：“低功耗模式和待机模式操作”内容。
- 中断唤醒时，CPU (唤醒) 的操作模式取决于发生低功耗模式转换前的状态。有关详细信息，请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的第 6 章：“低功耗模式”内容。

12.10.2 唤醒因素：复位

复位唤醒的时间如下，该时间为从复位信号释放到程序执行的时间。

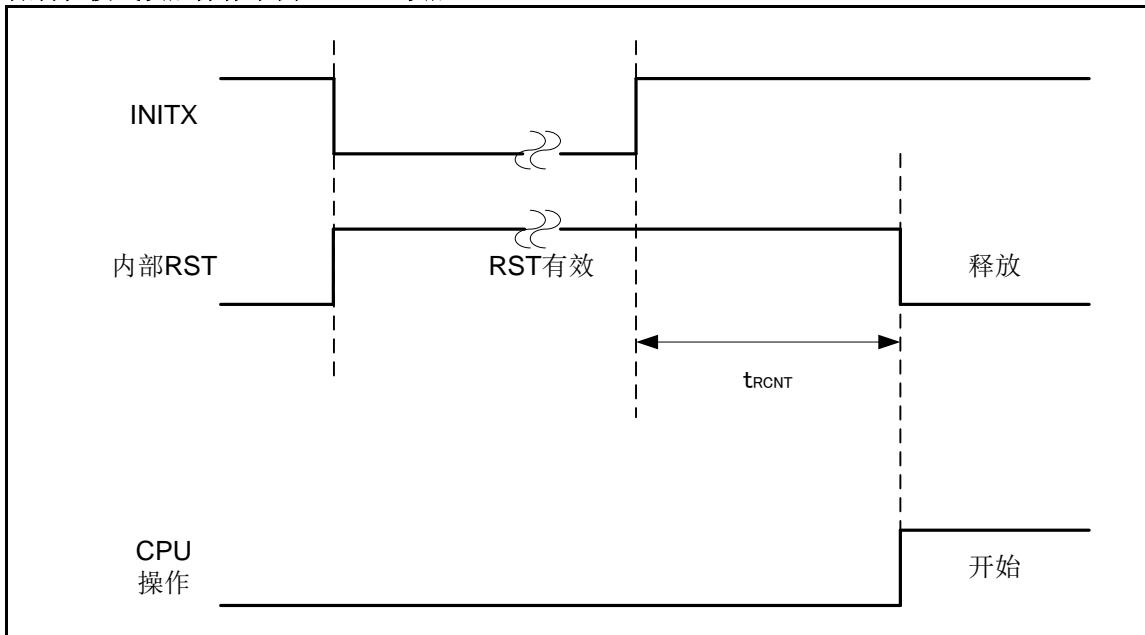
唤醒时间

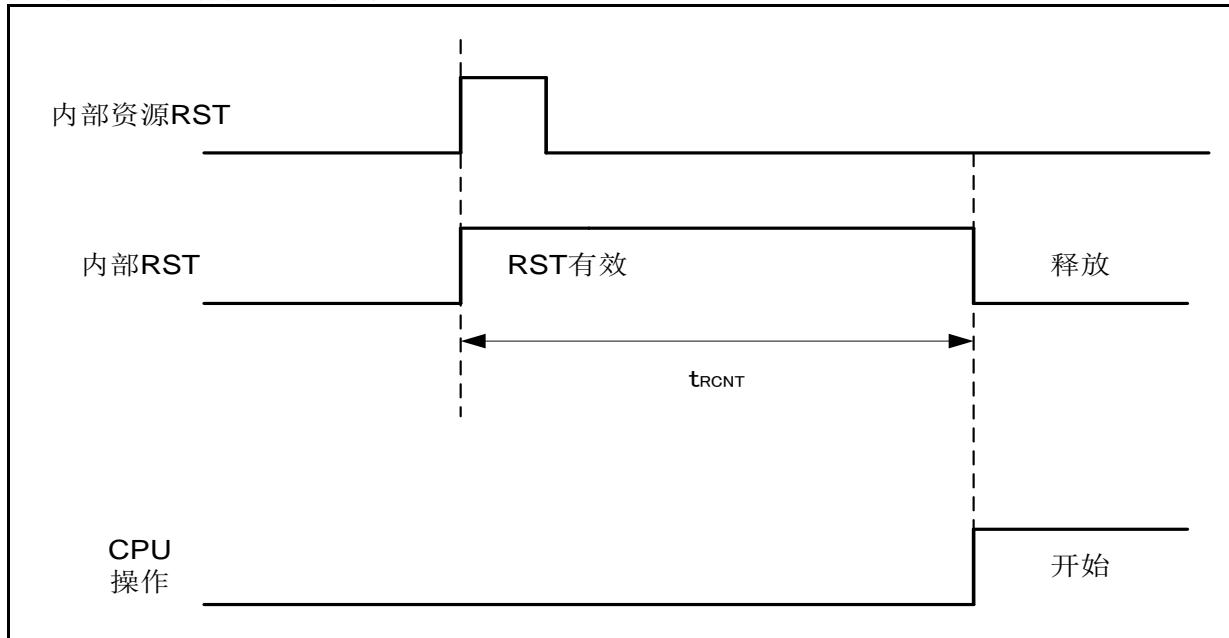
($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	值		单位	备注
		典型值	最大值*		
睡眠模式唤醒时间	t_{RCNT}	116	266	μs	
高速 CR 定时器模式唤醒时间		116	266	μs	
主定时器模式		258	567	μs	
PLL 定时器模式		258	567	μs	
低速 CR 定时器模式		258	567	μs	
副定时器模式		308	667	μs	不保持 RAM 数据
RTC 模式唤醒时间				μs	保持 RAM 数据
停止模式唤醒时间					
深度待机 RTC 模式（保持 RAM 数据）					
深度待机停止模式（保持 RAM 数据）					

*：最大值取决于内置 CR 精度。

低功耗模式唤醒操作示例 (INITX 唤醒)



低功耗模式唤醒操作示例（内部资源复位唤醒*）


*: 取决于待机模式，唤醒因素不包含内部资源复位在内。

注意:

- 每种低功耗模式的唤醒原因都有所不同。
有关详细信息，请参考“FM4 系列外设手册”中“主要”部分 (MN709-00001) 的第 6 章：“低功耗模式和待机模式操作”内容。
- 上电复位/低电压检测复位时间不算作唤醒时间。有关上电复位/低压检测复位的时间，请参考第 12 章电气特性中第 12.4 节交流电特性的第六项：“上电复位时序”部分内容。
- 从复位唤醒时，CPU 将切换到高速 CR 运行模式。使用主时钟或 PLL 时钟时，需计入主时钟振荡稳定等待时间或主 PLL 时钟稳定等待时间。
- 内部资源复位是指看门狗复位和 CSV 复位。

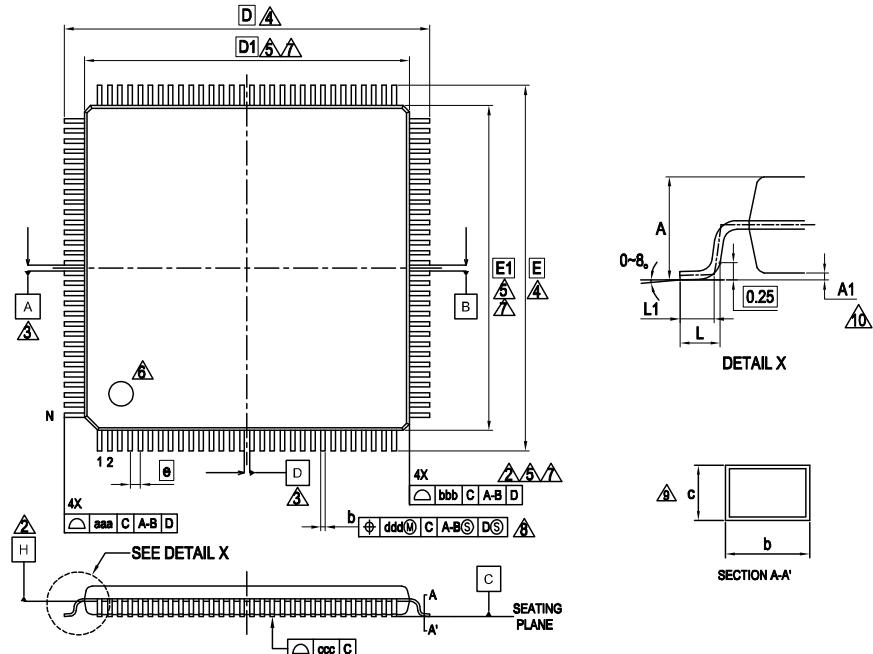
13. 订购信息

器件型号	封装
S6E2HE6G0A GV20000	塑封 LQFP (间距 0.5 mm), 120 引脚 (LQM120)
S6E2HE4G0A GV20000	塑封 LQFP (间距 0.5 mm), 100 引脚 (LQI100)
S6E2HE6F0A GV20000	塑封 LQFP (间距 0.5 mm), 80 引脚 (LQH080)
S6E2HE4F0A GV20000	塑封 LQFP (间距 0.5 mm), 121 引脚 (FDI121)
S6E2H16G0A GB30000	
S6E2H16G0A GB30000	

14. 封装尺寸

封装类型	封装代码
LQFP120	LQM120

LQM120 , 120 Lead Plastic Low Profile Quad Flat Package

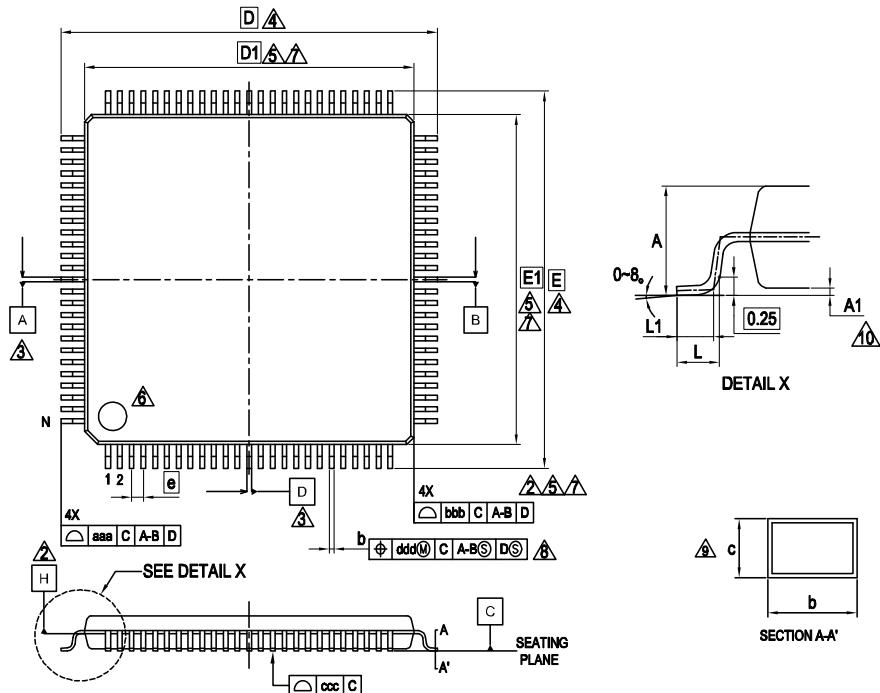


PACKAGE	LQM120		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.115	—	0.195
D	18.00 BSC.		
D1	16.00 BSC.		
e	0.50 BSC.		
E	18.00 BSC.		
E1	16.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	120		

NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.
ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE.
DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS.
BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

封装类型	封装代码
LQFP100	LQI100

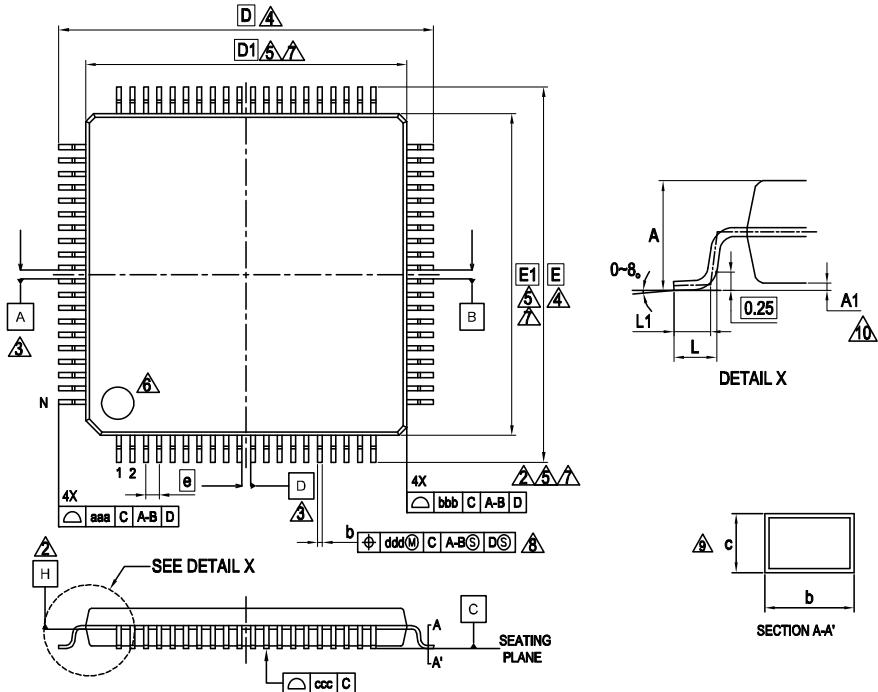
LQI100 , 100 Lead Plastic Low Profile Quad Flat Package


PACKAGE	LQI100		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	0.20	0.25
c	0.09	—	0.20
D	16.00 BSC.		
D1	14.00 BSC.		
e	0.50 BSC		
E	16.00 BSC.		
E1	14.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	100		

NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.
ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE.
DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A¹ IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

封装类型	封装代码
LQFP80	LQH080

LQH080 , 80 Lead Plastic Low Profile Quad Flat Package


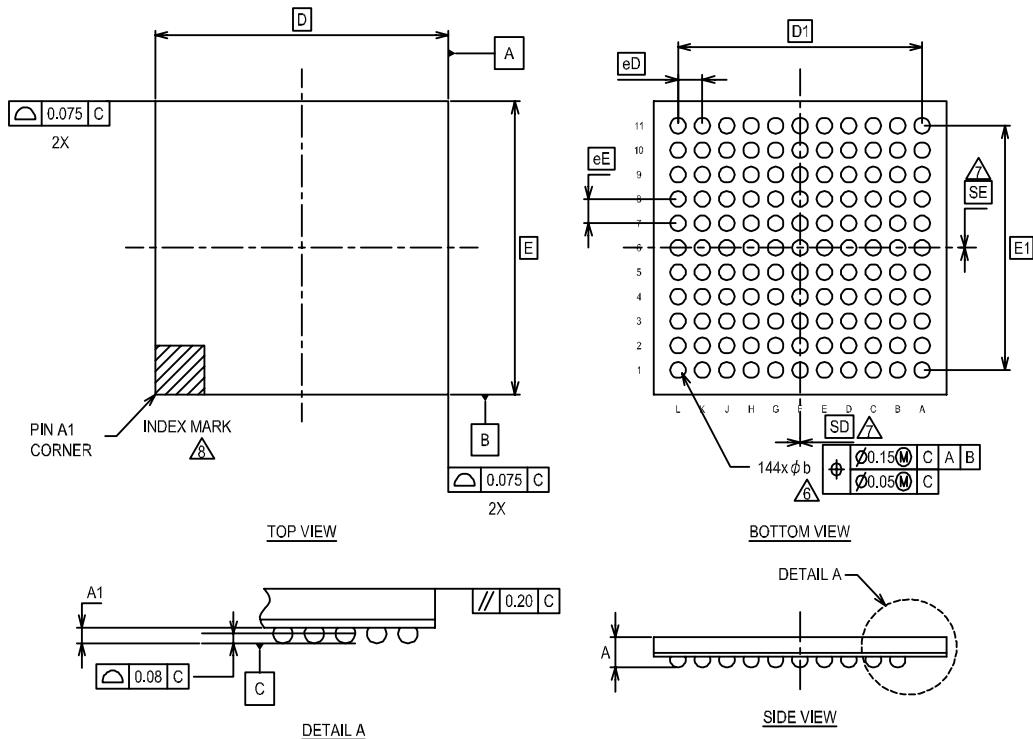
PACKAGE	LQH080		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	0.20	0.25
c	0.09	—	0.20
D	14.00 BSC.		
D1	12.00 BSC.		
e	0.50 BSC		
E	14.00 BSC.		
E1	12.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	80		

NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (s) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

封装类型	封装代码
PFBGA121	FDI121

FDI121 121 ball Low Profile Fine Pitch Ball Grid Array Package


PACKAGE	FDI121			NOTE	
	SYMBOL	MIN.	NOM.	MAX.	
A	—	—	1.20	PROFILE	
A1	0.20	0.25	0.30	TERMINAL HEIGHT	
D	6.00	BSC.		BODY SIZE	
E	6.00	BSC.		BODY SIZE	
D ₁	5.00	BSC.		MATRIX FOOTPRINT	
E ₁	5.00	BSC.		MATRIX FOOTPRINT	
MD	11			MATRIX SIZE D DIRECTION	
ME	11			MATRIX SIZE E DIRECTION	
n	121			BALL COUNT	
φb	0.27	0.32	0.37	BALL DIAMETER	
eD	0.50	BSC.		BALL PITCH	
eE	0.50	BSC.		BALL PITCH	
SD/SE	0.00			SOLDER BALL PLACEMENT	

1. DIMENSIONS AND TOLERANCES METHODS PER ASME Y14.5-2009. THIS OUTLINE CONFORMS TO JEP95, SECTION 4.5.
2. ALL DIMENSIONS ARE IN MILLIMETERS.
3. BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-010.
4. \square REPRESENTS THE SOLDER BALL GRID PITCH.
5. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. n IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
6. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
7. \triangle SD AND SE ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, SD OR SE = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, SD OR SE = e/2.
8. PIN A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK. METALLIZED MARK INDENTATION OR OTHER MEANS.
9. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.

文档修订记录

文档标题: S6E2HE4E0A、S6E2HE6E0A、S6E2HE4F0A、S6E2HE6F0A、S6E2HE4G0A、S6E2HE6G0A 32 位 ARM® Cortex®-M4F、
FM4 微控制器

文档编号: 002-00219

版本	ECN	变更者	提交日期	变更说明
**	4997553	KELI	11/02/2015	本文档版本号为 Rev**, 译自英文版 001-98942 Rev**。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。查找最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车类产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线/射频	cypress.com/go/wireless
Spansion 产品	spansion.com/products

PSoC®解决方案

psoc.cypress.com/solutions

[PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP](#)

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

赛普拉斯、赛普拉斯徽标、**Spansion®**、**Spansion** 徽标、**MirrorBit®**、**MirrorBit® Eclipse™**、**ORNAND™**、**Easy DesignSim™**、**Traveo™** 及其组合，均是赛普拉斯半导体公司的商标和注册商标。ARM 和 Cortex 是 ARM Limited 在欧盟和其他国家的商标和注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

©赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于有可能因为发生功能异常和故障而对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能因为发生功能异常和故障，而对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受赛普拉斯相应软件的许可协议限制。