



LPC11U1x 产品数据手册

32-位 ARM Cortex-M0 微控制器，高达 32KB Flash，6 KB
SRAM，USB Device 和 USART

Rev. 1 – 2011年4月11日

产品数据手册

1. 概述

LPC11U1x 是基于 ARM Cortex-M0 内核的低成本微控制器系列，可用于现有的 8 位/16 位的应用，为用户提供高性能、低功耗、易于使用的指令集和存储器地址空间，以及比现有 8 位/16 位架构更精简的代码量。

LPC11U1x 的工作频率高达 50MHz。

LPC11U1x 内置了一个高度灵活并可配置的全速 USB2.0 Device 控制器，它给如今更高互连要求的解决方案带来了空前的设计灵活性和无缝集成性能。

LPC11U1x 的其他外设包括高达 32kB 的闪存，6kB 的 SRAM 数据存储器，一个 Fast Mode Plus 的 I2C 总线接口，一个支持同步模式和智能卡接口的 RS-485/EIA-485 USART，两个 SSP 接口，四个通用计数器/计时器，一个 10 位模数转换器和多达 40 个的通用 I/O 引脚。

2. 功能与优点

- 系统：
 - ARM Cortex-M0 处理器，工作频率最高为 50MHz
 - ARM Cortex-M0 处理器，内置嵌套向量中断控制器 (NVIC)
 - 非可屏蔽中断 (NMI) 的输入源可选
 - 系统节拍定时器 (System tick timer)
- 存储器：
 - 高达32kB片上闪存程序存储器
 - 总共6kB 静态随机访问存储器 SRAM数据存储器（4kB 主SRAM，2kB USB SRAM）
 - 16kB Boot ROM
 - 通过片内Bootloader 软件来实现在系统编程 (ISP) 和在应用编程 (IAP)
- 调试选项：

- 标准JTAG测试/调试接口
- 串行线调试 (SWD, Serial Wire Debug)
- 边界扫描 (Boundary Scan)，可简化板级测试
- 数字外设：
 - 多达40个通用I/O引脚 (GPIO, General Purpose I/O)，带可配置的上拉和下拉电阻，具有中继模式和漏极开路模式
 - 多达8个GPIO引脚可用作边沿或电平触发的中断源
 - 2个GPIO中断模块组合使得基于可编程模式的一组GPIO引脚输入状态的中断成为可能
 - 一个引脚 (P0_7) 的最大电流输出驱动能力为20mA
 - 开路漏极引脚 (P0_4 和 P0_5) 上的最大灌电流为 20 mA
 - 4个通用定时器/计数器，共有5个捕获输入和13个匹配输出
 - 可编程的窗口型看门狗定时器 (WWDG, Windowed WatchDog Timer)，内置专用的低功耗看门狗振荡器 (WDO)
- 模拟外设：
 - 10位ADC，在8个引脚之间实现输入多路复用
- 串行接口：
 - USB2.0 全速 Device 控制器
 - 带小数波特率生成器的USART，带有内部FIFO、全Modem控制握手接口，并支持RS-485/9-bit模式和同步模式。USART支持异步智能卡接口 (ISO 7816-3)
 - 2个SSP控制器，具有FIFO和多协议功能
 - I2C总线接口支持完整的I2C总线规范和Fast-mode Plus模式，数据速率高达1Mbit/s，具有多地址识别和监控模式
- 时钟产生：
 - 晶体振荡器的工作范围为1MHz~25MHz
 - 12MHz内部RC (IRC) 振荡器，可用作系统时钟
 - 内置低功耗，低频看门狗振荡器，输出频率可编程
 - 锁相环 (PLL: Phase-locked loops) 允许CPU无需使用高频晶体也可工作在最大CPU速率。时钟可以由系统振荡器或内部RC振荡器提供
 - 另有一个专供USB使用的PLL
 - 带分频器的时钟输出功能，可以映到主振荡器时钟、IRC时钟、CPU时钟和看门狗时钟

- 功率控制：
 - 3种节能模式：睡眠、深度睡眠、掉电和深度掉电
 - 通过boot ROM中的功率优化功能Power Profile，只需调用简单的函数即可在给定的应用中实现性能的优化和功耗的最小化
 - 处理器可通过Reset 引脚、可选的GPIO引脚、看门狗定时器中断或USB端口操作从深度睡眠和掉电模式中唤醒
 - 处理器可通过一个专用功能引脚从深度掉电模式中唤醒
 - 集成的功率管理单元 (PMU, Power Management Unit) 在睡眠、深度睡眠、掉电和深度掉电模式下将功耗降至最低
 - 上电复位 (POR)
 - 掉电检测 (BOD)，支持四个独立的阈值，可产生中断和强制复位
- 唯一的设备序列号
- 单电源供电 (1.8V~3.6V)
- 温度范围：40°C~85°C
- 提供48-LQFP引脚、48-TFBGA引脚和33-HVQFN引脚封装
- 和LPC134x Cortex-M3系列产品引脚兼容。

3. 应用

- 消费电子外设
- 手提扫描仪
- 医疗
- USB音频设备
- 工业控制

4. 订购信息

表1 订购信息

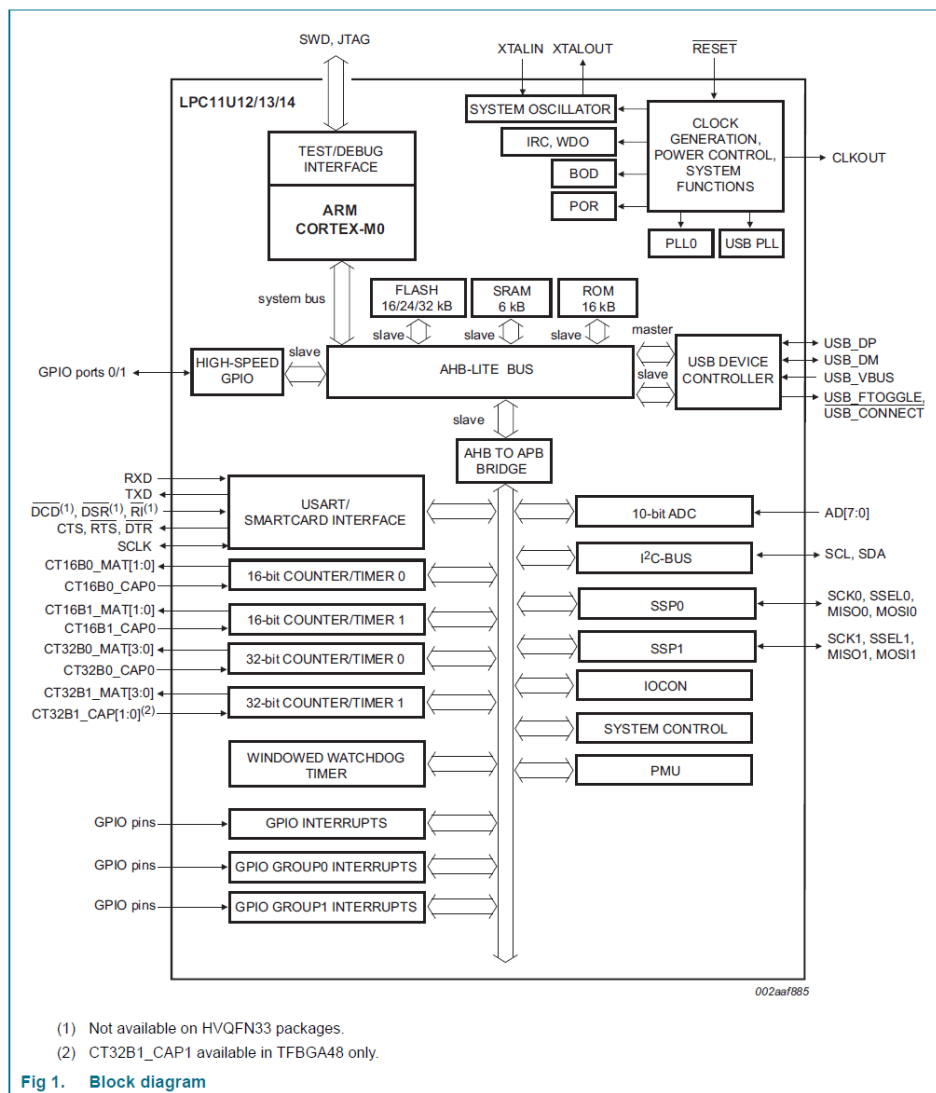
Type number	Package		
	Name	Description	Version
LPC11U12FHN33/201	HVQFN33	plastic thermal enhanced very thin quad flat package; no leads; 33 terminals; body 7 × 7 × 0.85 mm	n/a
LPC11U12FBD48/201	LQFP48	plastic low profile quad flat package; 48 leads; body 7 × 7 × 1.4 mm	SOT313-2
LPC11U13FBD48/201	LQFP48	plastic low profile quad flat package; 48 leads; body 7 × 7 × 1.4 mm	SOT313-2
LPC11U14FHN33/201	HVQFN33	plastic thermal enhanced very thin quad flat package; no leads; 33 terminals; body 7 × 7 × 0.85 mm	n/a
LPC11U14FBD48/201	LQFP48	plastic low profile quad flat package; 48 leads; body 7 × 7 × 1.4 mm	SOT313-2
LPC11U14FET48/201	TFBGA48	plastic thin fine-pitch ball grid array package; 48 balls; body 4.5 × 4.5 × 0.7 mm	SOT1155-2

4.1 订购选择

表2 订购选择

Type number	Flash	SRAM			USART	I ² C-bus FM+	SSP	USB device	ADC channels	GPIO pins
		CPU	USB	Total						
LPC11U12FHN33/201	16 kB	4 kB	2 kB	6 kB	1	1	2	1	8	26
LPC11U12FBD48/201	16 kB	4 kB	2 kB	6 kB	1	1	2	1	8	40
LPC11U13FBD48/201	24 kB	4 kB	2 kB	6 kB	1	1	2	1	8	40
LPC11U14FHN33/201	32 kB	4 kB	2 kB	6 kB	1	1	2	1	8	26
LPC11U14FBD48/201	32 kB	4 kB	2 kB	6 kB	1	1	2	1	8	40
LPC11U14FET48/201	32 kB	4 kB	2 kB	6 kB	1	1	2	1	8	40

5. 系统框图



6. 引脚信息

6.1 引脚

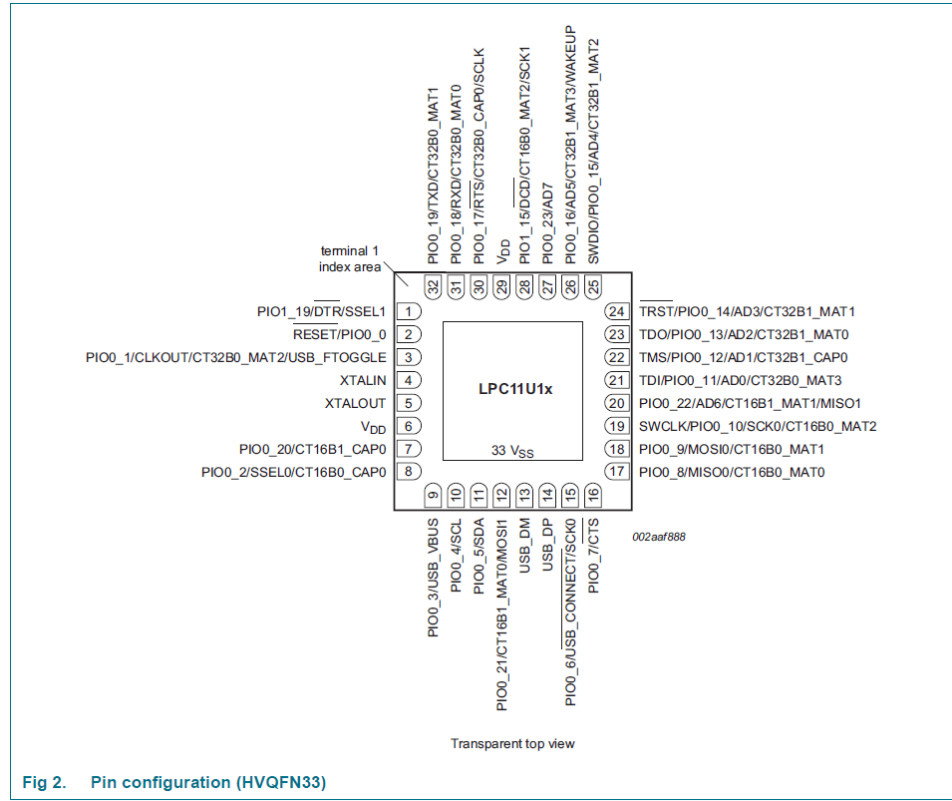
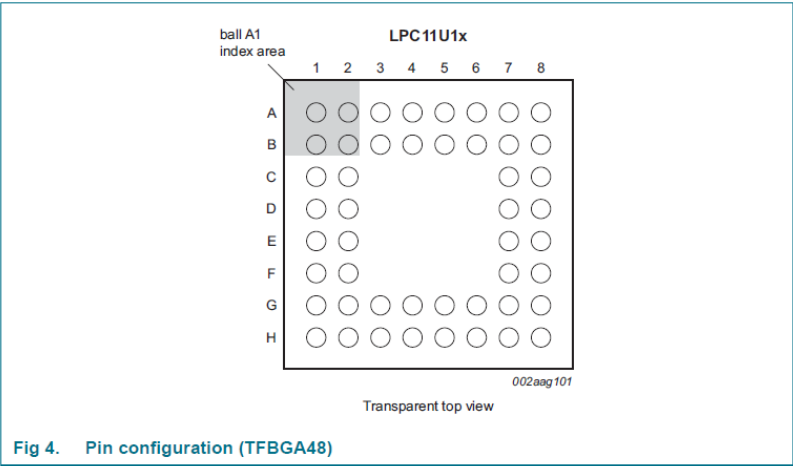
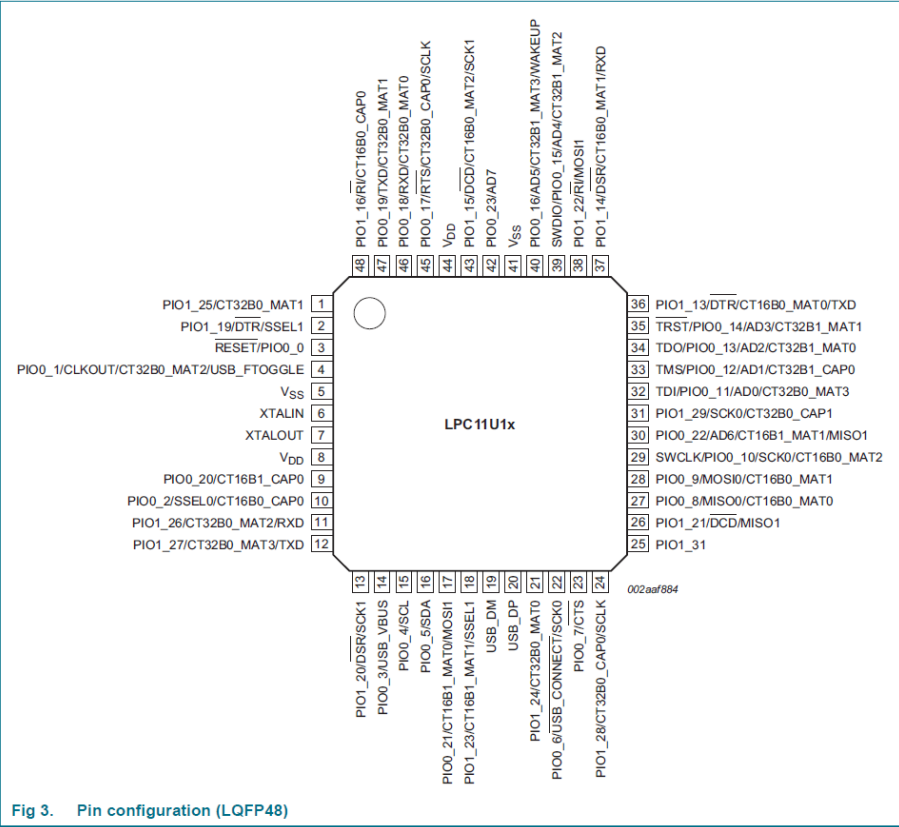


Fig 2. Pin configuration (HVQFN33)



6.2 引脚描述

表3按GPIO端口号显示了所有引脚和所分配的数字和模拟功能。排列在最前面的是芯片复位后的默认功能。除了真正的漏极开路引脚PIO0_4和PIO0_5外，其他所有端口引脚都内置了上拉电阻，它们在芯片复位后被使能。

每个端口引脚都有对应的IOCON寄存器，通过这个寄存器可将引脚配置成数字或模拟功能，上拉/下拉，中继和漏极开路模式。

USART，定时器/计数器和SSP功能不止在一个端口引脚上可用。

表4显示了外设功能是如何被分配到端口引脚上的。

表3 引脚描述

Symbol	Pin HVQFN33	Pin LQFP48	Pin TFBGA48	Reset state [1]	Type	Description	
RESET/PIO0_0	2	3	C1	[2]	I; PU	I	RESET — External reset input with 20 ns glitch filter. A LOW-going pulse as short as 50 ns on this pin resets the device, causing I/O ports and peripherals to take on their default states, and processor execution to begin at address 0. This pin also serves as the debug select input. LOW level selects the JTAG boundary scan. HIGH level selects the ARM SWD debug mode.
					-	I/O	PIO0_0 — General purpose digital input/output pin.
PIO0_1/CLKOUT/CT32B0_MAT2/USB_FTOGGLE	3	4	C2	[3]	I; PU	I/O	PIO0_1 — General purpose digital input/output pin. A LOW level on this pin during reset starts the ISP command handler or the USB device enumeration.
					-	O	CLKOUT — Clockout pin.
					-	O	CT32B0_MAT2 — Match output 2 for 32-bit timer 0.
					-	O	USB_FTOGGLE — USB 1 ms Start-of-Frame signal.
PIO0_2/SSEL0/CT16B0_CAP0	8	10	F1	[3]	I; PU	I/O	PIO0_2 — General purpose digital input/output pin.
					-	I/O	SSEL0 — Slave select for SSP0.
					-	I	CT16B0_CAP0 — Capture input 0 for 16-bit timer 0.
PIO0_3/USB_VBUS	9	14	H2	[3]	I; PU	I/O	PIO0_3 — General purpose digital input/output pin. A LOW level on this pin during reset starts the ISP command handler, a HIGH level starts the USB device enumeration.
					-	I	USB_VBUS — Monitors the presence of USB bus power.

Symbol	Pin HVQFN33	Pin LQFP48	Pin TFBGA48	Reset state [1]	Type	Description
PIO0_4/SCL	10	15	G3	[4]	I; IA	PIO0_4 — General purpose digital input/output pin (open-drain).
					- I/O	SCL — I ² C-bus clock input/output (open-drain). High-current sink only if I ² C Fast-mode Plus is selected in the I/O configuration register.
PIO0_5/SDA	11	16	H3	[4]	I; IA	PIO0_5 — General purpose digital input/output pin (open-drain).
					- I/O	SDA — I ² C-bus data input/output (open-drain). High-current sink only if I ² C Fast-mode Plus is selected in the I/O configuration register.
PIO0_6/USB_CONNECT/ SCK0	15	22	H6	[3]	I; PU	PIO0_6 — General purpose digital input/output pin.
					- O	USB_CONNECT — Signal used to switch an external 1.5 kΩ resistor under software control. Used with the SoftConnect USB feature.
					- I/O	SCK0 — Serial clock for SSP0.
PIO0_7/CTS	16	23	G7	[5]	I; PU	PIO0_7 — General purpose digital input/output pin (high-current output driver).
					- I	CTS — Clear To Send input for USART.
PIO0_8/MISO0/ CT16B0_MAT0	17	27	F8	[3]	I; PU	PIO0_8 — General purpose digital input/output pin.
					- I/O	MISO0 — Master In Slave Out for SSP0.
					- O	CT16B0_MAT0 — Match output 0 for 16-bit timer 0.
PIO0_9/MOSI0/ CT16B0_MAT1	18	28	F7	[3]	I; PU	PIO0_9 — General purpose digital input/output pin.
					- I/O	MOSI0 — Master Out Slave In for SSP0.
					- O	CT16B0_MAT1 — Match output 1 for 16-bit timer 0.
SWCLK/PIO0_10/SCK0/ CT16B0_MAT2	19	29	E7	[3]	I; PU	SWCLK — Serial wire clock and test clock TCK for JTAG interface.
					- I/O	PIO0_10 — General purpose digital input/output pin.
					- O	SCK0 — Serial clock for SSP0.
					- O	CT16B0_MAT2 — Match output 2 for 16-bit timer 0.
TDI/PIO0_11/AD0/ CT32B0_MAT3	21	32	D8	[6]	I; PU	TDI — Test Data In for JTAG interface.
					- I/O	PIO0_11 — General purpose digital input/output pin.
					- I	AD0 — A/D converter, input 0.
					- O	CT32B0_MAT3 — Match output 3 for 32-bit timer 0.

Symbol	Pin HVQFN33	Pin LQFP48	Pin TFBGA48	Reset state [1]	Type	Description
TMS/PIO0_12/AD1/ CT32B1_CAP0	22	33	C7	[6]	I; PU	TMS — Test Mode Select for JTAG interface.
					I/O	PIO_12 — General purpose digital input/output pin.
					I	AD1 — A/D converter, input 1.
					I	CT32B1_CAP0 — Capture input 0 for 32-bit timer 1.
TDO/PIO0_13/AD2/ CT32B1_MAT0	23	34	C8	[6]	I; PU	TDO — Test Data Out for JTAG interface.
					I/O	PIO0_13 — General purpose digital input/output pin.
					I	AD2 — A/D converter, input 2.
					O	CT32B1_MAT0 — Match output 0 for 32-bit timer 1.
TRST/PIO0_14/AD3/ CT32B1_MAT1	24	35	B7	[6]	I; PU	TRST — Test Reset for JTAG interface.
					I/O	PIO0_14 — General purpose digital input/output pin.
					I	AD3 — A/D converter, input 3.
					O	CT32B1_MAT1 — Match output 1 for 32-bit timer 1.
SWDIO/PIO0_15/AD4/ CT32B1_MAT2	25	39	B6	[6]	I; PU	SWDIO — Serial wire debug input/output.
					I/O	PIO0_15 — General purpose digital input/output pin.
					I	AD4 — A/D converter, input 4.
					O	CT32B1_MAT2 — Match output 2 for 32-bit timer 1.
PIO0_16/AD5/ CT32B1_MAT3/WAKEUP	26	40	A6	[6]	I; PU	PIO0_16 — General purpose digital input/output pin.
					I	AD5 — A/D converter, input 5.
					O	CT32B1_MAT3 — Match output 3 for 32-bit timer 1.
					I	WAKEUP — Deep power-down mode wake-up pin with 20 ns glitch filter. This pin must be pulled HIGH externally to enter Deep power-down mode and pulled LOW to exit Deep power-down mode. A LOW-going pulse as short as 50 ns wakes up the part.
PIO0_17/RTS/ CT32B0_CAP0/SCLK	30	45	A3	[3]	I; PU	PIO0_17 — General purpose digital input/output pin.
					O	RTS — Request To Send output for USART.
					I	CT32B0_CAP0 — Capture input 0 for 32-bit timer 0.
					I/O	SCLK — Serial clock input/output for USART in synchronous mode.

Symbol	Pin HVQFN33	Pin LQFP48	Pin TFBGA48	Reset state [1]	Type	Description
PIO0_18/RXD/ CT32B0_MAT0	31	46	B3	[3]	I; PU	I/O PIO0_18 — General purpose digital input/output pin.
					- I	RXD — Receiver input for USART.
					- O	CT32B0_MAT0 — Match output 0 for 32-bit timer 0.
PIO0_19/TXD/ CT32B0_MAT1	32	47	B2	[3]	I; PU	I/O PIO0_19 — General purpose digital input/output pin.
					- O	TXD — Transmitter output for USART.
					- O	CT32B0_MAT1 — Match output 1 for 32-bit timer 0.
PIO0_20/CT16B1_CAP0	7	9	F2	[3]	I; PU	I/O PIO0_20 — General purpose digital input/output pin.
					- I	CT16B1_CAP0 — Capture input 0 for 16-bit timer 1.
PIO0_21/CT16B1_MAT0/ MOSI1	12	17	G4	[3]	I; PU	I/O PIO0_21 — General purpose digital input/output pin.
					- O	CT16B1_MAT0 — Match output 0 for 16-bit timer 1.
					- I/O	MOSI1 — Master Out Slave In for SSP1.
PIO0_22/AD6/ CT16B1_MAT1/MISO1	20	30	E8	[6]	I; PU	I/O PIO0_22 — General purpose digital input/output pin.
					- I	AD6 — A/D converter, input 6.
					- O	CT16B1_MAT1 — Match output 1 for 16-bit timer 1.
PIO0_23/AD7	27	42	A5	[6]	I; PU	I/O PIO0_23 — General purpose digital input/output pin.
					- I	AD7 — A/D converter, input 7.
PIO1_0/CT32B1_MAT0	-	-	-	[3]	I; PU	I/O PIO1_0 — General purpose digital input/output pin.
					- O	CT32B1_MAT0 — Match output 0 for 32-bit timer 1.
PIO1_1/CT32B1_MAT1	-	-	-	[3]	I; PU	I/O PIO1_1 — General purpose digital input/output pin.
					- O	CT32B1_MAT1 — Match output 1 for 32-bit timer 1.
PIO1_2/CT32B1_MAT2	-	-	-	[3]	I; PU	I/O PIO1_2 — General purpose digital input/output pin.
					- O	CT32B1_MAT2 — Match output 2 for 32-bit timer 1.

Symbol	Pin HVQFN33	Pin LQFP48	Pin TFBGA48	Reset state [1]	Type	Description
PIO1_3/CT32B1_MAT3	-	-	-	[3]	I; PU	I/O PIO1_3 — General purpose digital input/output pin.
					O	CT32B1_MAT3 — Match output 3 for 32-bit timer 1.
PIO1_4/CT32B1_CAP0	-	-	-	[3]	I; PU	I/O PIO1_4 — General purpose digital input/output pin.
					I	CT32B1_CAP0 — Capture input 0 for 32-bit timer 1.
PIO1_5/CT32B1_CAP1	-	-	H8	[3]	I; PU	I/O PIO1_5 — General purpose digital input/output pin.
					I	CT32B1_CAP1 — Capture input 1 for 32-bit timer 1.
PIO1_6	-	-	-	[3]	I; PU	I/O PIO1_6 — General purpose digital input/output pin.
PIO1_7	-	-	-	[3]	I; PU	I/O PIO1_7 — General purpose digital input/output pin.
PIO1_8	-	-	-	[3]	I; PU	I/O PIO1_8 — General purpose digital input/output pin.
PIO1_9	-	-	-	[3]	I; PU	I/O PIO1_9 — General purpose digital input/output pin.
PIO1_10	-	-	-	[3]	I; PU	I/O PIO1_10 — General purpose digital input/output pin.
PIO1_11	-	-	-	[3]	I; PU	I/O PIO1_11 — General purpose digital input/output pin.
PIO1_12	-	-	-	[3]	I; PU	I/O PIO1_12 — General purpose digital input/output pin.
PIO1_13/DTR/ CT16B0_MAT0/TXD	-	36	B8	[3]	I; PU	I/O PIO1_13 — General purpose digital input/output pin.
					O	DTR — Data Terminal Ready output for USART.
					O	CT16B0_MAT0 — Match output 0 for 16-bit timer 0.
					O	TXD — Transmitter output for USART.
PIO1_14/DSR/ CT16B0_MAT1/RXD	-	37	A8	[3]	I; PU	I/O PIO1_14 — General purpose digital input/output pin.
					I	DSR — Data Set Ready input for USART.
					O	CT16B0_MAT1 — Match output 1 for 16-bit timer 0.
					I	RXD — Receiver input for USART.

Symbol	Pin HVQFN33	Pin LQFP48	Pin TFBGA48		Reset state [1]	Type	Description
PIO1_15/ $\overline{\text{DCD}}$ / CT16B0_MAT2/SCK1	28	43	A4	[3]	I; PU	I/O	PIO1_15 — General purpose digital input/output pin.
					-	I	DCD — Data Carrier Detect input for USART.
					-	O	CT16B0_MAT2 — Match output 2 for 16-bit timer 0.
					-	I/O	SCK1 — Serial clock for SSP1.
PIO1_16/ $\overline{\text{RI}}$ / CT16B0_CAP0	-	48	A2	[3]	I; PU	I/O	PIO1_16 — General purpose digital input/output pin.
					-	I	RI — Ring Indicator input for USART.
					-	I	CT16B0_CAP0 — Capture input 0 for 16-bit timer 0.
PIO1_17/CT16B0_CAP1/ RXD	-	-	-	[3]	I; PU	I/O	PIO1_17 — General purpose digital input/output pin.
					-	I	CT16B0_CAP1 — Capture input 1 for 16-bit timer 0.
					-	I	RXD — Receiver input for USART.
PIO1_18/CT16B1_CAP1/ TXD	-	-	-	[3]	I; PU	I/O	PIO1_18 — General purpose digital input/output pin.
					-	I	CT16B1_CAP1 — Capture input 1 for 16-bit timer 1.
					-	O	TXD — Transmitter output for USART.
PIO1_19/ $\overline{\text{DTR}}$ /SSEL1	1	2	B1	[3]	I; PU	I/O	PIO1_19 — General purpose digital input/output pin.
					-	O	DTR — Data Terminal Ready output for USART.
					-	I/O	SSEL1 — Slave select for SSP1.
PIO1_20/ $\overline{\text{DSR}}$ /SCK1	-	13	H1	[3]	I; PU	I/O	PIO1_20 — General purpose digital input/output pin.
					-	I	DSR — Data Set Ready input for USART.
					-	I/O	SCK1 — Serial clock for SSP1.
PIO1_21/ $\overline{\text{DCD}}$ /MISO1	-	26	G8	[3]	I; PU	I/O	PIO1_21 — General purpose digital input/output pin.
					-	I	DCD — Data Carrier Detect input for USART.
					-	I/O	MISO1 — Master In Slave Out for SSP1.
PIO1_22/ $\overline{\text{RI}}$ /MOSI1	-	38	A7	[3]	I; PU	I/O	PIO1_22 — General purpose digital input/output pin.
					-	I	RI — Ring Indicator input for USART.
					-	I/O	MOSI1 — Master Out Slave In for SSP1.

Symbol	Pin HVQFN33	Pin LQFP48	Pin TFBGA48	Reset state [1]	Type	Description
PIO1_23/CT16B1_MAT1/SSEL1	-	18	H4	[3]	I; PU - - O I/O	PIO1_23 — General purpose digital input/output pin. CT16B1_MAT1 — Match output 1 for 16-bit timer 1. SSEL1 — Slave select for SSP1.
PIO1_24/CT32B0_MAT0	-	21	G6	[3]	I; PU - O I/O	PIO1_24 — General purpose digital input/output pin. CT32B0_MAT0 — Match output 0 for 32-bit timer 0.
PIO1_25/CT32B0_MAT1	-	1	A1	[3]	I; PU - O I/O	PIO1_25 — General purpose digital input/output pin. CT32B0_MAT1 — Match output 1 for 32-bit timer 0.
PIO1_26/CT32B0_MAT2/RXD	-	11	G2	[3]	I; PU - O I I/O	PIO1_26 — General purpose digital input/output pin. CT32B0_MAT2 — Match output 2 for 32-bit timer 0. RXD — Receiver input for USART.
PIO1_27/CT32B0_MAT3/TXD	-	12	G1	[3]	I; PU - O O I/O	PIO1_27 — General purpose digital input/output pin. CT32B0_MAT3 — Match output 3 for 32-bit timer 0. TXD — Transmitter output for USART.
PIO1_28/CT32B0_CAP0/SCLK	-	24	H7	[3]	I; PU - I I/O	PIO1_28 — General purpose digital input/output pin. CT32B0_CAP0 — Capture input 0 for 32-bit timer 0. SCLK — Serial clock input/output for USART in synchronous mode.
PIO1_29/SCK0/CT32B0_CAP1	-	31	D7	[3]	I; PU - I/O I	PIO1_29 — General purpose digital input/output pin. SCK0 — Serial clock for SSP0. CT32B0_CAP1 — Capture input 1 for 32-bit timer 0.
PIO1_31	-	25	-	[3]	I; PU I/O	PIO1_31 — General purpose digital input/output pin.
USB_DM	13	19	G5	[7]	F -	USB_DM — USB bidirectional D- line.
USB_DP	14	20	H5	[7]	F -	USB_DP — USB bidirectional D+ line.
XTALIN	4	6	D1	[8][9]	- -	Input to the oscillator circuit and internal clock generator circuits. Input voltage must not exceed 1.8 V.
Symbol	Pin HVQFN33	Pin LQFP48	Pin TFBGA48	Reset state [1]	Type	Description
XTALOUT	5	7	E1	[8][9]	- -	Output from the oscillator amplifier.
V _{DD}	6; 29	8; 44	B4; E2	-	-	Supply voltage to the internal regulator, the external rail, and the ADC. Also used as the ADC reference voltage.
V _{SS}	33	5; 41	B5; D2	-	-	Ground.

- [1] 复位后默认功能的引脚状态：I=输入; O =输出; PU =使能内部上拉; IA =未激活，没有使能上拉或下拉。F = 悬空; 悬空引脚在未使用时要接地或电源来减少功耗。
- [2] 见图31关于复位引脚的配置。在深度掉电模式下RESET引脚是不使能的。使用WAKEUP引脚复位和从深度睡眠模式中唤醒。深度睡眠模式下，该引脚需要外加一个上拉电阻。
- [3] 5V 容差引脚，提供带可配置滞后的上拉/下拉电阻的数字I/O 功能（见图30）。
- [4] I2C 总线引脚符合I2C 标准模式和I2C Fast-mode plus 的I2C 总线规格。
- [5] 5V 容差引脚。提供带可配置滞后上拉/下拉电阻和模拟输入的数字I/O功能，含高电流输出驱动（见图30）。
- [6] 5V电压容忍板使得数字I/O功能有可配置的上拉/下拉电阻，可配置的滞后和模拟输入性能。当作为一个模拟数字转换器输入时，板上的数字部分就失效，引脚上也不是5V电压容忍（参见图30）；包含数字输入脉冲筛选器。
- [7] 这块板提供USB功能，它在设计上兼容USB规范，2.0版本（只适用于全速和低速模式）。不支持5V电压容忍。
- [8] 当系统振荡器未被使用时，按如下方式连接XTALIN和XTALOUT：XTALIN可被悬空或接地（为减小干扰推荐接地）。XTALOUT悬空。

为了将某个端口引脚配置成表4中的外设功能，需要将端口引脚IOCON寄存器的FUNC位编程为该功能。用户要保证分配到端口上的功能是明确的。只有JTAG和SWD的调试功能是由对应的IOCON寄存器默认选择的。所以其他的功能都必须于使用前在IOCON模块中编程。具体见LPC111U1x用户手册。

表4 外设功能的多重技术

Peripheral	Function	Type	Default	Available on ports			
USART	RXD	I	no	PIO0_18	PIO1_14	PIO1_17	PIO1_26
	TXD	O	no	PIO0_19	PIO1_13	PIO1_18	PIO1_27
	CTS	I	no	PIO0_7	-	-	-
	RTS	O	no	PIO0_17	-	-	-
	DTR	O	no	PIO1_13	PIO1_19	-	-
	DSR	I	no	PIO1_14	PIO1_20	-	-
	DCD	I	no	PIO1_15	PIO1_21	-	-
	RI	I	no	PIO1_16	PIO1_22	-	-
	SCLK	I/O	no	PIO0_17	PIO1_28	-	-

Peripheral	Function	Type	Default	Available on ports			
SSP0	SCK0	I/O	no	PIO0_6	PIO0_10	PIO1_29	
	SSEL0	I/O	no	PIO0_2	-	-	-
	MISO0	I/O	no	PIO0_8	-	-	-
	MOSI0	I/O	no	PIO0_9	-	-	-
SSP1	SCK1	I/O	no	PIO1_15	PIO1_20	-	-
	SSEL1	I/O	no	PIO1_19	PIO1_23	-	-
	MISO1	I/O	no	PIO0_22	PIO1_21	-	-
	MOSI1	I/O	no	PIO0_21	PIO1_22	-	-
CT16B0	CT16B0_CAP0	I	no	PIO0_2	PIO1_16	-	-
	CT16B0_CAP1	I	no	PIO1_17	-	-	-
	CT16B0_MAT0	O	no	PIO0_8	PIO1_13	-	-
	CT16B0_MAT1	O	no	PIO0_9	PIO1_14	-	-
	CT16B0_MAT2	O	no	PIO0_10	PIO1_15	-	-
CT16B1	CT16B1_CAP0	I	no	PIO0_20	-	-	-
	CT16B1_CAP1	I	no	PIO1_18	-	-	-
	CT16B1_MAT0	O	no	PIO0_21	-	-	-
	CT16B1_MAT1	O	no	PIO0_22	PIO1_23	-	-
CT32B0	CT32B0_CAP0	I	no	PIO0_17	PIO1_28	-	-
	CT32B0_CAP1	I	no	PIO1_29	-	-	-
	CT32B0_MAT0	O	no	PIO0_18	PIO1_24	-	-
	CT32B0_MAT1	O	no	PIO0_19	PIO1_25	-	-
	CT32B0_MAT2	O	no	PIO0_1	PIO1_26	-	-
	CT32B0_MAT3	O	no	PIO0_11	PIO1_27	-	-
CT32B1	CT32B1_CAP0	I	no	PIO0_12	PIO1_4	-	-
	CT32B1_CAP1	I	no	PIO1_5	-	-	-
	CT32B1_MAT0	O	no	PIO0_13	PIO1_0	-	-
	CT32B1_MAT1	O	no	PIO0_14	PIO1_1	-	-
	CT32B1_MAT2	O	no	PIO0_15	PIO1_2	-	-
	CT32B1_MAT3	O	no	PIO0_16	PIO1_3	-	-
ADC	AD0	I	no	PIO0_11	-	-	-
	AD1	I	no	PIO0_12	-	-	-
	AD2	I	no	PIO0_13	-	-	-
	AD3	I	no	PIO0_14	-	-	-
	AD4	I	no	PIO0_15	-	-	-
	AD5	I	no	PIO0_16	-	-	-
	AD6	I	no	PIO0_22	-	-	-
	AD7	I	no	PIO0_23	-	-	-
USB	USB_VBUS	I	no	PIO0_3	-	-	-
	USB_FTOGGLE	O	no	PIO0_1	-	-	-
	USB_CONNECT	O	no	PIO0_6	-	-	-
CLKOUT	CLKOUT	O	no	PIO0_1	-	-	-

Peripheral	Function	Type	Default	Available on ports			
JTAG	TDI	I	yes	PIO0_11	-	-	-
	TMS	I	yes	PIO0_12	-	-	-
	TDO	O	yes	PIO0_13	-	-	-
	TRST	I	yes	PIO0_14	-	-	-
	TCK	I	yes	PIO0_10	-	-	-
SWD	SWCLK	I	yes	PIO0_10	-	-	-
	SWDIO	I/O	yes	PIO0_15	-	-	-

7. 功能描述

7.1. 存储器映射

LPC1111/12/13/14包含了下图所示的若干不同存储区域。图5展示了复位后从程序入口点开始整个地址空间的全部映射。其中中断向量区支持地址的重映射。AHB外设区的大小为2MB，可分配多达128个外设。APB外设区的大小为512KB，可分配多达32个外设，任何类型的外设空间的大小都为16KB，从而简化了每个外设的地址译码。

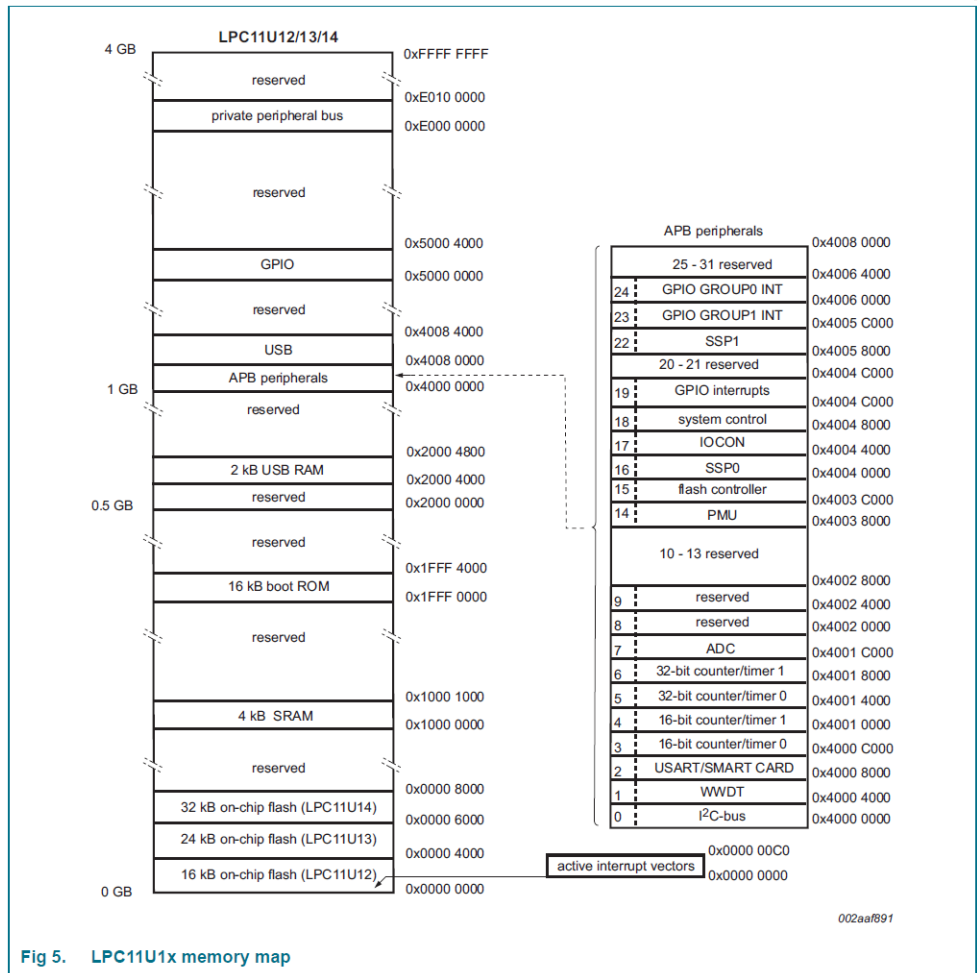


Fig 5. LPC111U1x memory map

7.2. 嵌套向量中断控制器 (NVIC, Nested Vectored Interrupt Controller)

嵌套向量中断控制器 (NVIC) 是 Cortex-M0 不可分割的一部分。它与CPU 紧密结合，降低了中断延时，并能够有效处理即将到来的中断。

7.2.1. 特性

- 可对系统异常和外设中断进行控制
- 在LPC111U1x中，NVIC支持24个向量中断
- 4 个可编程的中断优先级级别，具有硬件优先级屏蔽功能
- 软件中断生成器

7.2.2. 中断源

每一个外围设备和嵌套向量中断控制器(NVIC)之间只通过一条中断线相连，但可以有多个中断标志。每个中断标志还可以代表几个中断源。

7.3. IOCONFIG模块

IOCONFIG模块允许选定的微控制器引脚可完成多种功能。配置寄存器控制多路选择开关来使能引脚和片上外设之间的连接。

在激活外设功能或使能相应的中断前，必须将外设和相应的引脚相连。如果外设功能没有映射到相应的引脚，则激活外设功能的操作将被视为未定义的。

7.4. 快速通用并行IO口

未和特定外设功能相连的芯片引脚受到GPIO寄存器的控制。GPIO寄存器控制没有连接到特定外设的引脚。引脚可以被动态配置为输入或输出。可在一个写操作中对多个输出信号进行置位和复位的操作。

LPC1111/12/13/14使用了GPIO加速功能：

- GPIO寄存器是一个专用的AHB外设，这样就可以实现最快的输入输出时序。
- 可用一条指令完成整个端口的值的写入。

此外，不论选择什么功能模式，任何GPIO引脚（最多达42个）都可通过编程从而产生由电平、上升沿、下降沿或双边沿触发的中断。

7.4.1 特性

- 可对系统异常和外设中断进行控制
- GPIO引脚能通过软件设置成输入或输出模式
- 所有的GPIO引脚在复位时都默认成为输入模式并且禁止中断
- 引脚寄存器允许引脚被识别并自定义设置
- 所有GPIO引脚中可选出最多8个引脚来建立边沿敏感或是电平敏感的中断请求
- 端口中断可以由任何端口的一个或多个引脚触发

7.5. USB接口

USB接口是一条支持一个主机和一个或多个（最多127个）外设通信的4线总线。主机控制器根据基于令牌的协议给连接上的设备分配USB带宽。该总线支持对设备的热插拔和动态配置。所有的

处理都由主机控制器发起。

LPC11U1x USB接口是一个含从设备功能片上物理层的Device控制器。

7.5.1 全速USB设备控制器

Device控制器与USB Host 控制器的数据传输速度为12Mbit/s。它由一个寄存器接口，串行接口引擎，端点缓冲区存储器 (endpoint buffer momery) 组成。串行接口引擎对USB数据流进行解码并写入对应的端点缓冲区。可通过状态寄存器显示完整的USB传输或错误条件的状态。若中断使能，则会产生中断。

7.5.1.1特性

- 供USB使用的专用USB锁相环
- 与USB2.0规范（全速）完全兼容
- 支持5个物理（10个逻辑）端点，其中包括一个控制端点(Control endpoint)
- 支持单、双缓冲区
- 每个非控制端点支持大批量传输 (bulk)，中断 (interrupt) 或同步 (isochronous) 端点类型
- 当出现USB操作时，支持从深度睡眠和掉电模式唤醒及远程唤醒
- 支持SoftConnect

7.6. 通用同步异步收发机USART

LPC11U1x包含一个USART。

USART包括full modem控制，支持同步模式和一个智能卡接口。RS-485/9-位模式允许软件地址检测和9位模式下的自动地址检测。

包含了一个小数波特率发生器。可以在晶体频率大于2 MHz的任何情况下，达到标准波特率：如115200 Bd。

7.6.1 特性

- 最大UART数据位传输率为3.125 MBit/s
- 16 字节接收和发送 FIFO
- 寄存器位置符合 16C550工业标准
- 接收 FIFO 可在 1、4、8和 14字节时被触发
- 内置小数波特率发生器，无需特定频率的外部晶振就可涵盖较宽范围的波特率
- 波特率控制专用的分数分频器，自动波特功能和FIFO控制机制，使执行软件流控制成为可能
- 支持 RS-485/9位模式

- 支持modem控制
- 支持同步模式
- 包含智能卡接口功能

7.7. SSP串行I/O控制器

SPI控制器可控制 SSP、4线 SSI或 Microwire 总线的操作。它可在一条总线上和多个主机或从机交互。在一次数据传输中，总线上只有一个主机和一个从机进行通信。SPI支持全双工方式传输，将长度为4位到16 位数据帧由主机发送到从机或由从机发送到主机。在实际应用中，通常情况下只有一个方向上的数据流包含有意义的数据。

7.7.1 特性

- 最大SPI速率为25Mbit/s (主机模式)或4.17Mbit/s （从机模式）（在SSP模式下）
- 兼容 Motorola SPI、TI的4线SSI和National Semiconductor的Microwire总线
- 同步串行通信
- 主/从操作
- 8 帧收发FIFO
- 每帧4到16位

7.8. I2C-bus serial I/O controller

LPC111U1x拥有一个I2C总线控制器。

I2C总线是用于IC器件互联控制的双向总线，它只需要两根连接线：一条串行数据线SDA，一条串行时钟线SCL。每个器件都通过唯一的地址来识别，并可工作在只接收模式下（如LCD驱动器）或者作为可以接收和发送信息的传输器（如存储器）。根据芯片被初始化为数据发送方还是只是被编址，可以确定主机和/或从机处于发送和（或）接收模式。I2C总线是一种多主机总线，可以由连接到总线上的多个主机控制。

7.8.1 特性

- I2C接口是一个与标准 I2C 兼容的带漏极开路引脚的总线接口。I2C总线接口还支持Fast-mode Plus，最高位速率为1Mbit/s
- 可配置为主机、从机或主/从机
- 可编程时钟允许调整 I2C传输速率
- 主机和从机之间的数据传输是双向的
- 多主机总线（无核心主节点）
- 在同时发送的主机之间进行仲裁，而不会破坏总线上的串行数据
- 串行时钟同步允许具有不同位速率的设备通过一条串行总线进行通信
- 串行时钟同步用作握手机制以挂起及恢复串行传输

- I2C 总线可用于测试和诊断
- I2C 总线控制器支持多地址识别和总线监视模式。

7.9. 10位模数转换器 (ADC)

LPC11U1x内置一个ADC模块。它是一个8通道10位逐次逼近式模数转换器

7.9.1 特性

- 10 位逐次逼近式模数转换器
- 在 8 个引脚间实现输入多路复用
- 掉电模式
- 测量范围：0V~VDD
- 10 位转换时间 $\geq 2.44 \mu s$
- 一个或多个输入的突发转换模式
- 转换的启动可来源于由输入引脚跳变或定时器匹配信号触发
- 每个 A/D通道的独立结果寄存器减少了中断开销。

7.10. 通用外部事件计数器/定时器

LPC11U1x拥有2个32位和2个16位定时器/计数器。定时器/计数器用来对系统时钟周期进行计数。可基于四个匹配寄存器，选择在规定的时间内产生中断或执行其他操作。每个定时器/计数器还包含1个捕获输入，用来在输入信号变化时捕获定时器瞬时值，也可选择产生中断。

7.10.1 特性

- 一个32位/16位的定时器/计数器，带有一个可编程的32位/16位的预分频器
- 可工作在计数器模式或定时器模式
- 每个定时器都有一个捕获通道，可在输入信号跳变时捕捉定时器的瞬时值。捕获事件也可以产生中断；
- 4个匹配寄存器，允许执行以下操作：
 - 匹配时设为低电平
 - 匹配时连续工作，在匹配时可选择产生中断；
 - 在匹配时停止定时器运行，可选择产生中断；
 - 在匹配时复位定时器，可选择产生中断；
- 有4个与匹配寄存器相对应的外部输出，这些输出具有以下功能：
 - 匹配时设为低电平；
 - 匹配时设为高电平；
 - 匹配时翻转电平；

- 匹配时不执行任何操作
- 计时器和预分频器可以在指定的情况下被清零。这个特点实现了简单的脉宽测量，方法是在输入脉冲前沿将计数器清零并在脉冲后沿捕获定时器的值。

7.11. 系统时钟

ARM Cortex-M0含有一个系统节拍定时器(SYSTICK)，用于在固定的时间间隔（一般是10ms）产生一个专用的SYSTICK异常

7.12. 窗口式看门狗计时器 (WWDG, Windowed WatchDog Timer)

看门狗的目的是当软件没有定期的在一个可编程的时钟窗口内检修控制器时，将控制器重置

7.12.1 特点

- 如果没有按多编程设定的时间周期性喂狗，则通过内部方式对芯片复位
- 可选的窗口式操作，在可编程的最大和最小时间周期内喂狗
- 在看门狗定时器超时前的时间点生成可选的警告中断，该时间点可编程设定
- 可通过软件使能，但需要禁止硬件复位或看门狗复位/中断；
- 如果使能了看门狗定时器，那么错误/不完整的喂狗时序会令看门狗复位/中断；
- 具有指示看门狗复位的标志；
- 带内置预分频器的可编程24位定时器；
- 可选择 $T_{cy}(WDCLK) \times 4$ 倍数的时间周期：从 $(T_{cy}(WDCLK) \times 256 \times 4)$ 到 $(T_{cy}(WDCLK) \times 224 \times 4)$ ；
- 看门狗时钟 (WDCLK) 源可以选择内部RC振荡器 (IRC)、主时钟或看门狗振荡器，这为看门狗在不同节能模式下提供了较宽的时序选择范围。为了提高可靠性，还可以使看门狗定时器在内部时钟源下运行，这就与外部晶振及其相关元件无关。

7.13. 时钟和电源控制

7.13.1 晶体振荡器

LPC11U1x含有3个独立的振荡器：系统振荡器、内部RC振荡器 (IRC) 和看门狗振荡器，每个振荡器都有不止一项用途，可针对不同应用要求选择使用。

复位后，LPC11U1x系列自动选择内部RC振荡器作为系统的时钟源，直到通过软件改变。这使得系统能在没有外部晶振的情况下也可以运行，也使得BootLoader程序能够在确定频率下运行。

图6展示了LPC11U1x时钟产生的总体框图。

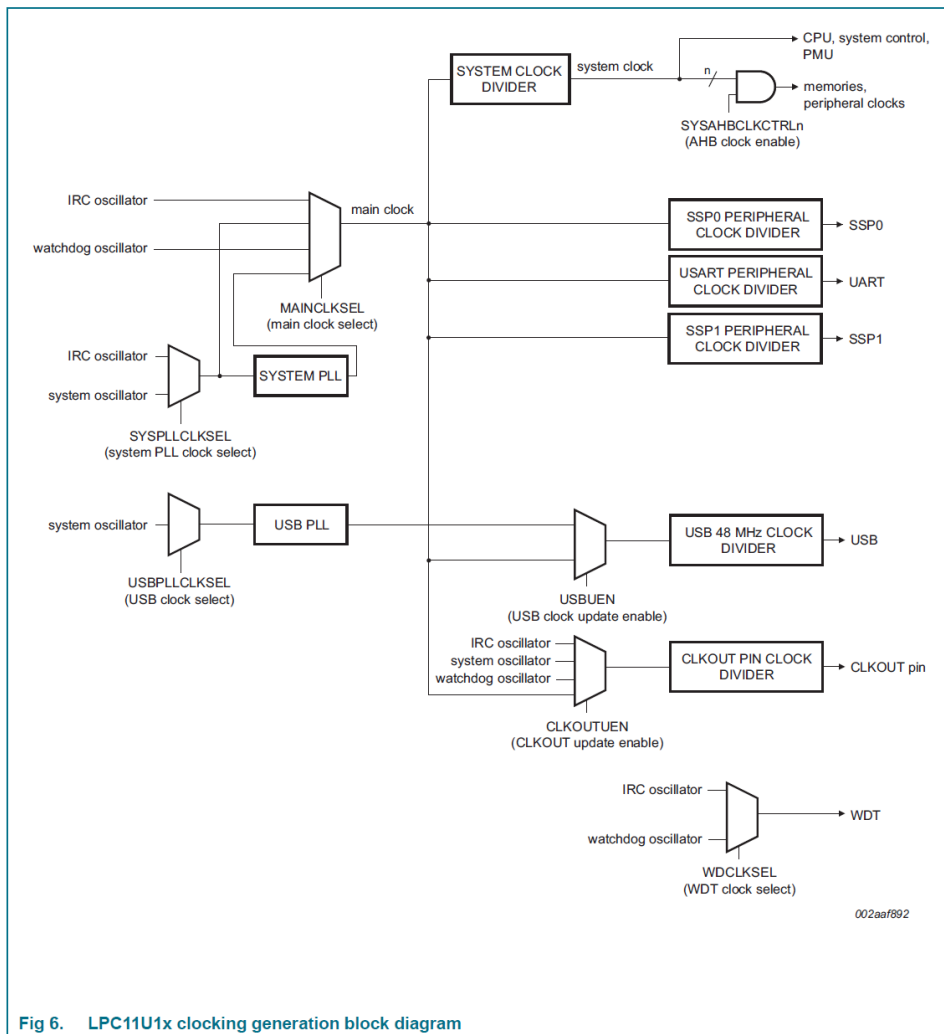


Fig 6. LPC111U1x clocking generation block diagram

7.13.1.1 内部RC振荡器

内部RC振荡器 (IRC) 可用作看门狗定时器的时钟源，也可以用作驱动PLL和随后驱动CPU的时钟源。IRC的标称频率为12MHz，在整个电压和温度范围内精度为±1%。

在上电或芯片复位时，LPC111U1x使用IRC作为时钟源。此后，用户可通过编程切换到另一种可用的时钟源。

7.13.1.2 系统振荡器

系统振荡器可作为CPU的时钟源（不管是否使用PLL）。在LPC111U1x中，必须使用系统振荡

器作为USB的时钟源。

系统振荡器工作在1MHz到25MHz下。用户可通过系统PLL来提高CPU的工作频率，直到CPU的最大工作频率。

7.13.1.3 看门狗振荡器

看门狗振荡器可用作直接驱动CPU、看门狗定时器或CLKOUT引脚的时钟源。看门狗振荡器的频率是可编程的，可以在7.8KHz ~1.7MHz的范围内。随工艺和温度的影响，该频率的精度变化范围是±40%（参见表13）。

7.13.2 系统锁相环和USB锁相环 (PLL)

LPC111U1x 内置了一个系统锁相环和一个生成48MHz USB 时钟的专用锁相环。

PLL接受的输入时钟频率范围为10MHz~25MHz。输入频率会通过电流控制振荡器(CCO, Current Controlled Oscillator) 倍频到较高频率。倍频系数可以是1至32的整数。CCO的工作频率是156MHz~320MHz，因此，在环内还有一个分频器以保证CCO工作在频率范围内，从而使PLL可以提供所需要的输出频率。PLL的输出频率必须在100 MHz以下。输出分频器应该设置为2、4、6、8或16分频，以产生输出时钟。由于最小输出分频是2分频，保证了PLL的输出有50%的占空比。PLL在芯片复位后被关闭或旁路，需要时可通过软件使能。程序需要配置和激活PLL，等待PLL锁定，然后连接PLL作为时钟源。PLL的设置时间是100μs。

7.13.3 时钟输出

LPC111U1x拥有时钟输出功能。可以将内部RC振荡器、系统振荡器、看门狗振荡器或主时钟连接到输出引脚。

7.13.4 唤醒过程

LPC111U1x在上电和从深度睡眠模式中唤醒后，开始工作时使用12 MHz的内部RC振荡器作为时钟源。这可以使芯片快速的重新工作。如果应用程序需要使用到系统振荡器或者锁相环，那么就需要用软件使能这些功能，等待它们稳定，再将它们作为时钟源。

7.13.5 电源管理

LPC111U1x支持多种电源控制功能。主要有4种特别的处理器节能模式，分别为睡眠模式、深度睡眠模式、掉电模式和深度掉电模式。CPU的时钟速率也可以通过改变时钟源、重置PLL值和/或改变系统时钟分频值来调整。这样就使得处理器速率和处理器所消耗的功率达到平衡，满足应用的需求。此外，可利用一个寄存器来关闭输出到个别片上外设的时钟，通过关闭所有应用中不必要的外设，减少动态功耗，达到对功耗的细调。被选中的外设都有自己的时钟分频器，可以实现更好的功率控制。

7.13.5.1 功率配置 (Power Profile)

正常运行模式和睡眠模式的功耗可以根据应用需要通过简单调用功率配置 **Power Profile** 函数得到优化。功率配置过程会将LPC1111/12/13/14配置为以下几种功率模式之一：

- 默认模式 (Default mode) 是复位后的电源配置模式
- CPU性能模式 (CPU performance mode) 适用于优化处理能力
- 效能模式 (Efficiency mode) 适用于优化电流消耗和CPU性能之间的平衡
- 低电流模式 (Low-current mode) 适用于最低的功率消耗

此外，功率配置还包含了为给定的系统时钟和PLL输入时钟选择最优的PLL设置这一功能。

7.13.5.2 睡眠模式

在睡眠模式下，内核的时钟停止。从睡眠模式中恢复不需要特别的操作，只需要重新使能ARM内核的时钟。

在睡眠模式下，指令的执行被中止直至复位或中断出现。在睡眠模式下，外设的功能继续运行，并可能产生中断使处理器重新运行。睡眠模式降低了处理器自身、存储器系统、相关控制器和内部总线所使用的动态电源。

7.13.5.3 深度睡眠模式

在深度睡眠模式中，LPC11U1x处于睡眠模式，所有外设的时钟和时钟源都处于关闭状态，除了IRC。除非IRC被选作看门狗定时器的输入，否则它的输出功能也处于关闭状态。另外，所有模拟模块掉电，闪存处于待命状态。在深度睡眠模式中，用户可以保持看门狗振荡器和掉电检测 (BOD) 电路的运行，从而可以进行自定时的唤醒和BOD保护。

LPC11U1x可以通过芯片重启、选定的GPIO引脚、看门狗定时器中断或者USB端口活动产生的中断这几种方式，从深度睡眠模式中唤醒。深度睡眠模式节省功耗并且允许唤醒时间很短。

7.13.5.4 掉电模式

在掉电模式中，LPC11U1x处于睡眠模式，所有外设的时钟和时钟源都处于关闭状态，除了被选中的看门狗振荡器。另外，所有模拟模块和闪存都被关闭。掉电模式下，用户可以保持掉电检测 (BOD) 电路的运行，从而可以进行BOD保护。

LPC11U1x可以通过芯片重启、选定的GPIO引脚、看门狗定时器中断或者USB端口活动产生的中断这几种方式，从深度睡眠模式中唤醒。掉电模式与深度睡眠模式相比更节电，但是唤醒时间也更长。

7.13.5.5 深度掉电模式

在深度掉电模式下，整个芯片的电源都关闭（WAKEUP引脚除外）。LPC11U1x可以通过WAKEUP引脚从深度掉电模式中唤醒。

LPC111U1x可以通过在PMU模块中设定锁定位来阻止其进入深度节电模式。锁定深度节电模式让用户可以一直保持看门狗计时器或BOD处于运行状态。

当进入深度掉电模式后，需要在WAKEUP引脚添加一个上拉电阻将它保持在高电平。RESET引脚也应保持在高电平以防止在深度掉电模式中引脚电压出现浮动。

7.13.6 系统控制

7.13.6.1 复位

LPC111U1x有4个复位源：RESET 引脚、看门狗复位、上电复位 (POR) 和掉电检测 (BOD) 电路。RESET 引脚为施密特触发式输入引脚。芯片复位可以由任意一个复位源引起，只要工作电压达到规定值，就会启动 IRC，同时振荡器运行，Flash控制器完成初始化。

一个持续50ns的低电平脉冲可以将器件复位。

当内部复位移除时，处理器就在地址 0 处开始运行，这里原先是从引导模块映射来的复位向量。这时，处理器和外设的所有寄存器已被初始化成预设值。

如果使用了深度掉电模式，需要在RESET引脚上增加一个上拉电阻。

7.13.6.2 掉电检测 (BOD, Brownout detection)

LPC111U1x设有4个电平值来监控VDD引脚上的电压。当VDD (3V3) 引脚上的电压低于任何一个选定的电平值时，BOD 就会向 NVIC 发出一个中断信号。为了引起 CPU 中断，该信号可以使能中断使能寄存器里的中断；如果不能，软件就会通过读取专门的状态寄存器来监控该信号。此外，这4个电平值还可以用于产生芯片强制复位的信号。

7.13.6.3 代码安全—代码读保护 (CRP, Code Read Protection)

LPC111U1x的该项功能允许用户使能系统中的不同安全级别，以便限制片内Flash的访问、ISP和SWD的使用。需要时，可通过在专用Flash位置编写特定格式的代码来调用CRP。IAP命令不受代码读保护的影响。

此外，负责进入ISP模式的引脚PIO0_1可以在不使用CRP的情况下被禁止，请参阅《LPC111U1x用户手册》以获得详细信息。

代码读保护有三个等级：

- (1) CRP1禁止了通过SWD对芯片的访问，允许使用一套限制的ISP命令对flash进行部分更新（flash扇区0除外）。当需要CRP，同样需要flash现场更新但不必将所有的扇区都擦除时，可使用此模式。
- (2) CRP1禁止了通过SWD对芯片的访问，只允许使用一套精简的ISP命令进行整个flash的擦除和更新。
- (3) 被设置为CRP3的应用程序将禁止通过SWD和ISP对芯片的全部访问。这个模式也有效地禁

止了通过拉低PIO0_1引脚进入ISP模式。用户的应用程序可决定是调用IAP来进行Flash更新还是通过UART重新调用ISP命令来进行Flash更新。.

**警告:**

如果选择了 CRP3, 那么以后就不能再对芯片进行出厂测试。

在这三个CRP等级之外, 有效的用户代码采样PIO0_1也可以被禁止, 请参阅《LPC111U1x用户手册》以获得详细信息。

7.13.6.4 APB 接口

APB外设位于APB总线上

7.13.6.5 AHBLite

AHBLite将ARM Cortex-M0的CPU总线、Flash存储器、主SRAM和Boot RAM联系在一起。

7.13.6.6 外部中断输入

所有的GPIO引脚都可以作为电平或边沿敏感的中断输入。

7.14. 仿真与调试

ARM Cortex-M0中集成了调试功能。除了一个标准的JTAG边界扫描, 还支持串行线调试 (SWD, Serial Wired Debug) 功能。ARM Cortex-M0支持高达4个断点和2个观察点。

RESET引脚的值决定采用JTAG边界扫描 (RESET = LOW) 或ARM SWD调试 (RESET = HIGH)。ARM SWD调试端口在LPC111U1x复位时出于禁止状态。

注意: 边界扫描操作必须在上电复位250uS后开始, 测试TAP必须在边界扫描后复位。边界扫描不受代码读保护 CRP 的影响。

8. 限定值

表5 限定值
按照最大额定系统（IEC 60134）

Symbol	Parameter	Conditions	Min	Max	Unit
V_{DD}	supply voltage (core and external rail)		1.8	3.6	V
V_I	input voltage	5 V tolerant I/O pins; only valid when the V_{DD} supply voltage is present	[2] -0.5	+5.5	V
I_{DD}	supply current	per supply pin	[3] -	100	mA
I_{SS}	ground current	per ground pin	[3] -	100	mA
I_{latch}	I/O latch-up current	$-(0.5V_{DD}) < V_I < (1.5V_{DD})$; $T_j < 125\text{ }^{\circ}\text{C}$	-	100	mA
T_{stg}	storage temperature		[4] -65	+150	$^{\circ}\text{C}$
$T_{j(max)}$	maximum junction temperature		-	150	$^{\circ}\text{C}$
$P_{tot(pack)}$	total power dissipation (per package)	based on package heat transfer, not device power consumption	-	1.5	W
V_{ESD}	electrostatic discharge voltage	human body model; all pins	[5] -6500	+6500	V

- [1] 以下情况适用于限定值：
- a. 产品包括为防止过大的静电效应对内部器件造成损坏而设计的特殊保护电路。然而，建议采用传统的保护措施以避免器件工作在超过最大额定值的情况。
 - b. 除非另有规定，参数在工作温度范围内有效。除非另有说明，所有的电压都是相对于VSS。
- [2] 包括3态输出模式下的电压；
- [3] 电流的峰值被限制在相应最大电流的25倍以下。
- [4] 和具体的封装形式有关
- [5] 人体模型：等效于一个100 pF的电容通过一个串联的1.5 kΩ的电阻放电。

9. 静态参数

表6 静态参数
除非特别说明， $T_{amb} = -40\text{ }^{\circ}\text{C}$ to $+85\text{ }^{\circ}\text{C}$

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
V _{DD}	supply voltage (core and external rail)		1.8	3.3	3.6	V
I _{DD}	supply current	Active mode; V _{DD} = 3.3 V; T _{amb} = 25 °C; code while(1){}				
		executed from flash;				
		system clock = 12 MHz	^{[2][3][4]} ^{[5][6][7]} -	2	-	mA
		system clock = 50 MHz	^{[3][4][5]} ^{[6][7][8]} -	8	-	mA
		Sleep mode; V _{DD} = 3.3 V; T _{amb} = 25 °C; system clock = 12 MHz	^{[2][3][4]} ^{[5][6][7]} -	1	-	mA
		Deep-sleep mode; V _{DD} = 3.3 V; T _{amb} = 25 °C	^{[3][6]} -	360	-	µA
		Power-down mode; V _{DD} = 3.3 V; T _{amb} = 25 °C	-	2	-	µA
		Deep power-down mode; V _{DD} = 3.3 V; T _{amb} = 25 °C	^[9] -	220	-	nA
Standard port pins, RESET						
I _{IL}	LOW-level input current	V _I = 0 V; on-chip pull-up resistor disabled	-	0.5	10	nA
I _{IH}	HIGH-level input current	V _I = V _{DD} ; on-chip pull-down resistor disabled	-	0.5	10	nA
I _{OZ}	OFF-state output current	V _O = 0 V; V _O = V _{DD} ; on-chip pull-up/down resistors disabled	-	0.5	10	nA
V _I	input voltage	pin configured to provide a digital function	^{[10][11]} ^[12] 0	-	5.0	V
V _O	output voltage	output active	0	-	V _{DD}	V
V _{IH}	HIGH-level input voltage		0.7V _{DD}	-	-	V
V _{IL}	LOW-level input voltage		-	-	0.3V _{DD}	V
V _{hys}	hysteresis voltage		-	0.4	-	V
V _{OH}	HIGH-level output voltage	2.0 V ≤ V _{DD} ≤ 3.6 V; I _{OH} = -4 mA	V _{DD} - 0.4	-	-	V
		1.8 V ≤ V _{DD} < 2.0 V; I _{OH} = -3 mA	V _{DD} - 0.4	-	-	V
V _{OL}	LOW-level output voltage	2.0 V ≤ V _{DD} ≤ 3.6 V; I _{OL} = 4 mA	-	-	0.4	V
		1.8 V ≤ V _{DD} < 2.0 V; I _{OL} = 3 mA	-	-	0.4	V
I _{OH}	HIGH-level output current	V _{OH} = V _{DD} - 0.4 V; 2.0 V ≤ V _{DD} ≤ 3.6 V	-4	-	-	mA
		1.8 V ≤ V _{DD} < 2.0 V	-3	-	-	mA

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
I _{OL}	LOW-level output current	V _{OL} = 0.4 V	4	-	-	mA
		2.0 V ≤ V _{DD} ≤ 3.6 V				
		1.8 V ≤ V _{DD} < 2.0 V	3	-	-	mA
I _{OHS}	HIGH-level short-circuit output current	V _{OH} = 0 V	[13] -	-	-45	mA
I _{OLS}	LOW-level short-circuit output current	V _{OL} = V _{DD}	[13] -	-	50	mA
I _{pd}	pull-down current	V _I = 5 V	10	50	150	μA
I _{pu}	pull-up current	V _I = 0 V;	-15	-50	-85	μA
		2.0 V ≤ V _{DD} ≤ 3.6 V				
		1.8 V ≤ V _{DD} < 2.0 V	-10	-50	-85	μA
		V _{DD} < V _I < 5 V	0	0	0	μA
High-drive output pin (PIO0_7)						
I _{IL}	LOW-level input current	V _I = 0 V; on-chip pull-up resistor disabled	-	0.5	10	nA
I _{IH}	HIGH-level input current	V _I = V _{DD} ; on-chip pull-down resistor disabled	-	0.5	10	nA
I _{OZ}	OFF-state output current	V _O = 0 V; V _O = V _{DD} ; on-chip pull-up/down resistors disabled	-	0.5	10	nA
V _I	input voltage	pin configured to provide a digital function	[10][11][12] 0	-	5.0	V
V _O	output voltage	output active	0	-	V _{DD}	V
V _{IH}	HIGH-level input voltage		0.7V _{DD}	-	-	V
V _{IL}	LOW-level input voltage		-	-	0.3V _{DD}	V
V _{hys}	hysteresis voltage		0.4	-	-	V
V _{OH}	HIGH-level output voltage	2.5 V ≤ V _{DD} ≤ 3.6 V; I _{OH} = -20 mA	V _{DD} - 0.4	-	-	V
		1.8 V ≤ V _{DD} < 2.5 V; I _{OH} = -12 mA	V _{DD} - 0.4	-	-	V
V _{OL}	LOW-level output voltage	2.0 V ≤ V _{DD} ≤ 3.6 V; I _{OL} = 4 mA	-	-	0.4	V
		1.8 V ≤ V _{DD} < 2.0 V; I _{OL} = 3 mA	-	-	0.4	V
I _{OH}	HIGH-level output current	V _{OH} = V _{DD} - 0.4 V;	20	-	-	mA
		2.5 V ≤ V _{DD} ≤ 3.6 V				
		1.8 V ≤ V _{DD} < 2.5 V	12	-	-	mA
I _{OL}	LOW-level output current	V _{OL} = 0.4 V	4	-	-	mA
		2.0 V ≤ V _{DD} ≤ 3.6 V				
		1.8 V ≤ V _{DD} < 2.0 V	3	-	-	mA
I _{OLS}	LOW-level short-circuit output current	V _{OL} = V _{DD}	[13] -	-	50	mA
I _{pd}	pull-down current	V _I = 5 V	10	50	150	μA
I _{pu}	pull-up current	V _I = 0 V	-15	-50	-85	μA
		2.0 V ≤ V _{DD} ≤ 3.6 V				
		1.8 V ≤ V _{DD} < 2.0 V	-10	-50	-85	μA
		V _{DD} < V _I < 5 V	0	0	0	μA

[1] 无法保证典型的评级，所列的值在室温（25℃）测得，标准电压供应。

[2] IRC使能;系统振荡器不可用;系统PLL不可用。

[3] IDD在所有引脚配置为GPIO输出驱动低电平且上拉电阻不可用的条件下测得

[4] BOD不可用。

[5] 在AHBCLKCTRL寄存器中所有外设都不可用。USART, SSP0/1的外设时钟在syscon模块中不可用。

[6] USB_DP 和 USB_DM可以从外部降低

[7]在功耗模式中运行设定的功耗时，低电流模式PWR_LOW_CURRENT被选中

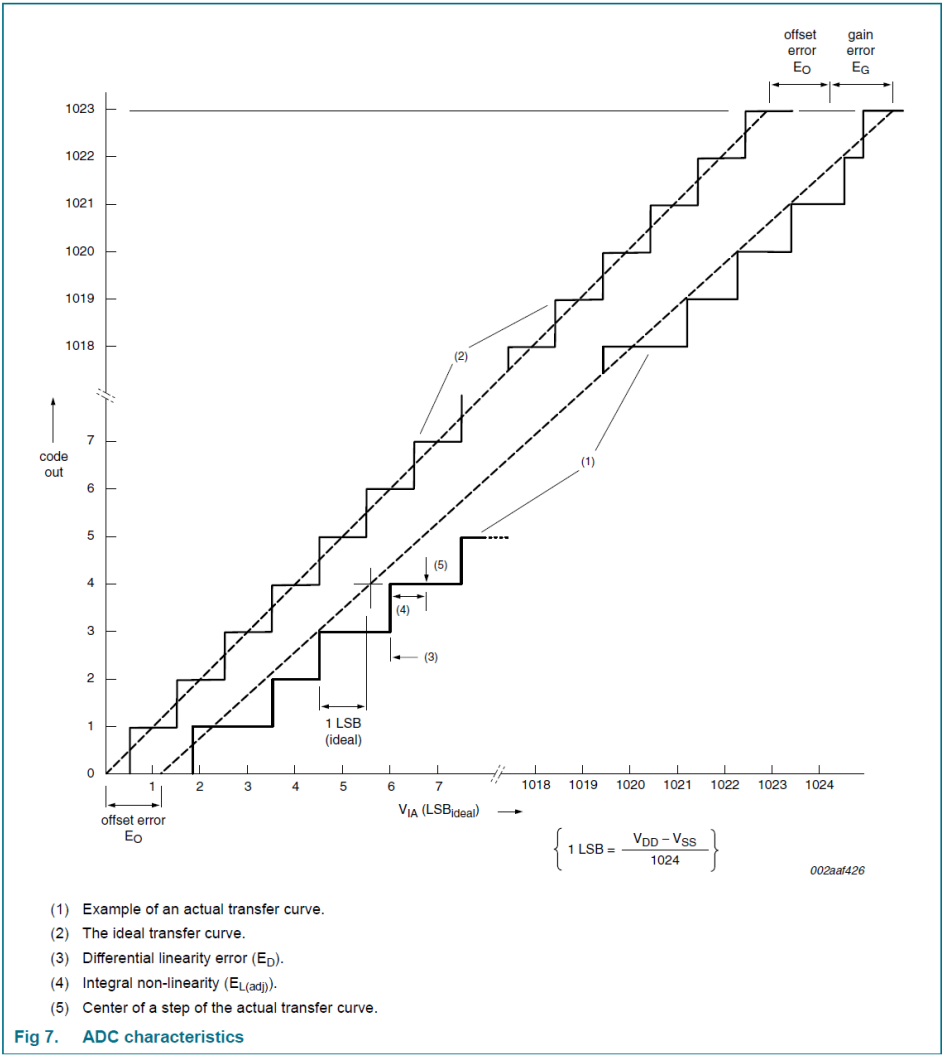
[8] IRC 不可用；系统振荡器可用；系统PLL可用

- [9] WAKEUP 引脚从外部拉高. 深度节电模式要求在重置引脚上有个外部上拉电阻
- [10] 包括3态输出模式下的电压
- [11] VDD供应电压要显示出来.
- [12] 3态输出在深度掉电模式中进入3态模式.
- [13] 只要电流不超过设备的最大电流就可以.
- [14] 相对于VSS.
- [15] 在USB_DP 和 USB_DM上包含阻值为 $33\ \Omega \pm 1\%$ 的外部电阻

表7 ADC静态参数

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{IA}	analog input voltage		0	-	V _{DD}	V
C _{ia}	analog input capacitance		-	-	1	pF
E _D	differential linearity error		[1][2]	-	±1	LSB
E _{L(adj)}	integral non-linearity		[3]	-	±1.5	LSB
E _O	offset error		[4]	-	±3.5	LSB
E _G	gain error		[5]	-	0.6	%
E _T	absolute error		[6]	-	±4	LSB
R _{VSI}	voltage source interface resistance		-	-	40	kΩ
R _i	input resistance		[7][8]	-	2.5	MΩ

- [1] ADC是单调的，没有丢失的编码；
- [2] 微分线性误差（ED）是实际步长和理想步长之间的差值。见图7。
- [3] 积分非线性(EL(adj))是实际步骤中心与经过适当调整增益和偏移误差的理想转换曲线之间的峰值差异。见图7。
- [4] 偏移误差(EO)是根据实际曲线近似的直线和根据理想曲线近似的直线之间的绝对偏差。见图7。
- [5] 增益误差(EG)是以百分数形式表示的相对误差，它是在去除偏移误差后根据实际转换曲线近似的直线和根据理想曲线近似的直线之间的偏差。
- [6] 绝对误差(ET)是非校准ADC实际转换曲线的步距中心和理想转换曲线之间的最大偏差。
- [7] T_{amb} = 25 ° C；最大采样频率f_s = 4.5 MHz，模拟输入电容值为C_{ia} = 1 pF。
- [8] 输入电阻R_i依赖于采样频率f_s: R_i = 1 / (f_s × C_{ia})。



9.1 静态参数

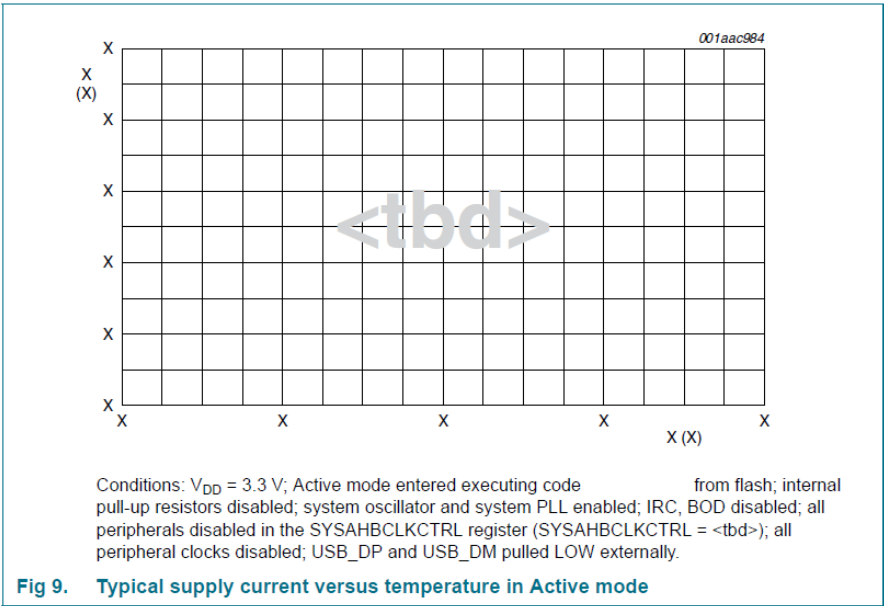
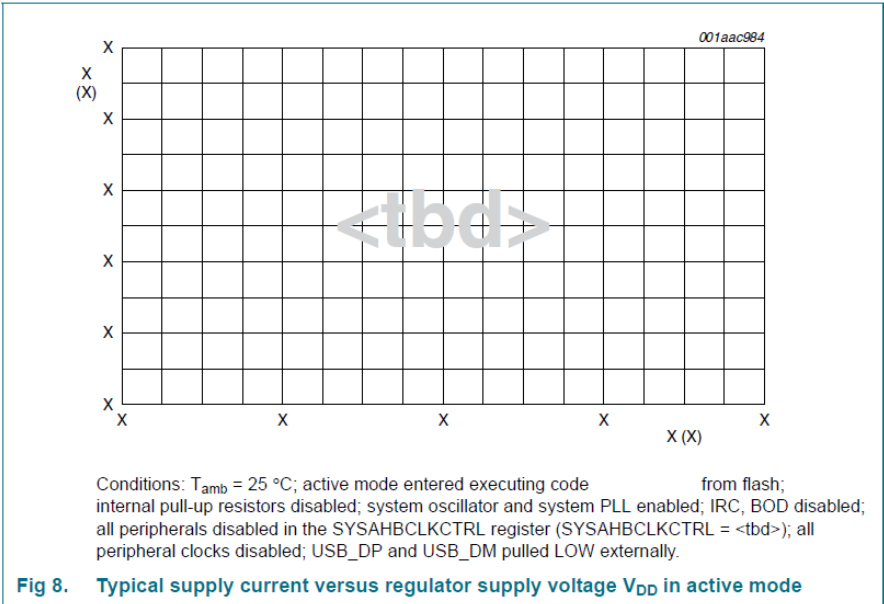
表9 BOD静态参数，温度25℃

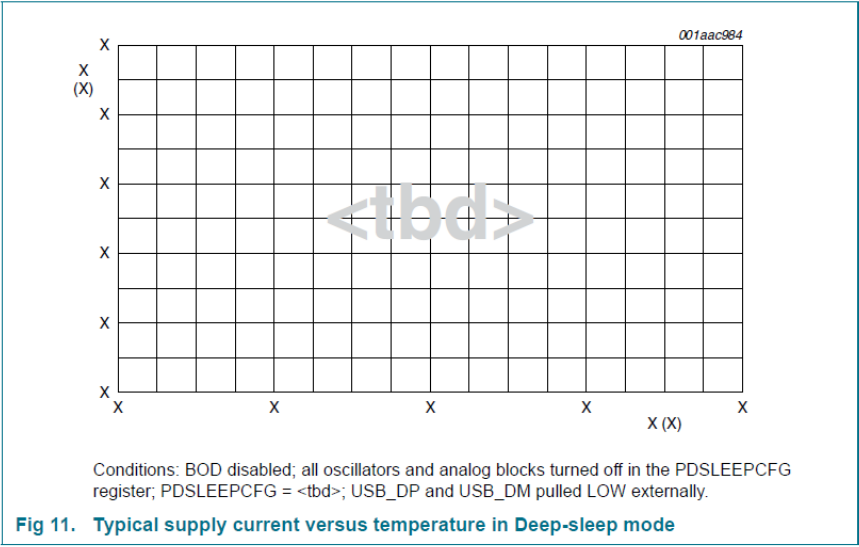
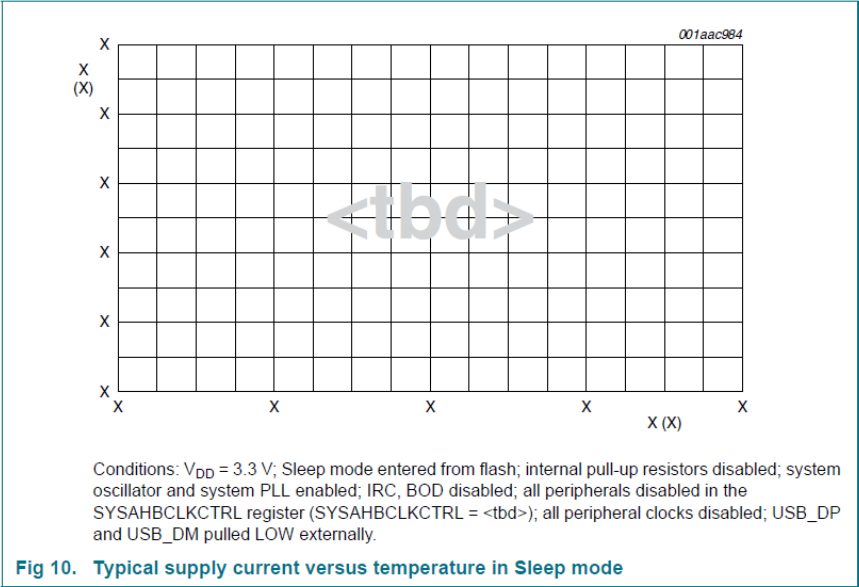
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{th}	threshold voltage	interrupt level 0				
		assertion	-	1.65	-	V
		de-assertion	-	1.80	-	V
		interrupt level 1				
		assertion	-	2.22	-	V
		de-assertion	-	2.35	-	V
		interrupt level 2				
		assertion	-	2.52	-	V
		de-assertion	-	2.66	-	V
		interrupt level 3				
		assertion	-	2.80	-	V
		de-assertion	-	2.90	-	V
		reset level 0				
		assertion	-	1.46	-	V
		de-assertion	-	1.63	-	V
		reset level 1				
		assertion	-	2.06	-	V
		de-assertion	-	2.15	-	V
		reset level 2				
		assertion	-	2.35	-	V
		de-assertion	-	2.43	-	V
		reset level 3				
		assertion	-	2.63	-	V
		de-assertion	-	2.71	-	V

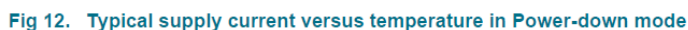
9.2 功耗

运行、睡眠和深度睡眠模式下的功率测量是在下面的条件下进行的（见LPC111U1x用户手册）：

- 在IOCON模块中将所有的引脚配置为GPIO，并禁止上拉电阻
- 使用GPIONDIR寄存器将GPIO引脚配置为输出
- 向所有GPIONDATA寄存器写0，使得输出为低电平



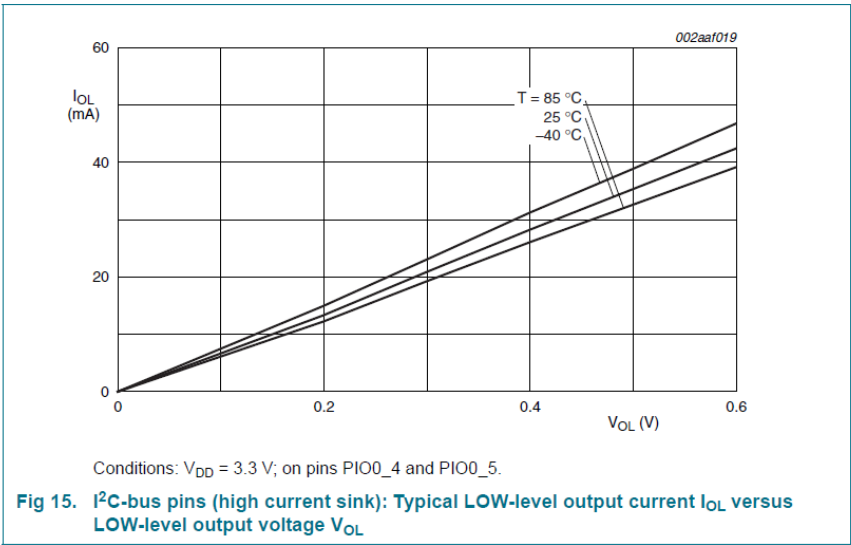
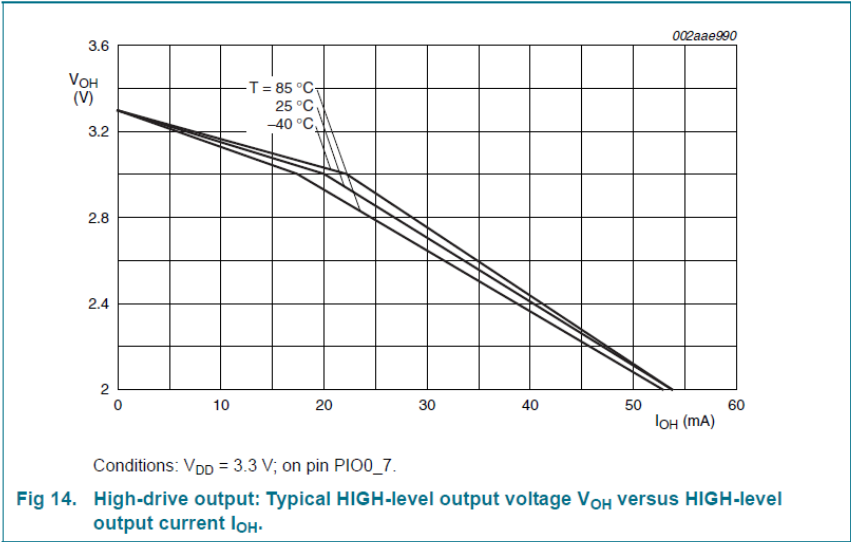


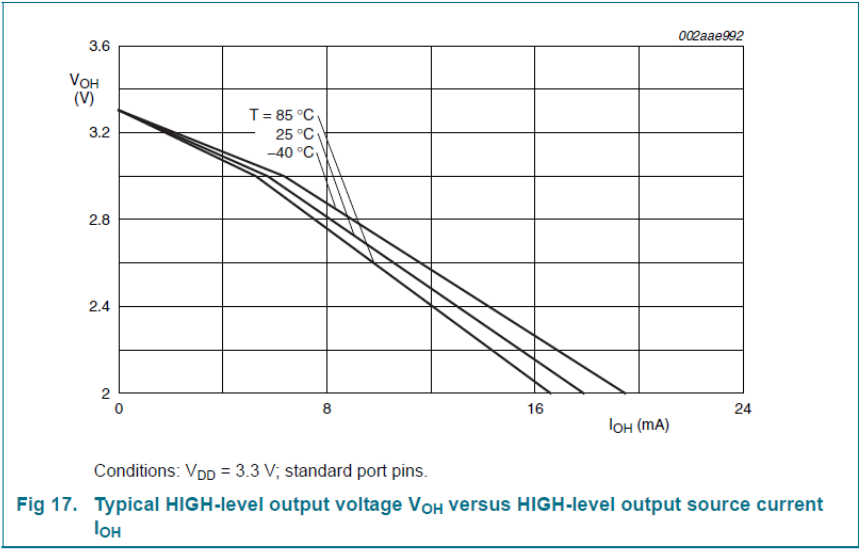
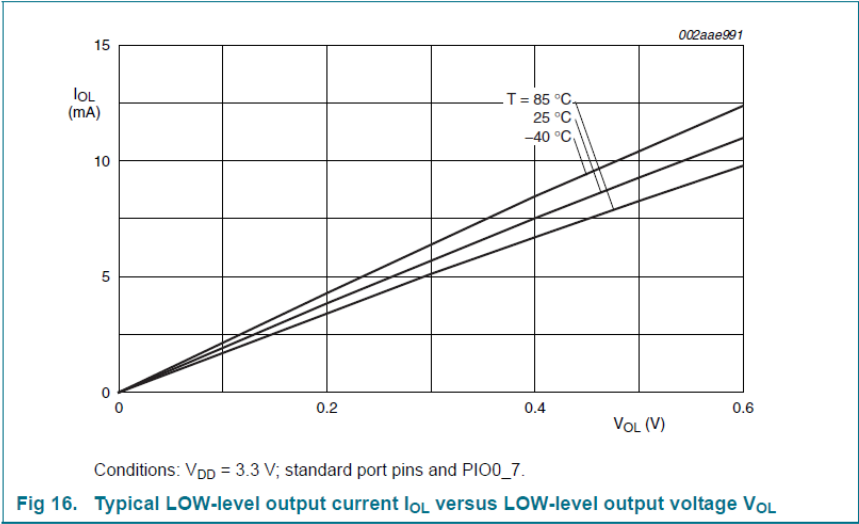


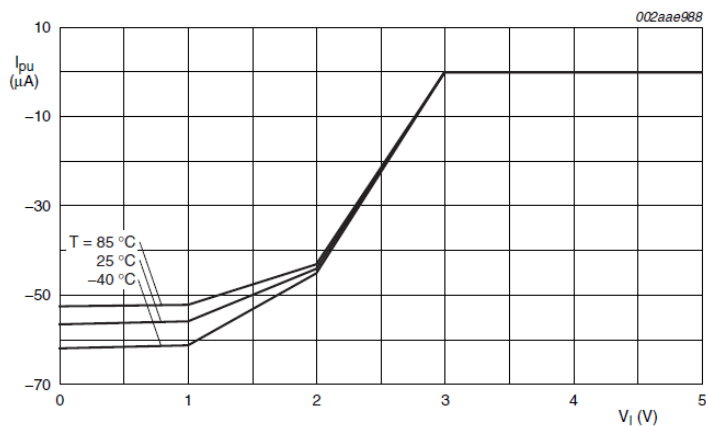
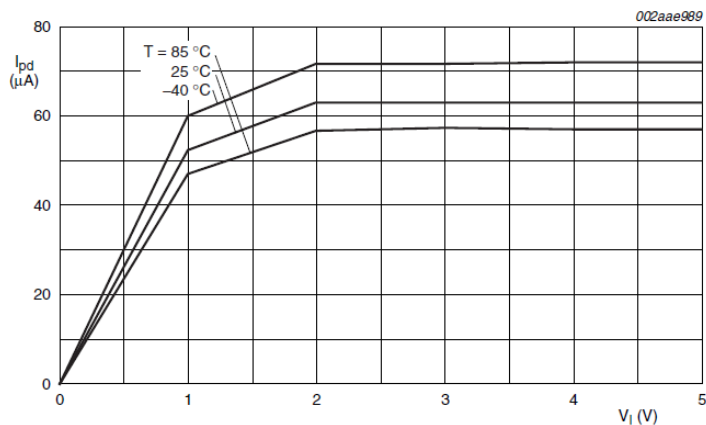
每个外设的供应电流是根据SYSAHBCLKCTRL or PDRUNCFG（模拟模块专用）寄存器中使能的外设模块和不可用的外设间供应电流的不同来衡量的。两个寄存器中所有模块都不可用，也不执行任何代码。于25℃在某个样品上测得。除非有特殊说明，系统的振荡器和PLL在测量时都处于运行状态。

	Typical supply current per peripheral in mA for different system clock frequencies				Notes
	n/a	12 MHz	<td> MHz	<td> MHz	
IRC	<td>	-	-	-	System oscillator running; PLL off; independent of main clock frequency.
System oscillator at 12 MHz	<td>	-	-	-	IRC running; PLL off; independent of main clock frequency.
Watchdog oscillator at 500 kHz/2	<td>	-	-	-	System oscillator running; PLL off; independent of main clock frequency.
BOD	<td>	-	-	-	Independent of main clock frequency.
Main PLL	-	<td>	-	-	
USB PLL	-	<td>	<td>	<td>	
ADC	-	<td>	<td>	<td>	
CLKOUT	-	<td>	<td>	<td>	Main clock divided by 4 in the CLKOUTDIV register.
CT16B0	-	<td>	<td>	<td>	
CT16B1	-	<td>	<td>	<td>	
CT32B0	-	<td>	<td>	<td>	
CT32B1	-	<td>	<td>	<td>	
GPIO	-	<td>	<td>	<td>	GPIO pins configured as outputs and set to LOW. Direction and pin state are maintained if the GPIO is disabled in the SYSAHBCLKCFG register.
IOCON	-	<td>	<td>	<td>	
I2C	-	<td>	<td>	<td>	
ROM	-	<td>	<td>	<td>	
SSP0	-	<td>	<td>	<td>	
SSP1	-	<td>	<td>	<td>	
USART	-	<td>	<td>	<td>	
WDT	-	<td>	<td>	<td>	Main clock selected as clock source for the WDT.
USB	-	-	<td>	-	Main clock selected as clock source for the USB. USB_DP and USB_DM pulled LOW externally.
USB	-	<td>	<td>	<td>	Dedicated USB PLL selected as clock source for the USB. USB_DP and USB_DM pulled LOW externally.

9.3 电气引脚参数





Fig 18. Typical pull-up current I_{pu} versus input voltage V_i Fig 19. Typical pull-down current I_{pd} versus input voltage V_i

10. 动态参数

10.1 闪存参数

$T_{amb} = -40\text{ }^{\circ}\text{C}$ to $+85\text{ }^{\circ}\text{C}$, 除非特别说明。

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
N _{endu}	endurance		[1] 10000	100000	-	cycles
t _{ret}	retention time	powered	10	-	-	years
		unpowered	20	-	-	years
t _{er}	erase time	sector or multiple consecutive sectors	95	100	105	ms
t _{prog}	programming time		[2] 0.95	1	1.05	ms

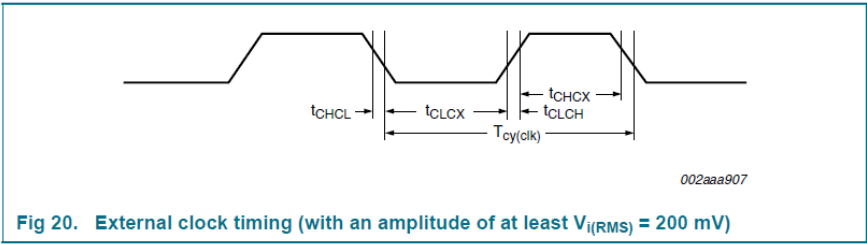
- [1]编程/擦写的周期数
- [2] Programming times给出了从RAM写256个字节到flash中的时间。数据必须以块（256字节）的形式写入到flash中。

10.2 外部时钟

表11. 动态参数：外部时钟
T_{amb} = -40 ° C to +85 ° C; VDD在指定的范围内。

Symbol	Parameter	Conditions	Min	Typ[2]	Max	Unit
f _{osc}	oscillator frequency		1	-	25	MHz
T _{cy(clk)}	clock cycle time		40	-	1000	ns
t _{CHCX}	clock HIGH time		T _{cy(clk)} × 0.4	-	-	ns
t _{CLCX}	clock LOW time		T _{cy(clk)} × 0.4	-	-	ns
t _{CLCH}	clock rise time		-	-	5	ns
t _{CHCL}	clock fall time		-	-	5	ns

- [1] 除非特别说明，各参数在工作温度范围内有效
- [2] 典型值并不是一成不变的。表中所列的值是在室温（25℃），标称电源电压下的值。



10.3 内置振荡器

表12. 动态参数：内部振荡器
T_{amb} = -40 ° C to +85 ° C; 2.7 V ≤ VDD ≤ 3.6 V.

Symbol	Parameter	Conditions	Min	Typ[2]	Max	Unit
f _{osc(RC)}	internal RC oscillator frequency	-	<td>	12	<td>	MHz

[1] 除非特别说明，各参数在工作温度范围内有效
[2] 典型值并不是一成不变的。表中所列的值是在室温（25℃），标称电源电压下的值。

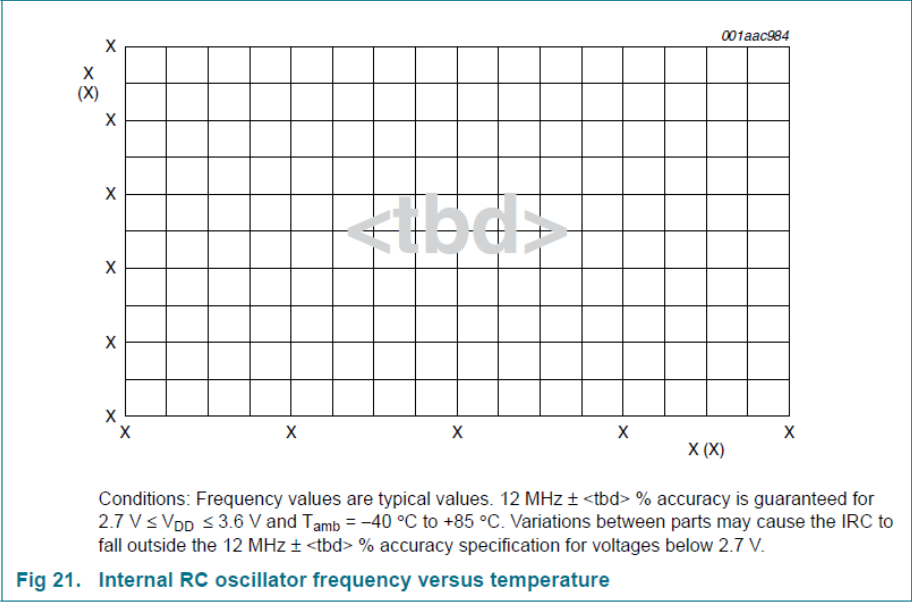


表13 动态参数：看门狗振荡器

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
f _{osc(int)}	internal oscillator frequency	DIVSEL = 0x1F, FREQSEL = 0x1 in the WDTOSCCTRL register;	[2][3] -	7.8	-	kHz
		DIVSEL = 0x00, FREQSEL = 0xF in the WDTOSCCTRL register	[2][3] -	1700	-	kHz

[1] 典型值并不是一成不变的。表中所列的值是在室温（25℃），标称电源电压下的值。
[2]在运行过程和温度下(Tamb = -40 ° C to +85 ° C)，典型频率的变化范围是±40%。
[3]参见LPC11U1x用户手册。

10.4 I/O 引脚

表14 动态特性：IO引脚
Tamb = -40 ° C to +85 ° C; 3.0 V $\leq$ VDD $\leq$ 3.6 V.

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
t _r	rise time	pin configured as output	3.0	-	5.0	ns
t _f	fall time	pin configured as output	2.5	-	5.0	ns

[1] 使用于标准接口引脚和RESET引脚

10.5 I2C 总线

表15 动态特性：I2C总线引脚

Tamb=-40° C到+85 ° C.

Symbol	Parameter	Conditions	Min	Max	Unit
f _{SCL}	SCL clock frequency	Standard-mode	0	100	kHz
		Fast-mode	0	400	kHz
		Fast-mode Plus	0	1	MHz
t _f	fall time	[4][5][6][7] of both SDA and SCL signals	-	300	ns
		Standard-mode			
		Fast-mode	20 + 0.1 × C _b	300	ns
		Fast-mode Plus	-	120	ns
t _{LOW}	LOW period of the SCL clock	Standard-mode	4.7	-	μs
		Fast-mode	1.3	-	μs
		Fast-mode Plus	0.5	-	μs
t _{HIGH}	HIGH period of the SCL clock	Standard-mode	4.0	-	μs
		Fast-mode	0.6	-	μs
		Fast-mode Plus	0.26	-	μs
t _{HD;DAT}	data hold time	[3][4][8] Standard-mode	0	-	μs
		Fast-mode	0	-	μs
		Fast-mode Plus	0	-	μs
t _{SU;DAT}	data set-up time	[9][10] Standard-mode	250	-	ns
		Fast-mode	100	-	ns
		Fast-mode Plus	50	-	ns

[1] 关于I2C总线的详细信息请参阅UM10204

[2] 除非特别说明，参数在工作温度范围内有效。

[3] t_{HD;DAT}是自SCL的下降沿开始测量的数据保持时间；适用于传输和应答的数据。

[4] 器件必须在内部为SDA信号提供至少300ns的保持时间（和SCL信号的VIH(min)时间有关），以桥接SCL下降沿的未定义区域。

[5] C_b是总线上的总电容值，单位是pF。

[6] SDA和SCL线上的t_f值指定为300ns。SDA输出级的最大下降时间t_f指定为250ns。这样就允许在SDA和SCL引脚之间和SDA和SCL线上连接一系列电阻，而不超过t_f指定的最大值。

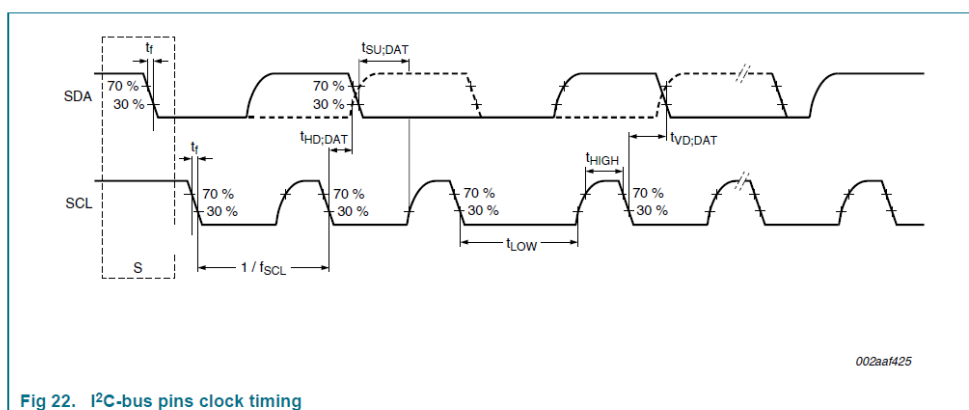
[7] 在Fast-mode Plus功能下，下降时间被规定为和输出级与总线时序一样。如果使用了串联电阻，设计师在考虑总线时序时可以允许这种情况。

[8] t_{HD;DAT}的最大值针对标准模式和快速模式可以分别是3.45 μs和0.9 μs，但转换时间必须小于t_{VD;DAT}或t_{VD;ACK}的最大值（见UM10204）。如果器件没有延长“低”时间（t_{LOW}），这个最大值必须符合。如果时钟延长了SCL，数据必须在释放时钟之前被set-up时间激活。

[9] t_{SU;DAT}是数据的set-up时间，是在SCL的上升沿测量的；适用于传输和应答的数据。

[10] 一个I2C总线快速模式的器件可以用于一个标准的I2C总线系统，但t_{SU;DAT}=250ns的条件必须满足。如果器件没有延长SCL信号的“低”时间，上述情况是自动完成的。如果器件延长了SCL信号的“低”时间，它就必须SCL线被

释放之前 $t_r(\text{max}) + t_{\text{SU;DAT}} = 1000 + 250 = 1250 \text{ ns}$ (根据I2C总线标准模式的详细说明) 向SDA线输出下一个数据位。
应答时序也必须满足这个set-up时间。



10.6 SSP 接口

表16 动态特性: SPI模式下的SPI引脚

Symbol	Parameter	Conditions	Min	Max	Unit
SSP master					
$T_{\text{cy}}(\text{clk})$	clock cycle time	when only receiving [1]	<tbid>	-	ns
		when only transmitting [1]	<tbid>	-	ns
t_{DS}	data set-up time	in SPI mode; $2.4 \text{ V} \leq V_{\text{DD}} \leq 3.6 \text{ V}$	<tbid>	-	ns
		$2.0 \text{ V} \leq V_{\text{DD}} < 2.4 \text{ V}$ [2]	<tbid>	-	ns
t_{DH}	data hold time	in SPI mode	<tbid>	-	ns
$t_{\text{V}}(\text{Q})$	data output valid time	in SPI mode	-	<tbid>	ns
$t_{\text{H}}(\text{Q})$	data output hold time	in SPI mode	<tbid>	-	ns
SSP slave					
$T_{\text{cy}}(\text{PCLK})$	PCLK cycle time		<tbid>	-	ns
t_{DS}	data set-up time	in SPI mode	[3][4] <tbid>	-	ns
t_{DH}	data hold time	in SPI mode	[3][4] <tbid>	$T_{\text{cy}}(\text{PCLK}) +$ <tbid>	ns
$t_{\text{V}}(\text{Q})$	data output valid time	in SPI mode	[3][4] -	<tbid> $\times T_{\text{cy}}(\text{PCLK}) +$ <tbid>	ns
$t_{\text{H}}(\text{Q})$	data output hold time	in SPI mode	[3][4] -	<tbid> $\times T_{\text{cy}}(\text{PCLK}) +$ <tbid>	ns

[1] $T_{\text{cy}}(\text{clk}) = (\text{SSPCLKDIV} \times (1 + \text{SCR}) \times \text{CPSDVSR}) / f_{\text{main}}$ 。来自SPI位速率的时钟周期 $T_{\text{cy}}(\text{clk})$ 是主时钟频率 f_{main} , SPI外设时钟分频系数(SSPCLKDIV), SPI的SCR参数 (在SSP0CR0寄存器中指定), SPI的CPSDVSR参数 (在SPI时钟预分频寄存器中指定) 的函数。

[2] $T_{\text{amb}} = -40^\circ \text{C}$ to 85°C .

[3] $T_{\text{cy}}(\text{clk}) = 12 \times T_{\text{cy}}(\text{PCLK})$.

[4] Tamb = 25 ° C;在标准的电源电压范围内: VDD = 3.3 V.

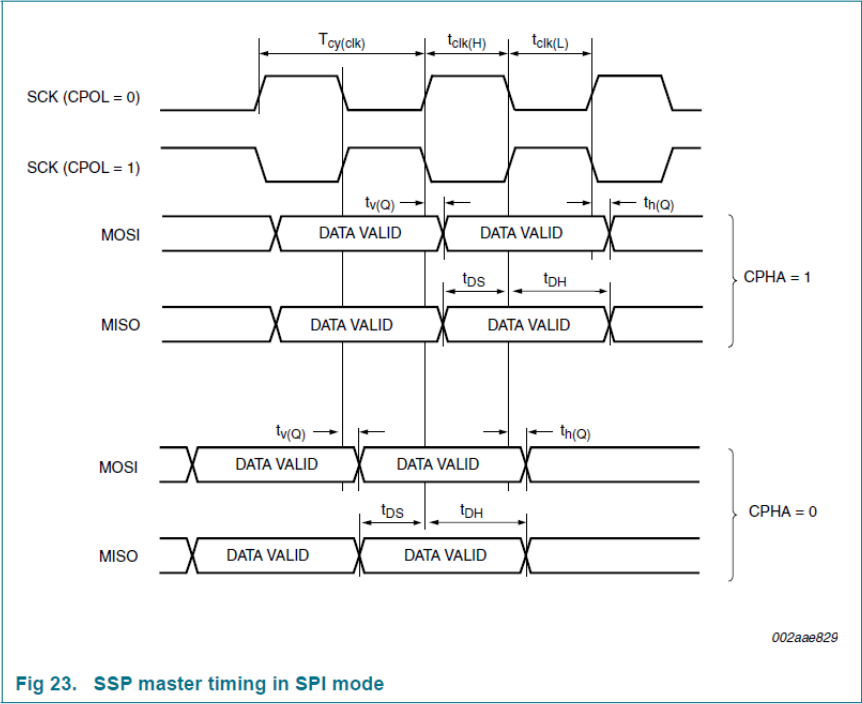


Fig 23. SSP master timing in SPI mode

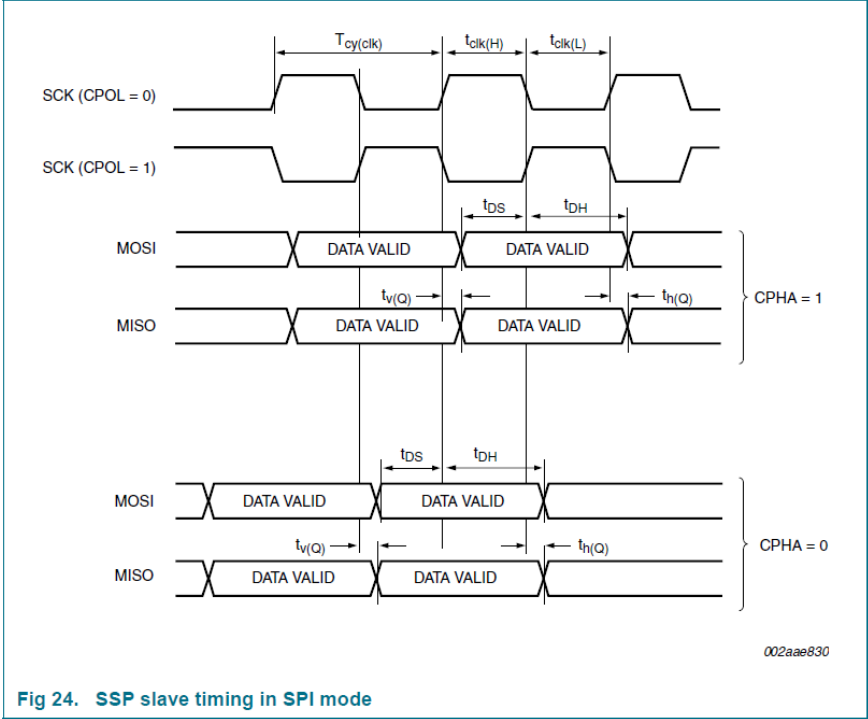


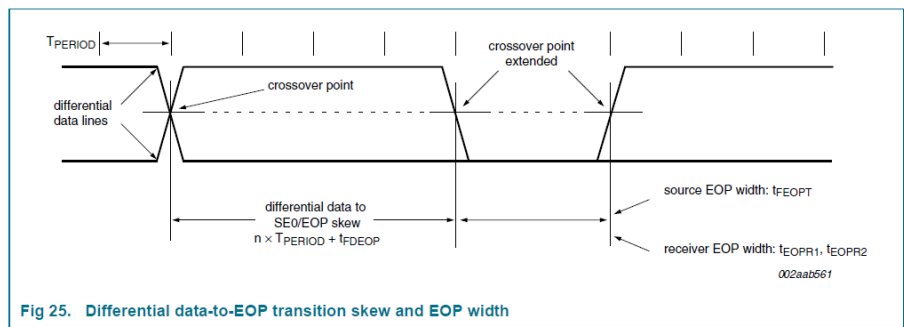
Fig 24. SSP slave timing in SPI mode

10.7 USB 接口

表17 动态参数: USB引脚 (全速)

$C_L=50\text{Pf};R_{pu}=1.5\text{k}\Omega$

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
t_r	rise time	10 % to 90 %	<td>	-	<td>	ns
t_f	fall time	10 % to 90 %	<td>	-	<td>	ns
t_{FRFM}	differential rise and fall time matching	t_r / t_f	-	-	<td>	%
V_{CRS}	output signal crossover voltage		<td>	-	<td>	V
t_{FEOPT}	source SE0 interval of EOP	see Figure 25	<td>	-	<td>	ns
t_{FDEOP}	source jitter for differential transition to SE0 transition	see Figure 25	<td>	-	<td>	ns
t_{JR1}	receiver jitter to next transition		<td>	-	<td>	ns
t_{JR2}	receiver jitter for paired transitions	10 % to 90 %	<td>	-	<td>	ns
t_{EOPR1}	EOP width at receiver	must reject as EOP; see Figure 25	[1] <td>	-	-	ns
t_{EOPR2}	EOP width at receiver	must accept as EOP; see Figure 25	[1] <td>	-	-	ns



11.11. 应用信息

11.1 USB 接口解决方案推荐

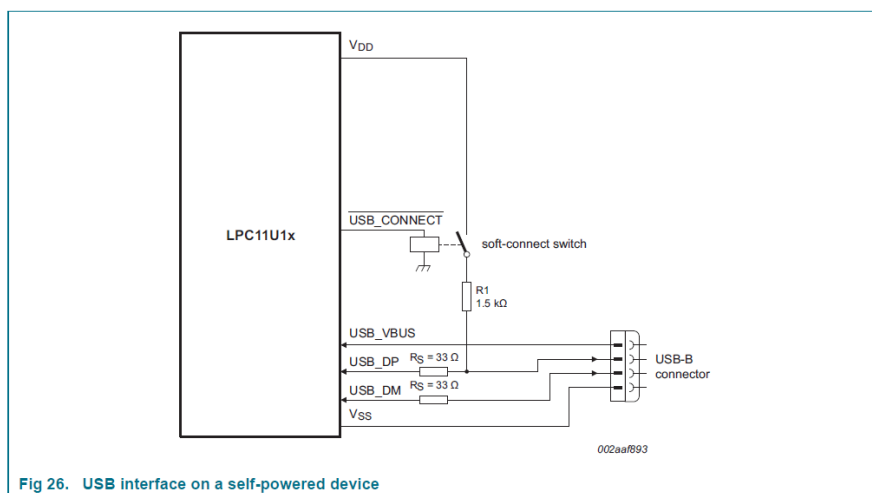


Fig 26. USB interface on a self-powered device

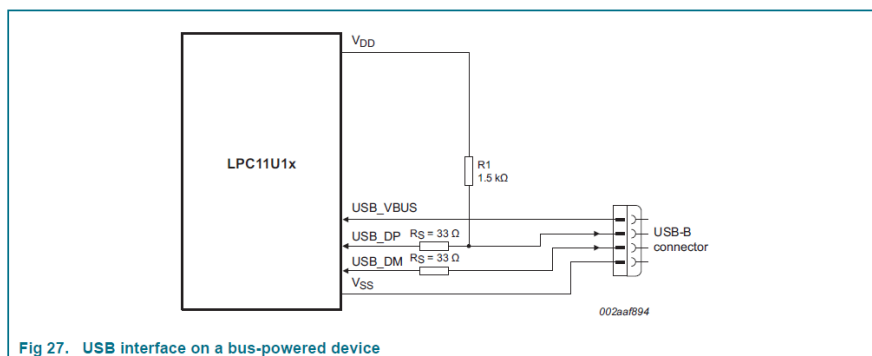
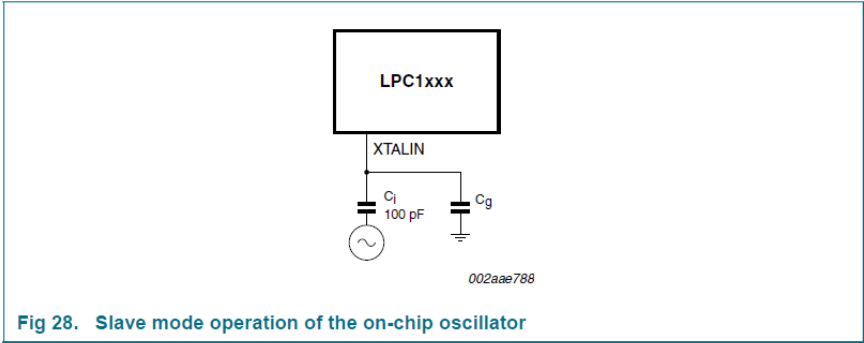


Fig 27. USB interface on a bus-powered device

11.2 XTAL 输入

片上振荡器的输入电压限制为 1.8V。如果振荡器被一个从模式的时钟驱动，建议时钟输入连接一个 $C_i = 100 \text{ pF}$ 的电容。为了将输入的电压限制在一个指定的范围内，选择一个连接到地的附加电阻 C_g ，这样就可以将输入电压变小，系数为 $C_i/(C_i+C_g)$ 。在从模式下，需要的最小值是 200 mV

(RMS)。



在从模式中，输入时钟信号应该连接一个100pF的电容（见图28），幅值在200 mV (RMS)到1000 mV (RMS)之间。这相当于拥有一个280mV和1.4之间振幅的方波信号。在这个模式下XTALOUT引脚可以不连接。

振荡模块使用的外部器件和模块如图29和表18、表19所示。由于反馈电阻被集成到了芯片中，所以在振荡器的基本模式下（基本频率通过L、CL和RS表示）只需要连接晶振和电容CX1和CX2。在图31中表示的电容并联CP应不大于7pF。参数FOSC、CL、RS和CP由晶振生产厂提供（见图29）。

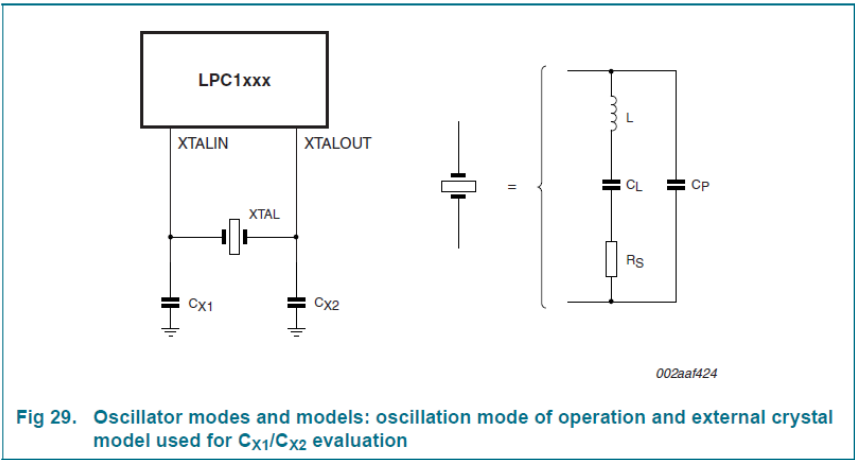


表18 振荡器低频模式下CX1/CX2的建议值（晶振和外部器件参数）

Fundamental oscillation frequency F_{Osc}	Crystal load capacitance C_L	Maximum crystal series resistance R_S	External load capacitors C_{X1}, C_{X2}
1 MHz - 5 MHz	10 pF	< 300 Ω	18 pF, 18 pF
	20 pF	< 300 Ω	39 pF, 39 pF
	30 pF	< 300 Ω	57 pF, 57 pF

Fundamental oscillation frequency F_{Osc}	Crystal load capacitance C_L	Maximum crystal series resistance R_S	External load capacitors C_{X1}, C_{X2}
5 MHz - 10 MHz	10 pF	< 300 Ω	18 pF, 18 pF
	20 pF	< 200 Ω	39 pF, 39 pF
	30 pF	< 100 Ω	57 pF, 57 pF
10 MHz - 15 MHz	10 pF	< 160 Ω	18 pF, 18 pF
	20 pF	< 60 Ω	39 pF, 39 pF
15 MHz - 20 MHz	10 pF	< 80 Ω	18 pF, 18 pF

Table 19. Recommended values for C_{X1}/C_{X2} in oscillation mode (crystal and external components parameters) high frequency mode

Fundamental oscillation frequency F_{Osc}	Crystal load capacitance C_L	Maximum crystal series resistance R_S	External load capacitors C_{X1}, C_{X2}
15 MHz - 20 MHz	10 pF	< 180 Ω	18 pF, 18 pF
	20 pF	< 100 Ω	39 pF, 39 pF
20 MHz - 25 MHz	10 pF	< 160 Ω	18 pF, 18 pF
	20 pF	< 80 Ω	39 pF, 39 pF

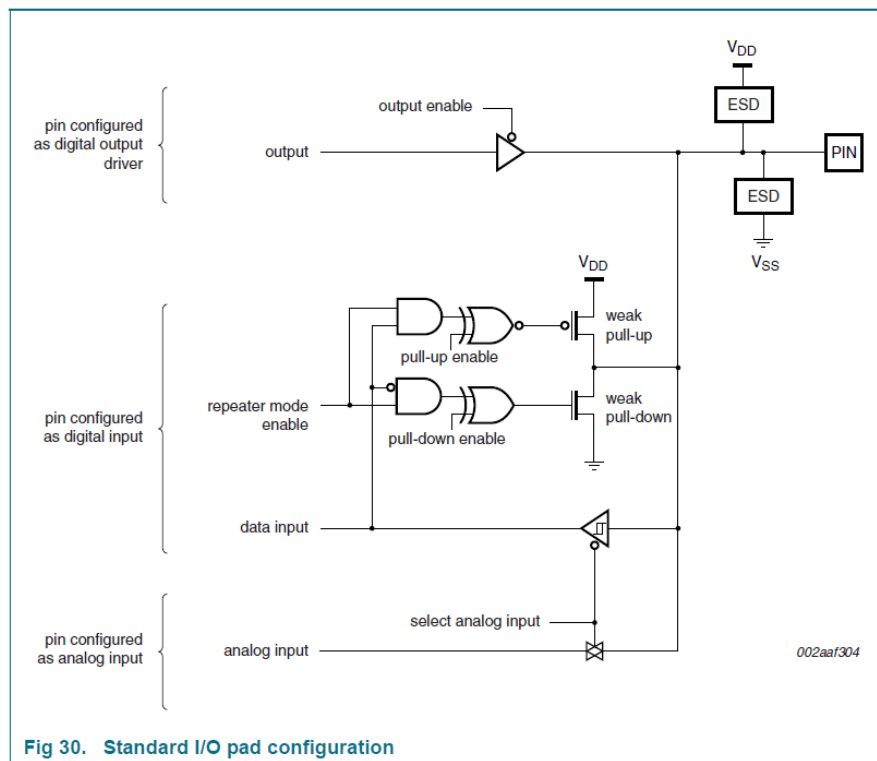
11.3 XTAL 印制电路板 (PCB) 布板指导

PCB板上的晶振应尽量靠近芯片振荡器的输入和输出引脚。注意，负载电容 C_{X1} ， C_{X2} 和使用第三泛音晶振时用到的 C_{X3} 有一个共同的地。外部的器件也必须连接到这个地。为了使通过PCB的噪声耦合尽量小，应使回路尽量小。寄生噪声也应该尽量小。 C_{X1} 和 C_{X2} 的取值应根据PCB板寄生噪声的增加而减小。

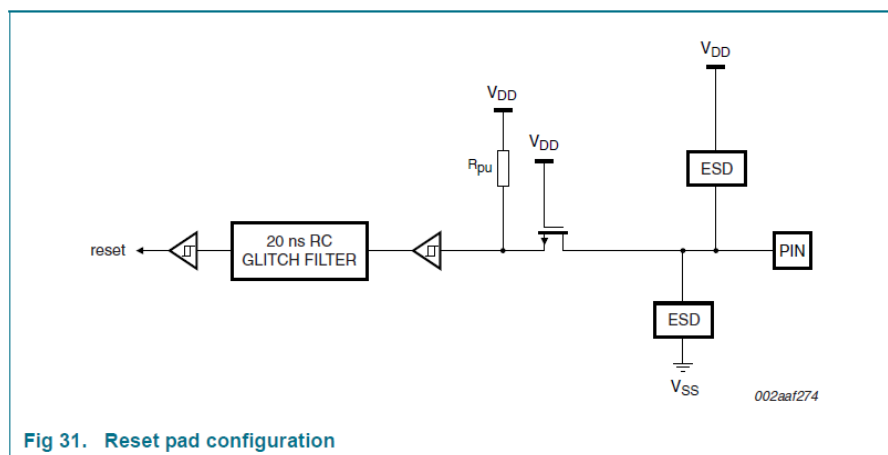
11.4 标准 I/O 引脚配置

图30展示了带模拟输入功能的标准IO引脚的可能引脚模式：

- 数字输出驱动
- 数字输入：上拉使能/禁止
- 数字输入：下拉使能/禁止
- 数字输入：重复模式使能/禁止
- 模拟输入



11.5 复位引脚配置



11.6 ADC 使用说明

如下指南显示了除表7所列的ADC规格外，如何在一个有噪声干扰的环境中提高ADC的性能：

- ADC 输入信号线必须简短且尽可能与LPC11U1x芯片紧密靠近
- 若ADC 输入信号线位于快速跳变的数字信号和噪声严重的电源线附近时，则最好外加屏蔽
- 因为ADC和数字内核使用同一电源，因此电源必须充分滤波
- 为了在有干扰的环境中提高ADC的性能，在ADC转换时将芯片设置在睡眠模式

12. 封装概览

HVQFN33: plastic thermal enhanced very thin quad flat package; no leads;
33 terminals; body 7 x 7 x 0.85 mm

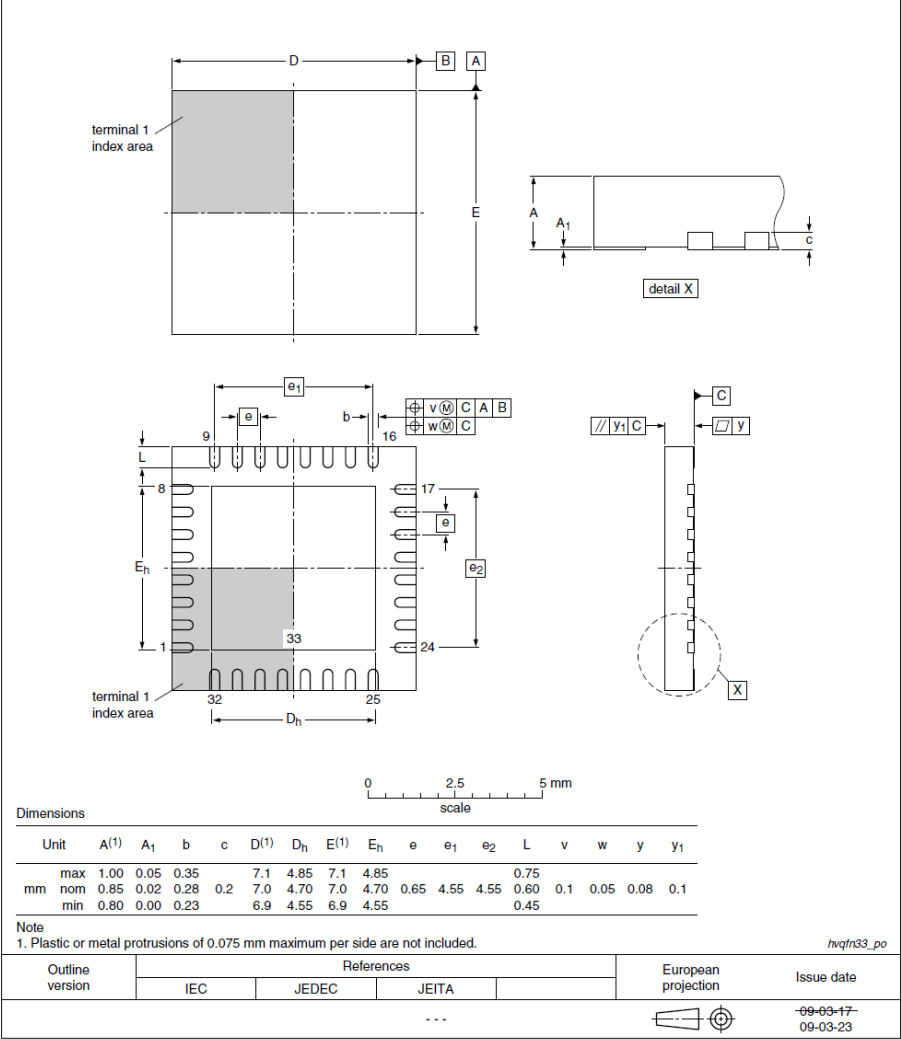


Fig 32. Package outline HVQFN33

LQFP48: plastic low profile quad flat package; 48 leads; body 7 x 7 x 1.4 mm

SOT313-2

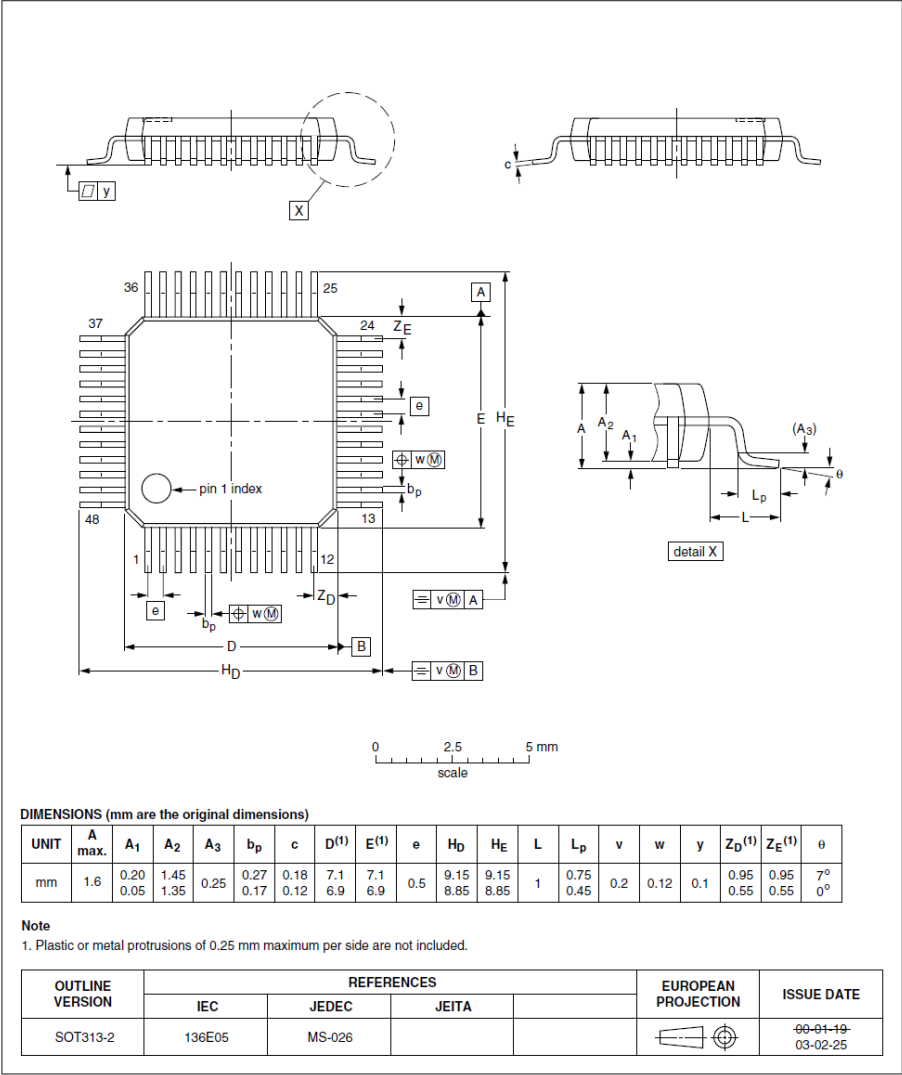


Fig 33. Package outline LQFP48 (SOT313-2)

SOT1155-2



13. 缩写

表20 缩写

Acronym	Description
A/D	Analog-to-Digital
ADC	Analog-to-Digital Converter
AHB	Advanced High-performance Bus
APB	Advanced Peripheral Bus
BOD	BrownOut Detection
GPIO	General Purpose Input/Output
JTAG	Joint Action Test Group
PLL	Phase-Locked Loop
RC	Resistor-Capacitor
SPI	Serial Peripheral Interface
SSI	Serial Synchronous Interface
SSP	Synchronous Serial Port
TAP	Test Access Port
USART	Universal Synchronous Asynchronous Receiver/Transmitter

14. 修订记录

表21 修订记录

Document ID	Release date	Data sheet status	Change notice	Supersedes
LPC11U1X v.1	20110411	Objective data sheet	-	-

15. 免责声明

有限保修和责任—本文档中的信息被认为是准确和可靠的。然而，对于信息的准确性和完整性，恩智浦半导体公司不给予任何陈述或担保，明示或暗示，对于此类信息的使用后果不负任何责任。

在任何情况下，恩智浦半导体不会承担任何间接、意外发生、惩罚性、特别或相关性的损害赔偿（包括单不限于利润损失、储蓄损失、业务中断、有关去除或更换任何产品的费用或返工费用），不管这些损害赔偿是基于侵权（包括疏忽）、保修、违约合同或其他法律理论。

对于客户无论任何理由可能招致的任何损害，恩智浦半导体为在这里所提到的产品的汇总和累积责任应限制在恩智浦半导体商业销售的条款及条件里面。

变更的权利—恩智浦半导体有权在任何时间对此文件发布的信息(包括单不限于规格和产品说明)做出任何改动。本文件将取代所有之前所公布的信息。

适用性—恩智浦半导体产品并非为那些用于对生命和安全有重大关系的系统和设备而设计、授权或提供保证，也不用于那些可以合理预见到的因恩智浦半导体的产品的故障会造成人身伤害、甚至死亡、或是严重的财产或环境损害的应用程序中。恩智浦半导体的产品如果应用在此类的设备或应用程序中，恩智浦半导体对所此造成的风险将不承担任何责任,因此这些风险有客户自行承担。

应用—在这里所描述有关产品的任何应用程序仅用于说明的目的。在没有进一步的测试或修改的情况下，恩智浦半导体对该应用程序对指定用途是否合适不作任何表示或保证。

客户应对其使用恩智浦半导体产品的应用以及产品的设计和运行自行负责，恩智浦半导体不负责协助应用程序或客户的产品设计。同时，客户应自行负责决定恩智浦产品是否适合客户应用、计划产品、计划的应用程序以及第三方客户使用。客户应提供适当的设计和运行的保障措施以尽量减少其产品与应用的相关风险。

因客户的应用或产品的弱点或缺陷所产生的，或因使用其第三方客户的产品而产生的任何缺陷、损失、费用支出和问题，恩智浦半导体不承担任何责任。客户应负责为其使用恩智浦半导体芯片的产品或应用以及其第三方客户使用产品或应用做必要的测试，以避免使用不当而造成不必要的损失。恩智浦对此方面不承担任何责任。

限制值—超过一个或多个限制值（如在 IEC60134 的绝对值最大额定定义）的施压会对设备造成永久的损害。限制值只强调额定功率，这个设备的操作除了应用在此文件中所提到的“推荐工作条件”和“特征”部分之外，恩智浦半导体不担保超过上述要求的操作。恒定或反复超出限制值将永久地和不可逆转地影响设备的质量和可靠性。

商业销售条件—恩智浦半导体产品的销售适用公布于 <http://www.nxp.com/profile/terms> 网站上的通用商业销售条款，除非另存一个单独有效的书面协议，在这种情况下，将适用该单独有效的书面协议之条款和条件。关于客户采购恩智浦半导体产品，恩智浦半导体在此明确拒绝适用客户的通用条款和条件。

不构成任何出售要约或许可—本文中任何部分都不可被翻译或解释成可以开放接受或授予、转让或任何暗示许可版权、专利或其它工业或知识产权的销售产品要约。

出口控制—本文件以及其项目描述可能受出口管制条例限制。出口可能需事先获得国家机关许可。

非车规级产品—除非数据手册明确标出此恩智浦半导体产品为车规级，否则该产品不适合于汽车应用。该产品未在汽车产品测试和应用条件下经测试和质量认证。恩智浦半导体对客户将非车规产品运用在汽车设备 and 应用中不承担任何责任。

当客户使用该产品设计并在使用在需要车规级规格和标准的汽车应用时，(1) 客户在该汽车应用、使用和规格中使用恩智浦半导体产品时，不在恩智浦半导体对该产品的保证范围内；(2) 当在汽车应用中使用超出恩智浦半导体规格的产品，客户应该自行承担风险；(3) 因客户超标准和产品规格使用恩智浦半导体产品导致的影响、损坏和失效产品索赔，客户不能要求恩智浦半导体进行赔偿。

This translated version is for reference only, and the English version shall prevail in case of any discrepancy between the translated and English versions.

版权所有 2011 恩智浦有限公司 未经许可，禁止转载此文档仅供参考。任何内容变更以官方英文数据手册为准。

Formatted: Centered