



LPC11E1x

32 位 ARM Cortex-M0 微控制器；最高 32 kB 闪存；10 kB SRAM 和 4 kB EEPROM；USART

修订版：1 — 2012 年 2 月 20 日

产品数据手册

1. 简介

LPC11E1x 是基于 ARM Cortex-M0 的低成本 32 位 MCU 系列产品，专用于 8 位或 16 位微控制器应用。它性能高、功耗低，支持简单指令集和内存寻址，与现有的 8 位或 16 位架构相比，代码尺寸更小。

LPC11E1x 以高达 50 MHz 的 CPU 频率工作。

LPC11E1x 上的补充外设包括高达 32 kB 的闪存、10 kB SRAM 数据存储器、4 kB EEPROM、一个超快速模式 I²C 总线接口、一个支持同步模式和智能卡接口的 RS-485/ EIA-485 USART、两个 SSP 接口、四个通用计数器/定时器、一个 10 位 ADC 和最多 54 个通用 I/O 引脚。

2. 特性和优势

- 系统：
 - ◆ ARM Cortex-M0 处理器，工作频率高达 50 MHz。
 - ◆ ARM Cortex-M0 内置可嵌套向量中断控制器 (NVIC)。
 - ◆ 可以从多个输入源选择非屏蔽中断 (NMI) 输入。
 - ◆ 系统定时器。
- 存储器：
 - ◆ 最高 32 kB 片内闪存程序存储器。
 - ◆ 最高 4 kB 片内 EEPROM 数据存储器；字节可擦除和可编程。
 - ◆ 最高 10 kB SRAM 数据存储器。
 - ◆ 16 kB Boot ROM，包括 32 位整数除法程序和功率配置。
 - ◆ 闪存和 EEPROM 的在系统编程 (ISP) 以及在应用编程 (IAP) 通过片内启动引导程序软件执行。
- 调试选项：
 - ◆ 用于 BSDL 的标准 JTAG 测试接口。
 - ◆ 串行线调试。



- 数字外设：
 - ◆ 多达 54 个通用 I/O (GPIO) 引脚，可配置为上拉 / 下拉电阻、中继模式和开漏模式。
 - ◆ 最多可以选择 8 个 GPIO 引脚作为边沿和电平触发中断源。
 - ◆ 2 个 GPIO 分组中断模块基于一组 GPIO 引脚的输入状态的可编程模式使能中断。
 - ◆ 一个引脚上的大电流源输出驱动器 (20 mA)。
 - ◆ 真开漏引脚上的大电流吸收驱动器 (20 mA)。
 - ◆ 四个通用计数器 / 定时器，总共具有多达 8 个捕获输入和 13 个匹配输出。
 - ◆ 可编程窗口化看门狗定时器 (WWDT)，包含专用的内部低功率看门狗振荡器 (WDO)。
- 模拟外设：
 - ◆ 10 位 ADC，输入在 8 个引脚中多路复用。
- 串行接口：
 - ◆ USART，生成小数波特率，内部 FIFO，全调制解调器控制信号交换接口，支持 RS-485/9 位模式以及同步模式。USART 支持异步智能卡接口 (ISO 7816-3)。
 - ◆ 两个 SSP 控制器，搭载 FIFO 和多协议功能。
 - ◆ I²C 总线接口，支持完整 I²C 总线规范以及超快速模式（可识别多个地址且数据速率高达 1 Mbit/s）和监控模式。
- 时钟生成：
 - ◆ 晶振的工作频率范围为 1 MHz 至 25 MHz（系统振荡器）。
 - ◆ 12 MHz 高频内部 RC 振荡器 (IRC)，可选择性地用作系统时钟。
 - ◆ 内部低功率低频看门狗振荡器 (WDO)，具有可编程频率输出。
 - ◆ 系统振荡器或 IRC 作为时钟源时，PLL 允许 CPU 以最大 CPU 速率运行。
 - ◆ 时钟输出功能，其中分频器可反映系统振荡器、主时钟、IRC 或看门狗振荡器。
- 功率控制：
 - ◆ 集成 PMU（电源管理单元）可最大程度降低睡眠模式、深度睡眠模式、掉电模式和深度掉电模式的功耗。
 - ◆ 功率配置驻留在 Boot ROM 内，可通过一次简单函数调用，针对任何给定应用来优化性能并最大限度降低功耗。
 - ◆ 4 种节能模式：睡眠模式、深度睡眠模式、掉电模式和深度掉电模式。
 - ◆ 通过复位、可选的 GPIO 引脚或看门狗中断从深度睡眠模式和掉电模式唤醒处理器。
 - ◆ 使用一个特殊功能引脚从深度掉电模式唤醒处理器。
 - ◆ 上电复位 (POR)。
 - ◆ 掉电检测，设有 4 个独立的阈值可触发中断和强制复位。
- 识别器件的唯一序列号。
- 3.3 V 单电源（1.8 V 至 3.6 V）。
- 温度范围 -40 °C 至 +85 °C。
- 提供 LQFP64、LQFP48 和 HVQFN33 封装。

3. 应用

- 消费电子外设

■ 手持式扫描仪
- 医疗行业

■ 工业控制

4. 订购信息

表 1. 订购信息

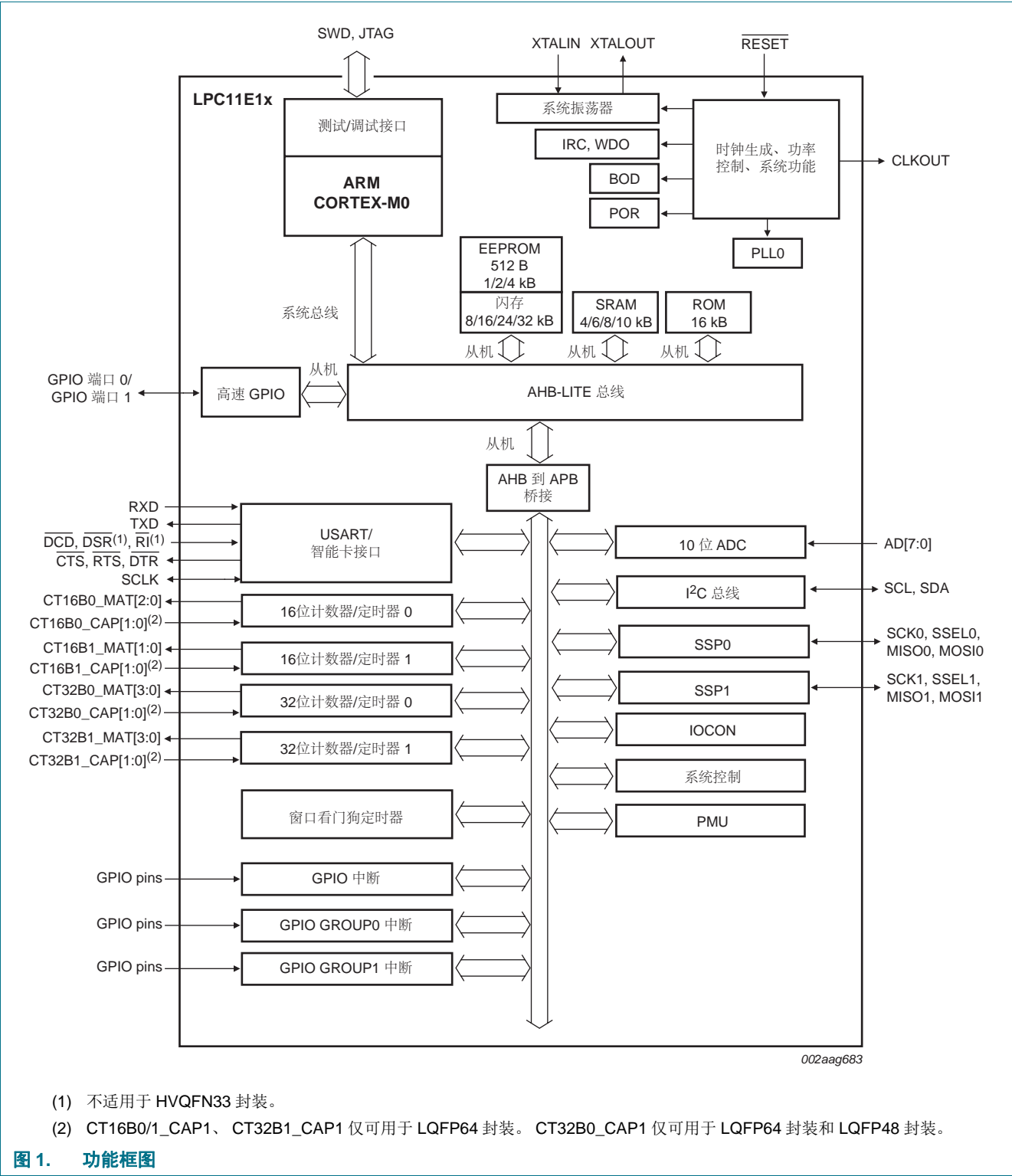
产品型号	封装		
	名称	描述	版本
LPC11E11FHN33/101	HVQFN33	塑料热性能优化型超薄四侧扁平封装；无引脚； 33 个端子； 主体尺寸 7 × 7 × 0.85 mm	不适用
LPC11E12FBD48/201	LQFP48	塑封薄型四侧扁平封装； 48 引脚；主体尺寸 7 × 7 × 1.4 mm	SOT313-2
LPC11E13FBD48/301	LQFP48	塑封薄型四侧扁平封装； 48 引脚；主体尺寸 7 × 7 × 1.4 mm	SOT313-2
LPC11E14FHN33/401	HVQFN33	塑料热性能优化型超薄四侧扁平封装；无引脚； 33 个端子； 主体尺寸 7 × 7 × 0.85 mm	不适用
LPC11E14FBD48/401	LQFP48	塑封薄型四侧扁平封装； 48 引脚；主体尺寸 7 × 7 × 1.4 mm	SOT313-2
LPC11E14FBD64/401	LQFP64	塑封薄型四侧扁平封装； 64 引脚；主体尺寸 10 × 10 × 1.4 mm	SOT314-2

4.1 订购选项

表 2. 器件订购选项

器件编号	闪存	EEPROM	SRAM	I ² C 总线 FM+	USART	SSP	ADC 通道	GPIO
LPC11E11FHN33/101	8 kB	512 B	4 kB	1	1	2	8	28
LPC11E12FBD48/201	16 kB	1 kB	6 kB	1	1	2	8	40
LPC11E13FBD48/301	24 kB	2 kB	8 kB	1	1	2	8	40
LPC11E14FHN33/401	32 kB	4 kB	10 kB	1	1	2	8	28
LPC11E14FBD48/401	32 kB	4 kB	10 kB	1	1	2	8	40
LPC11E14FBD64/401	32 kB	4 kB	10 kB	1	1	2	8	54

5. 功能框图



6. 引脚信息

6.1 引脚配置

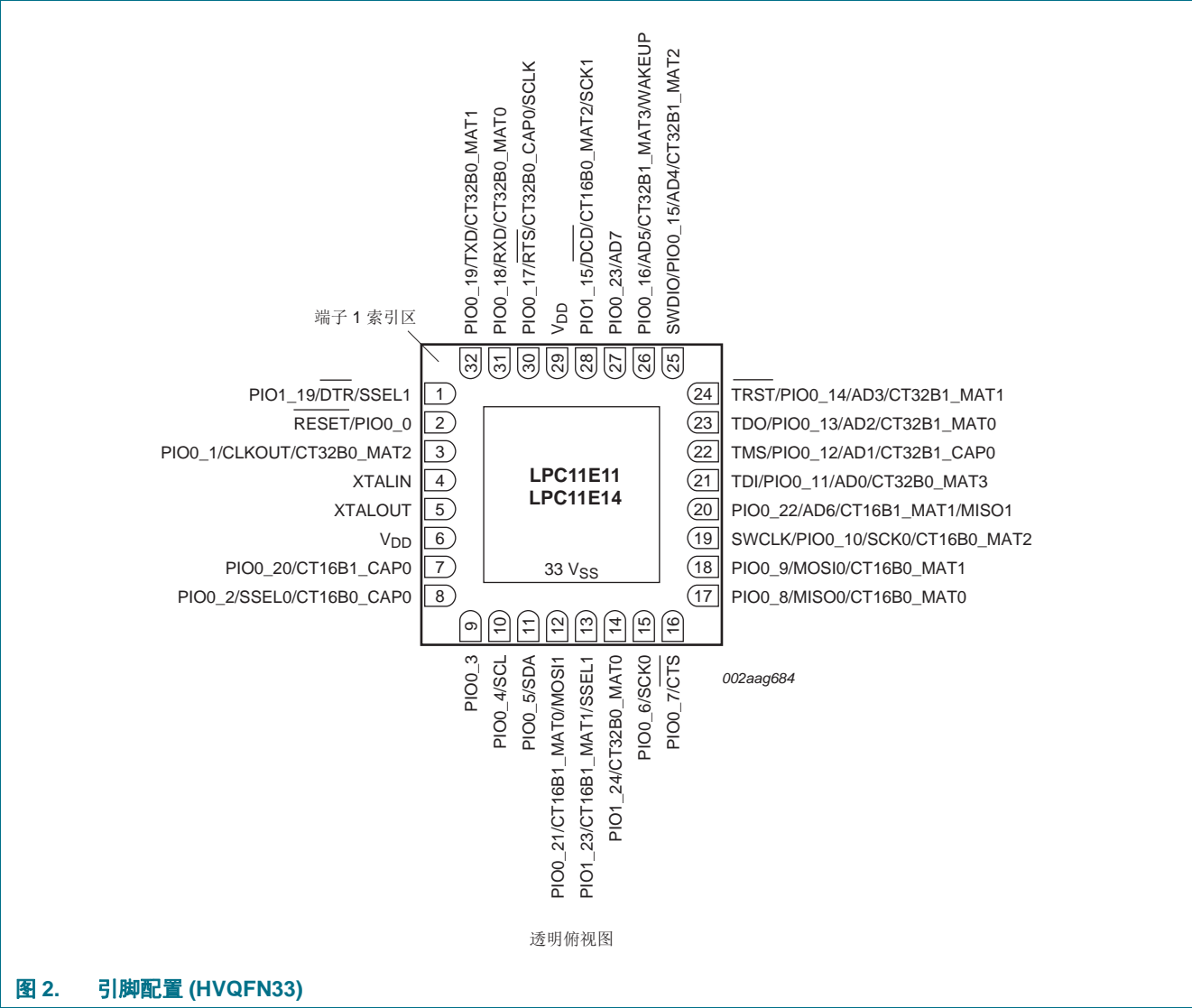
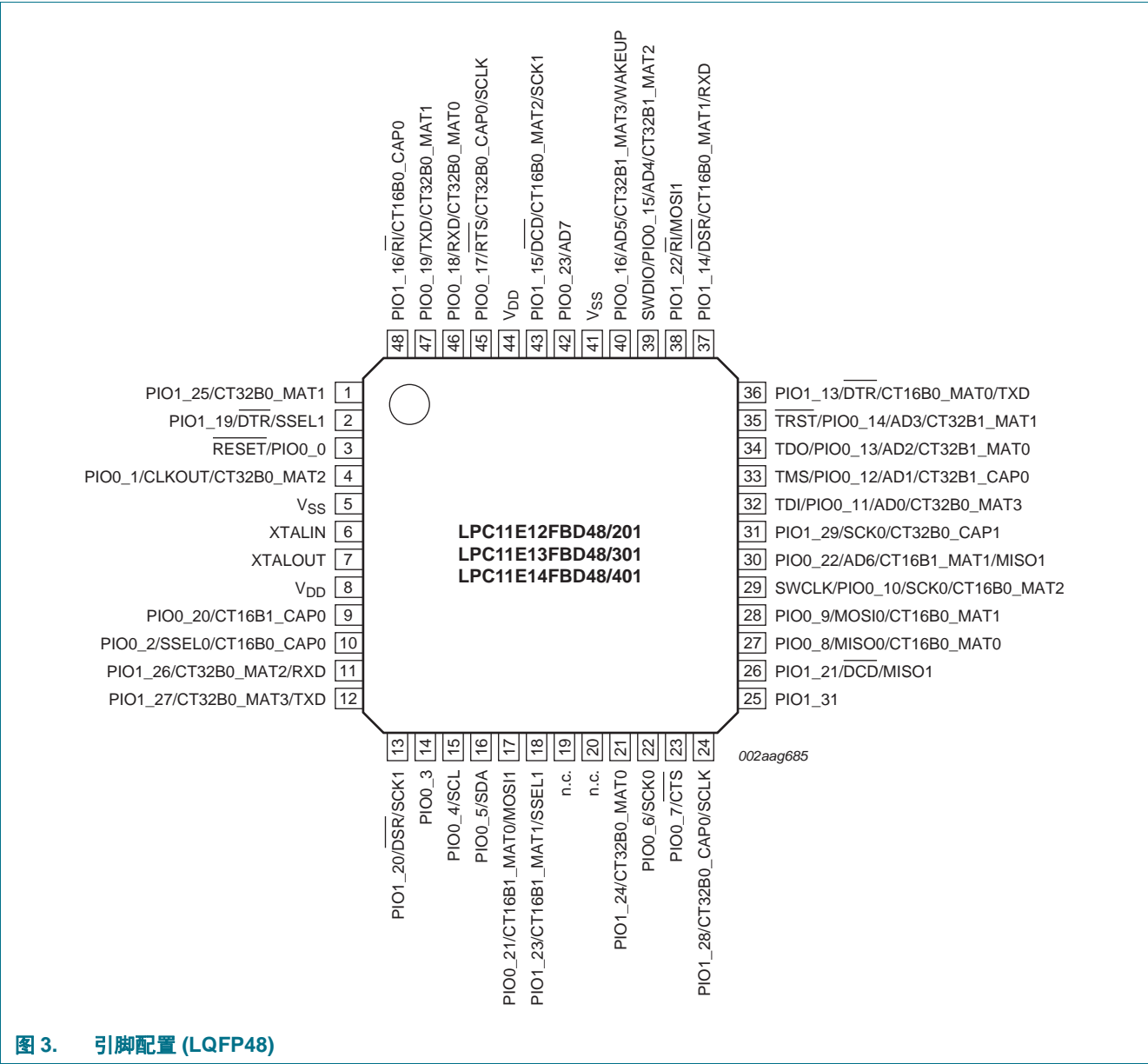
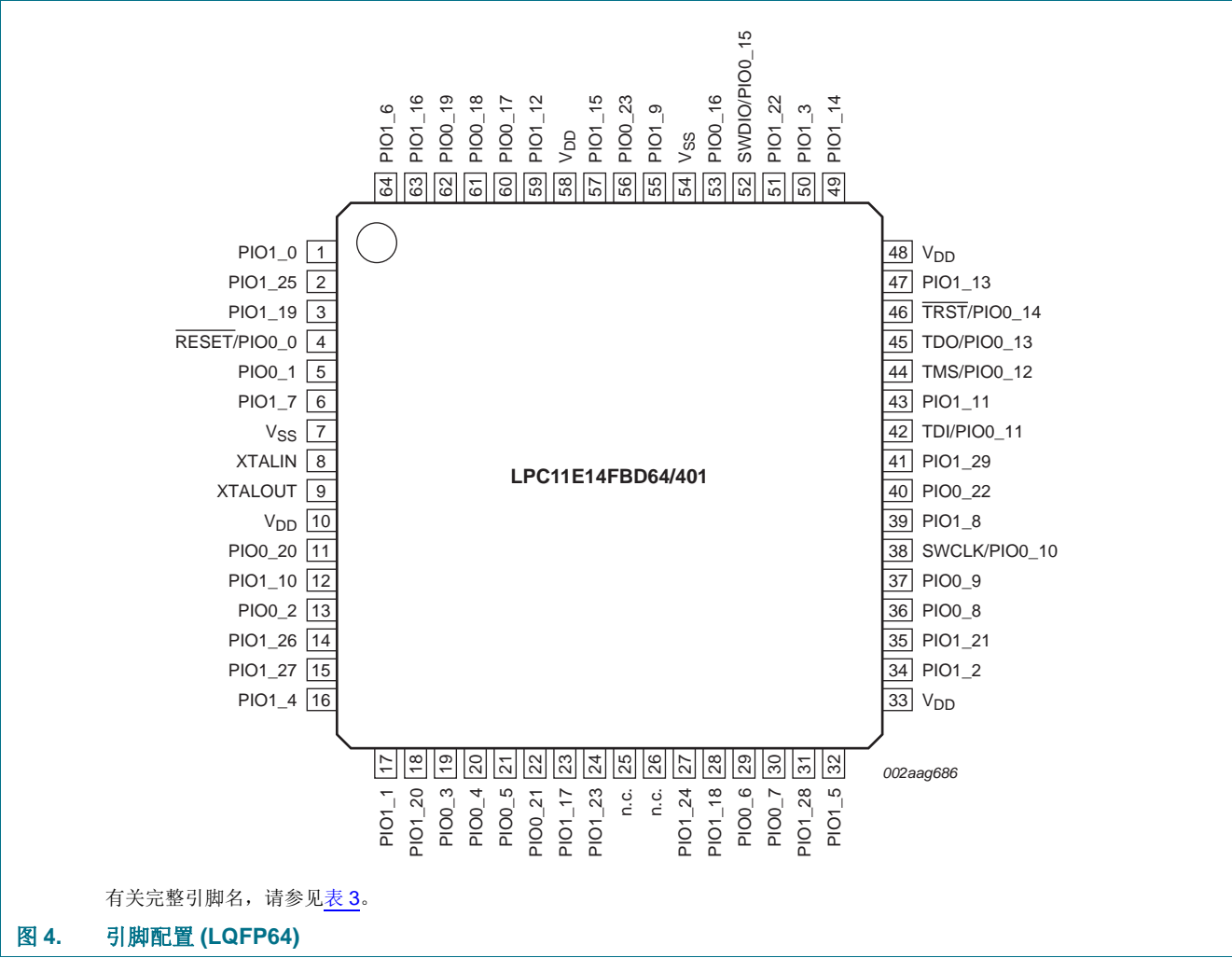


图 2. 引脚配置 (HVQFN33)





6.2 引脚说明

表 3 显示了全部引脚及其所分配到的数字或模拟功能（按 GPIO 端口号排序）。首先列出的是复位后的默认功能。所有端口引脚会在复位后使能内部上拉电阻，但真开漏引脚 PIO0_4 和 PIO0_5 除外。

每个端口引脚都有一个相应的 IOCON 寄存器，用于编程数字或模拟功能、上拉 / 下拉配置、中继器和开漏模式。

USART、计数器 / 定时器和 SSP 功能适用于多个端口引脚。

表 3. 引脚说明

符号	HVQFN33	LQFP48	LQFP64	复位 状态 [1]	类型	描述
RESET/PIO0_0	2	3	4	[2] I;PU	I	RESET — 外部复位输入，具有 20 ns 干扰滤波器。此引脚上短至 50 ns 的下降脉冲将复位器件，导致 I/O 端口和外设呈现默认状态，并且处理器从地址 0 开始执行。此引脚也用作调试选择输入。低电平选择 JTAG 边界扫描。高电平选择 ARM SWD 调试模式。
PIO0_1/CLKOUT/ CT32B0_MAT2	3	4	5	-	I/O	PIO0_0 — 通用数字输入 / 输出引脚。
				[3] I;PU	I/O	PIO0_1 — 通用数字输入 / 输出引脚。复位期间，当此引脚为低电平时，启动 ISP 命令处理程序。
				-	O	CLKOUT — Clockout 引脚。
PIO0_2/SSEL0/ CT16B0_CAP0	8	10	13	[3] I;PU	I/O	CT32B0_MAT2 — 32 位定时器 0 的匹配输出 2。
				-	O	PIO0_2 — 通用数字输入 / 输出引脚。
				-	I	SSEL0 — SSP0 的从机选择。
PIO0_3	9	14	19	[3] I;PU	I/O	CT16B0_CAP0 — 16 位定时器 0 的捕获输入 0。
				-	I/O	PIO0_3 — 通用数字输入 / 输出引脚。
				[4] I;IA	I/O	PIO0_4 — 通用数字输入 / 输出引脚（开漏）。
PIO0_4/SCL	10	15	20	-	I/O	SCL — I ² C 总线时钟输入 / 输出（开漏）。仅当在 I/O 配置寄存器中选择 I ² C 超快速模式时，用作高电流接收器。
				[4] I;IA	I/O	PIO0_5 — 通用数字输入 / 输出引脚（开漏）。
				-	I/O	SDA — I ² C 总线数据输入 / 输出（开漏）。仅当在 I/O 配置寄存器中选择 I ² C 超快速模式时，用作高电流接收器。
PIO0_5/SDA	11	16	21	[4] I;IA	I/O	PIO0_6 — 通用数字输入 / 输出引脚。
				-	I/O	SCK0 — SSP0 的串行时钟。
PIO0_6/SCK0	15	22	29	[3] I;PU	I/O	PIO0_7 — 通用数字输入 / 输出引脚（大电流输出驱动器）。
				-	I	CTS — USART 的“准许发送”输入。
PIO0_7/CTS	16	23	30	[5] I;PU	I/O	PIO0_8 — 通用数字输入 / 输出引脚。
				-	I/O	MISO0 — SSP0 的主机输入从机输出。
				-	O	CT16B0_MAT0 — 16 位定时器 0 的匹配输出 0。
PIO0_8/MISO0/ CT16B0_MAT0	17	27	36	[3] I;PU	I/O	PIO0_9 — 通用数字输入 / 输出引脚。
				-	I/O	MOSI0 — SSP0 的主机输出从机输入。
				-	O	CT16B0_MAT1 — 16 位定时器 0 的匹配输出 1。

表 3. 引脚说明 (续)

符号	HVQFN33	LQFP48	LQFP64	复位状态	类型	描述
SWCLK/PIO0_10/SCK0/CT16B0_MAT2	19	29	38	[3] I;PU	I	SWCLK — JTAG 接口的串行线时钟和测试时钟 TCK。
					I/O	PIO0_10 — 通用数字输入 / 输出引脚。
					O	SCK0 — SSP0 的串行时钟。
					O	CT16B0_MAT2 — 16 位定时器 0 的匹配输出 2。
TDI/PIO0_11/AD0/CT32B0_MAT3	21	32	42	[6] I;PU	I	TDI — JTAG 接口的测试数据输入。
					I/O	PIO0_11 — 通用数字输入 / 输出引脚。
					I	AD0 — A/D 转换器，输入 0。
					O	CT32B0_MAT3 — 32 位定时器 0 的匹配输出 3。
TMS/PIO0_12/AD1/CT32B1_CAP0	22	33	44	[6] I;PU	I	TMS — JTAG 接口的测试模式选择。
					I/O	PIO_12 — 通用数字输入 / 输出引脚。
					I	AD1 — A/D 转换器，输入 1。
					I	CT32B1_CAP0 — 32 位定时器 1 的捕获输入 0。
TDO/PIO0_13/AD2/CT32B1_MAT0	23	34	45	[6] I;PU	O	TDO — JTAG 接口的测试数据输出。
					I/O	PIO0_13 — 通用数字输入 / 输出引脚。
					I	AD2 — A/D 转换器，输入 2。
					O	CT32B1_MAT0 — 32 位定时器 1 的匹配输出 0。
TRST/PIO0_14/AD3/CT32B1_MAT1	24	35	46	[6] I;PU	I	TRST — JTAG 接口的测试重置。
					I/O	PIO0_14 — 通用数字输入 / 输出引脚。
					I	AD3 — A/D 转换器，输入 3。
					O	CT32B1_MAT1 — 32 位定时器 1 的匹配输出 1。
SWDIO/PIO0_15/AD4/CT32B1_MAT2	25	39	52	[6] I;PU	I/O	SWDIO — 串行调试接口输入 / 输出。
					I/O	PIO0_15 — 通用数字输入 / 输出引脚。
					I	AD4 — A/D 转换器，输入 4。
					O	CT32B1_MAT2 — 32 位定时器 1 的匹配输出 2。
PIO0_16/AD5/CT32B1_MAT3/WAKEUP	26	40	53	[6] I;PU	I/O	PIO0_16 — 通用数字输入 / 输出引脚。
					I	AD5 — A/D 转换器，输入 5。
					O	CT32B1_MAT3 — 32 位定时器 1 的匹配输出 3。
					I	WAKEUP — 带 20 ns 干扰滤波器的深度掉电模式唤醒引脚。从外部将该引脚上拉到高电平以进入深度掉电模式。将该引脚下拉到低电平以退出深度掉电模式。以短至 50 ns 的下降脉冲唤醒器件。
PIO0_17/RTS/CT32B0_CAP0/SCLK	30	45	60	[3] I;PU	I/O	PIO0_17 — 通用数字输入 / 输出引脚。
					O	RTS — USART 的“请求发送”输出。
					I	CT32B0_CAP0 — 32 位定时器 0 的捕获输入 0。
					I/O	SCLK — 同步模式下 USART 的串行时钟输入 / 输出。
PIO0_18/RXD/CT32B0_MAT0	31	46	61	[3] I;PU	I/O	PIO0_18 — 通用数字输入 / 输出引脚。
					I	RXD — USART 的接收器输入。用于 UART ISP 模式。
					O	CT32B0_MAT0 — 32 位定时器 0 的匹配输出 0。

表 3. 引脚说明 (续)

符号	HVQFN33	LQFP48	LQFP64	复位 状态 [1]	类型	描述
PIO0_19/TXD/ CT32B0_MAT1	32	47	62	[3]	I;PU	PIO0_19 — 通用数字输入 / 输出引脚。
					O	TXD — USART 的发送器输出。用于 UART ISP 模式。
					O	CT32B0_MAT1 — 32 位定时器 0 的匹配输出 1。
PIO0_20/CT16B1_CAP0	7	9	11	[3]	I;PU	PIO0_20 — 通用数字输入 / 输出引脚。
					I	CT16B1_CAP0 — 16 位定时器 1 的捕获输入 0。
PIO0_21/CT16B1_MAT0/ MOSI1	12	17	22	[3]	I;PU	PIO0_21 — 通用数字输入 / 输出引脚。
					O	CT16B1_MAT0 — 16 位定时器 1 的匹配输出 0。
					I/O	MOSI1 — SSP1 的主机输出从机输入。
PIO0_22/AD6/ CT16B1_MAT1/MISO1	20	30	40	[6]	I;PU	PIO0_22 — 通用数字输入 / 输出引脚。
					I	AD6 — A/D 转换器，输入 6。
					O	CT16B1_MAT1 — 16 位定时器 1 的匹配输出 1。
					I/O	MISO1 — SSP1 的主机输入从机输出。
PIO0_23/AD7	27	42	56	[6]	I;PU	PIO0_23 — 通用数字输入 / 输出引脚。
					I	AD7 — A/D 转换器，输入 7。
PIO1_0/CT32B1_MAT0	-	-	1	[3]	I;PU	PIO1_0 — 通用数字输入 / 输出引脚。
					O	CT32B1_MAT0 — 32 位定时器 1 的匹配输出 0。
PIO1_1/CT32B1_MAT1	-	-	17	[3]	I;PU	PIO1_1 — 通用数字输入 / 输出引脚。
					O	CT32B1_MAT1 — 32 位定时器 1 的匹配输出 1。
PIO1_2/CT32B1_MAT2	-	-	34	[3]	I;PU	PIO1_2 — 通用数字输入 / 输出引脚。
					O	CT32B1_MAT2 — 32 位定时器 1 的匹配输出 2。
PIO1_3/CT32B1_MAT3	-	-	50	[3]	I;PU	PIO1_3 — 通用数字输入 / 输出引脚。
					O	CT32B1_MAT3 — 32 位定时器 1 的匹配输出 3。
PIO1_4/CT32B1_CAP0	-	-	16	[3]	I;PU	PIO1_4 — 通用数字输入 / 输出引脚。
					I	CT32B1_CAP0 — 32 位定时器 1 的捕获输入 0。
PIO1_5/CT32B1_CAP1	-	-	32	[3]	I;PU	PIO1_5 — 通用数字输入 / 输出引脚。
					I	CT32B1_CAP1 — 32 位定时器 1 的捕获输入 1。
PIO1_6	-	-	64	[3]	I;PU	PIO1_6 — 通用数字输入 / 输出引脚。
PIO1_7	-	-	6	[3]	I;PU	PIO1_7 — 通用数字输入 / 输出引脚。
PIO1_8	-	-	39	[3]	I;PU	PIO1_8 — 通用数字输入 / 输出引脚。
PIO1_9	-	-	55	[3]	I;PU	PIO1_9 — 通用数字输入 / 输出引脚。
PIO1_10	-	-	12	[3]	I;PU	PIO1_10 — 通用数字输入 / 输出引脚。
PIO1_11	-	-	43	[3]	I;PU	PIO1_11 — 通用数字输入 / 输出引脚。
PIO1_12	-	-	59	[3]	I;PU	PIO1_12 — 通用数字输入 / 输出引脚。
PIO1_13/DTR/ CT16B0_MAT0/TXD	-	36	47	[3]	I;PU	PIO1_13 — 通用数字输入 / 输出引脚。
					O	DTR — USART 的“数据终端就绪”输出。
					O	CT16B0_MAT0 — 16 位定时器 0 的匹配输出 0。
					O	TXD — USART 的发送器输出。

表 3. 引脚说明 (续)

符号	HVQFN33	LQFP48	LQFP64	复位 状态 [3]	类型	描述
PIO1_14/ <u>DSR</u> / CT16B0_MAT1/RXD	-	37	49	[3] I;PU	I/O	PIO1_14 — 通用数字输入 / 输出引脚。
					I	DSR — USART 的 “数据设置就绪” 输入。
					O	CT16B0_MAT1 — 16 位定时器 0 的匹配输出 1。
					I	RXD — USART 的接收器输入。
PIO1_15/ <u>DCD</u> / CT16B0_MAT2/SCK1	28	43	57	[3] I;PU	I/O	PIO1_15 — 通用数字输入 / 输出引脚。
					I	DCD — USART 的 “数据载波检测” 输入。
					O	CT16B0_MAT2 — 16 位定时器 0 的匹配输出 2。
					I/O	SCK1 — SSP1 的串行时钟。
PIO1_16/ <u>RI</u> / CT16B0_CAP0	-	48	63	[3] I;PU	I/O	PIO1_16 — 通用数字输入 / 输出引脚。
					I	RI — USART 的振铃指示器输入。
					I	CT16B0_CAP0 — 16 位定时器 0 的捕获输入 0。
					I/O	
PIO1_17/CT16B0_CAP1/ RXD	-	-	23	[3] I;PU	I/O	PIO1_17 — 通用数字输入 / 输出引脚。
					I	CT16B0_CAP1 — 16 位定时器 0 的捕获输入 1。
					I	RXD — USART 的接收器输入。
					I/O	
PIO1_18/CT16B1_CAP1/ TXD	-	-	28	[3] I;PU	I/O	PIO1_18 — 通用数字输入 / 输出引脚。
					I	CT16B1_CAP1 — 16 位定时器 1 的捕获输入 1。
					O	TXD — USART 的发送器输出。
					I/O	
PIO1_19/ <u>DTR</u> /SSEL1	1	2	3	[3] I;PU	I/O	PIO1_19 — 通用数字输入 / 输出引脚。
					O	DTR — USART 的 “数据终端就绪” 输出。
					I/O	SSEL1 — SSP1 的从机选择。
					I/O	
PIO1_20/ <u>DSR</u> /SCK1	-	13	18	[3] I;PU	I/O	PIO1_20 — 通用数字输入 / 输出引脚。
					I	DSR — USART 的 “数据设置就绪” 输入。
					I/O	SCK1 — SSP1 的串行时钟。
					I/O	
PIO1_21/ <u>DCD</u> /MISO1	-	26	35	[3] I;PU	I/O	PIO1_21 — 通用数字输入 / 输出引脚。
					I	DCD — USART 的 “数据载波检测” 输入。
					I/O	MISO1 — SSP1 的主机输入从机输出。
					I/O	
PIO1_22/ <u>RI</u> /MOSI1	-	38	51	[3] I;PU	I/O	PIO1_22 — 通用数字输入 / 输出引脚。
					I	RI — USART 的振铃指示器输入。
					I/O	MOSI1 — SSP1 的主机输出从机输入。
					I/O	
PIO1_23/CT16B1_MAT1/ SSEL1	13	18	24	[3] I;PU	I/O	PIO1_23 — 通用数字输入 / 输出引脚。
					O	CT16B1_MAT1 — 16 位定时器 1 的匹配输出 1。
					I/O	SSEL1 — SSP1 的从机选择。
					I/O	
PIO1_24/CT32B0_MAT0	14	21	27	[3] I;PU	I/O	PIO1_24 — 通用数字输入 / 输出引脚。
					O	CT32B0_MAT0 — 32 位定时器 0 的匹配输出 0。
PIO1_25/CT32B0_MAT1	-	1	2	[3] I;PU	I/O	PIO1_25 — 通用数字输入 / 输出引脚。
					O	CT32B0_MAT1 — 32 位定时器 0 的匹配输出 1。
PIO1_26/CT32B0_MAT2/ RXD	-	11	14	[3] I;PU	I/O	PIO1_26 — 通用数字输入 / 输出引脚。
					O	CT32B0_MAT2 — 32 位定时器 0 的匹配输出 2。
					I	RXD — USART 的接收器输入。

表 3. 引脚说明 (续)

符号	HVQFN33	LQFP48	LQFP64	复位 状态 [1]	类型	描述
PIO1_27/CT32B0_MAT3/ TXD	-	12	15	[3] I;PU	I/O	PIO1_27 — 通用数字输入 / 输出引脚。
					O	CT32B0_MAT3 — 32 位定时器 0 的匹配输出 3。
					O	TXD — USART 的发送器输出。
PIO1_28/CT32B0_CAP0/ SCLK	-	24	31	[3] I;PU	I/O	PIO1_28 — 通用数字输入 / 输出引脚。
					I	CT32B0_CAP0 — 32 位定时器 0 的捕获输入 0。
					I/O	SCLK — 同步模式下 USART 的串行时钟输入 / 输出。
PIO1_29/SCK0/ CT32B0_CAP1	-	31	41	[3] I;PU	I/O	PIO1_29 — 通用数字输入 / 输出引脚。
					I/O	SCK0 — SSP0 的串行时钟。
					I	CT32B0_CAP1 — 32 位定时器 0 的捕获输入 1。
PIO1_31	-	25	-	[3] I;PU	I/O	PIO1_31 — 通用数字输入 / 输出引脚。
n.c.	-	19	25	F	-	未连接。
n.c.	-	20	26	F	-	未连接。
XTALIN	4	6	8	[7] -	-	振荡器电路和内部时钟发生器电路的输入。输入电压不得超过 1.8 V。
XTALOUT	5	7	9	[7] -	-	振荡器放大器的输出。
V _{DD}	6; 29	8; 44	10; 33; 48; 58	-	-	供给内部调压器、外部线路和 ADC 的电源电压。也用作 ADC 基准电压。
V _{SS}	33	5; 41	7; 54	-	-	地线。

- [1] 复位后默认功能的引脚状态：I= 输入；O= 输出；PU= 使能内部上拉电阻；IA= 非工作，未使能上拉电阻 / 下拉电阻；F= 悬浮；引脚未使用时，应将悬浮引脚接地或者连接电源以最大限度降低功耗。
- [2] 关于复位焊盘配置，请参见[图 28](#)。在深度掉电模式下，不能使用 RESET 功能。使用 WAKEUP 引脚复位芯片和从深度掉电模式唤醒。在深度掉电模式下，需要在该引脚上安装一个外部上拉电阻。
- [3] 5V 容限的焊盘，提供带可配置上拉 / 下拉电阻和可配置滞回的数字 I/O 功能（参见[图 27](#)）。
- [4] I²C 总线引脚符合 I²C 总线规范，用于 I²C 标准模式、I²C 快速模式和 I²C 超快速模式。
- [5] 5 V 容限的焊盘，提供带可配置上拉 / 下拉电阻和可配置滞回的数字 I/O 功能（参见[图 27](#)）；包括大电流输出驱动器。
- [6] 5 V 容限的焊盘，提供带可配置上拉 / 下拉电阻、可配置滞回和模拟输入的数字 I/O 功能。当配置为 ADC 输入时，禁用焊盘的数字部分，引脚非 5 V 容限（参见[图 27](#)）；包括数字输入干扰滤波器。
- [7] 未使用系统振荡器时，按如下所示连接 XTALIN 和 XTALOUT: XTALIN 可悬空或接地（最好接地以降低噪声敏感性）。将 XTALOUT 悬空。

7. 功能说明

7.1 片内闪存编程存储器

LPC11E1x 包含 24 kB 或 32 kB 片内闪存程序存储器。通过片内启动引导程序软件使用在系统编程 (ISP) 和在应用编程 (IAP) 可进行闪存的编程。

7.2 EEPROM

LPC11E1x 包含 500 字节、1 kB、2 kB 或 4 kB 的片内字节可擦除和字节可编程 EEPROM 数据存储器。通过片内启动引导程序软件使用在应用编程 (IAP) 可进行 EEPROM 的编程。

7.3 SRAM

LPC11E1x 总共包含 4 kB、6 kB、8 kB 或 10 kB 片内静态 RAM 存储器。

7.4 片内 ROM

片内 ROM 包含启动引导程序以及下列应用编程接口 (API):

- 闪存支持在系统编程 (ISP) 和在应用编程 (IAP)
- EEPROM 支持 IAP
- 用于配置功耗和 PLL 设置的功率配置
- 32 位整数除法程序

7.5 存储器映射

LPC11E1x 包含几个不同的存储器区域，如下列各图所示。[图 5](#) 显示了从用户程序角度来看，复位后的整个地址空间的总映射。中断向量区支持地址重新映射。

AHB 外设区的大小为 2 MB，可分配多达 128 个外设。APB 外设区的大小为 512 kB，可分配多达 32 个外设。每种类型的每一个外设空间的大小均为 16 kB。该寻址方案可简化每个外设的地址译码。

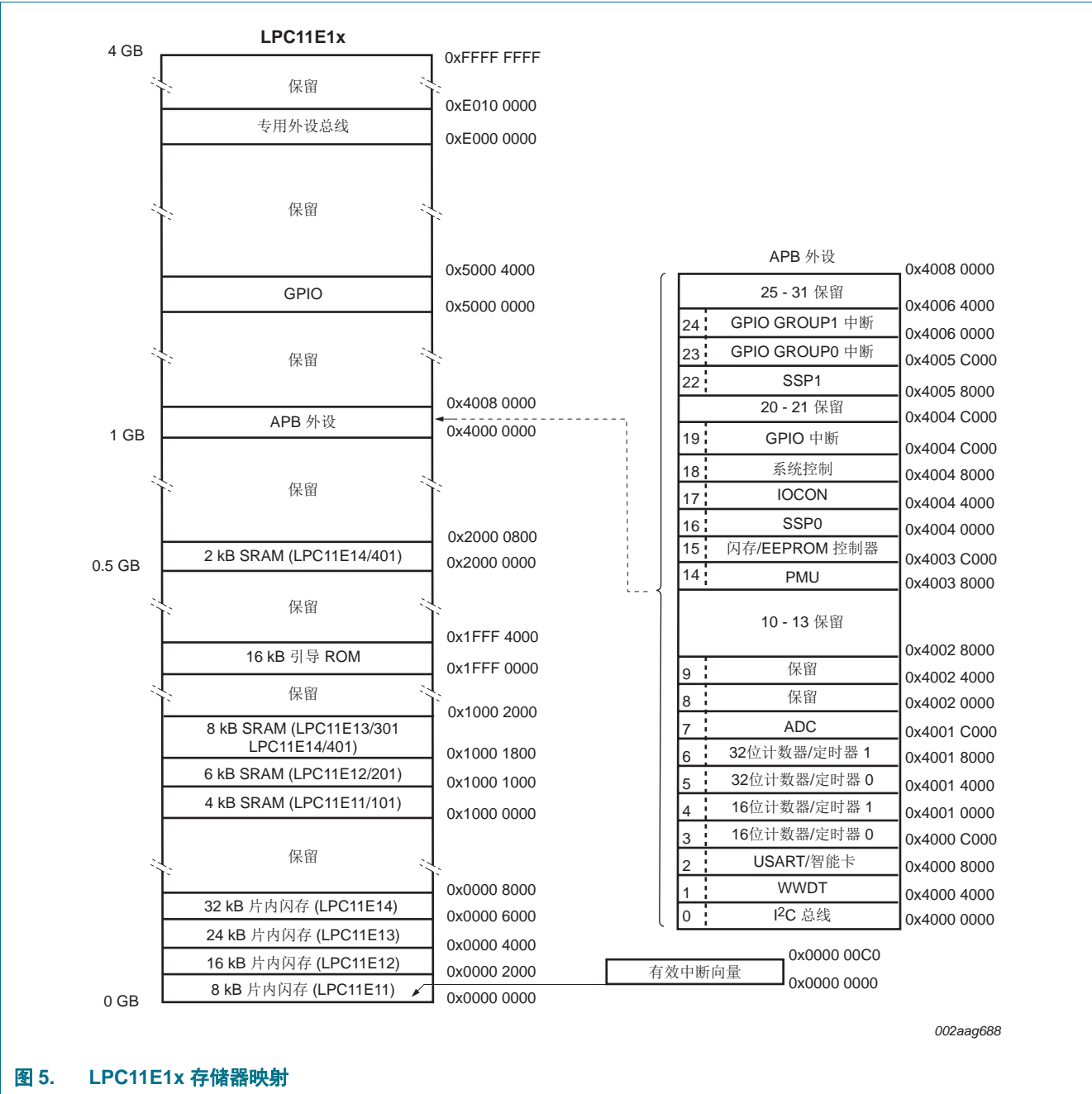


图 5. LPC11E1x 存储器映射

7.6 可嵌套向量中断控制器 (NVIC)

可嵌套向量中断控制器 (NVIC) 是 Cortex-M0 的一个组成部分。它与 CPU 紧密结合，降低了中断延时，并让新进中断可以得到高效处理。

7.6.1 特性

- 可控制系统的异常及外设中断。
- 在 LPC11E1x 中，NVIC 支持 24 个向量中断。

- 四个可编程的中断优先级，带硬件优先级屏蔽功能。
- 软件中断生成功能。

7.6.2 中断源

每个外围设备均有一条中断线连接到 NVIC，但可以有好几个中断标志。各个中断标志还可以代表一个以上的中断源。

7.7 IOCON 模块

IOCON 模块允许微控制器的选定引脚具有多个功能。配置寄存器控制允许引脚和片内外设之间连接的多路复用器。

在激活外设和使能任何相关中断前，将各外设连接至对应的引脚。未映射到相关引脚的任何已使能外设功能的活动被视为未定义。

7.7.1 特性

- 可编程上拉、下拉或中继模式。
- 如果使能所有 GPIO 引脚（PIO0_4 和 PIO0_5 除外）的上拉电阻，则这些引脚都将上拉至 3.3 V ($V_{DD} = 3.3\text{ V}$)。
- 可编程伪开漏模式。
- PIO0_22、PIO0_23 以及 PIO0_11 至 PIO0_16 引脚上的可编程 10 ns 干扰滤波器。默认关闭干扰滤波器。
- 可编程滞回。
- 可编程输入反相器。

7.8 通用输入 / 输出 GPIO

GPIO 寄存器控制未连接至特定外设功能的器件引脚功能。引脚可动态配置为输入或输出。在一次写操作中可设置或清除多个输出。

LPC11E1x 使用加速的 GPIO 功能：

- GPIO 寄存器为专用的 AHB 外设，这样可实现最快的 I/O 时序。
- 整个端口值可在一个指令中完成写的操作。

任何提供数字功能的 GPIO 引脚都可以被编程为由电平、上升沿或下降沿、或这两者生成一个中断。

GPIO 模块由三部分组成：

1. GPIO 端口。
2. GPIO 引脚中断模块用于控制八个被选为引脚中断的 GPIO 引脚。
3. 两个 GPIO 分组中断模块用于控制来自所有 GPIO 引脚的两个组合中断。

7.8.1 特性

- GPIO 引脚可以通过软件配置为输入或输出。
- 所有 GPIO 引脚都默认设置为输入，复位时禁用中断。
- 引脚寄存器允许单独感测和设置各引脚。
- 可从所有 GPIO 引脚中选择多达 8 个 GPIO 引脚，以创建一个边沿或电平触发的 GPIO 中断请求。
- 每个端口中的任何单个或多个引脚均可触发一个端口中断。

7.9 USART

LPC11E1x 含有一个 USART。

USART 具有完全的调制解调器控制功能，支持同步模式和智能卡接口。RS-485/9 位模式允许使用 9 位模式进行软件地址检测和自动地址检测。

USART 使用一个小数波特率生成器。用高于 2 MHz 的任何晶振频率均可获得标准波特率（如 115200 Bd）。

7.9.1 特性

- 最大 USART 数据比特率为 3.125 Mbit/s。
- 16 字节接收 FIFO 和发送 FIFO。
- 寄存器位置符合 16C550 业界标准。
- 接收器 FIFO 的触发点为 1 B、4 B、8 B 和 14 B。
- 内置小数波特率生成器涵盖范围广泛的波特率，不需要特定值的外部晶体。
- 用于波特率控制的小数分频器、自动波特率功能，FIFO 控制机制允许实施软件流控制。
- 支持 RS-485/9 位模式。
- 支持调制解调器控制。
- 支持同步模式。
- 包括智能卡接口。

7.10 SSP 串行 I/O 控制器

SSP 控制器在 SSP、4 线 SSI 或 Microwire 总线上操作。它可与总线上的多个主机和从机进行交互。在指定数据传输中，总线上只有一个主机和一个从机进行通信。SSP 支持全双工传输，4 位至 16 位的数据帧可在主机与从机之间来回流动。在实际应用中，这些数据流往往只会在一个方向上传输有意义的数据。

7.10.1 特性

- 最大 SSP 速度为 25 Mbit/s（主机）或 4.17 Mbit/s（从机）（SSP 模式下）
- 兼容摩托罗拉 SPI、4 线德州仪器 SSI 和国家半导体 Microwire 总线
- 同步串行通信
- 主机或从机操作
- 同时适用于发送与接收的 8 帧 FIFO
- 4 位至 16 位帧

7.11 I²C 总线串行 I/O 控制器

LPC11E1x 包含一个 I²C 总线控制器。

I²C 总线是双向的，仅使用以下两根线进行 IC 间控制：串行时钟线 (SCL) 和串行数据线 (SDA)。每个设备均由一个唯一的地址进行识别，并且可用作一个纯接收器设备（例如，LCD 驱动器）或一个同时具有信息收发功能的发送器（例如，存储器）。发送器和 / 或接收器可在主机或从机模式下工作，具体取决于芯片是需要启动数据传输还是只被寻址。I²C 总线是一种多主机总线，可由与接口连接的多个总线主机进行控制。

7.11.1 特性

- I²C 接口是一种符合 I²C 总线的接口，具有开漏引脚。I²C 总线接口支持超快速模式，比特率最高为 1 Mbit/s。
- 易于配置为主机、从机或主机 / 从机。
- 可编程时钟实现了通用速率控制。
- 在主机与从机之间的双向数据传输。
- 多主机总线（无中央主机）。
- 在同时发送的主机之间进行仲裁，从而避免总线上的串行数据的讹误。
- 串行时钟同步允许具有不同位率的设备通过一个串行总线通信。
- 串行时钟同步可用作一种反馈检验机制来挂起和恢复串行传输。
- I²C 总线可用于测试和诊断。
- I²C 总线控制器支持多个地址识别和总线监控模式。

7.12 10 位 ADC

LPC11E1x 包含一个 ADC。它是具有八个通道的单 10 位逐次逼近型 ADC。

7.12.1 特性

- 10 位逐次逼近型 ADC。
- 输入在 8 个引脚中多路复用。
- 掉电模式。
- 测量范围为 0 V 至 V_{DD}。
- 10 位转换时间 ≥ 2.44 μs（高达 400 kSamples/s）
- 用于单个或多个输入的连发转换模式。
- 输入引脚或定时器匹配信号跳变的选择性转换。
- 每个 ADC 通道的独立结果寄存器可减少中断开销。

7.13 通用外部事件计数器 / 定时器

LPC11E1x 包括两个 32 位计数器 / 定时器和两个 16 位计数器 / 定时器。计数器 / 定时器设计用于对系统衍生时钟的周期进行计数。它可根据四个匹配寄存器选择产生中断或者在指定的定时器值执行其他操作。每个计数器 / 定时器还包括 1 个捕获输入，用来在输入信号跳变时捕获定时器值，同时可根据需要产生一个中断。

7.13.1 特性

- 一个带有可编程 32 位 /16 位预分频器的 32 位 /16 位定时器 / 计数器。
- 计数器或定时器操作。
- 每个定时器最多有两个捕获通道，可在输入信号跳变时快速捕获定时器值。捕获事件也可产生一个中断。
- 每个定时器有四个匹配寄存器，允许：
 - 连续操作，可选择在匹配时产生中断。
 - 在与可选中断生成相匹配时停止定时器运行。
 - 在与可选中断生成相匹配时进行定时器复位。
- 匹配寄存器拥有四个外部输出，它们具有如下功能：
 - 匹配时设置低电平。
 - 匹配时设置高电平。
 - 匹配时切换。
 - 匹配时不执行任何操作。
- 可配置定时器和预分频器在指定捕获事件清零。此特性通过在输入脉冲前沿清零定时器并捕获定时器在后沿的值，方便进行脉冲宽度测量。

7.14 系统定时器

ARM Cortex-M0 包括一个系统节拍定时器 (SYSTICK)，可在固定时间间隔内（通常为 10 ms）生成一个 SYSTICK 专用异常。

7.15 窗口化看门狗定时器 (WWDT)

WWDT 的作用是防止无响应系统状态。如果软件未能在可编程时间窗口内更新看门狗，则看门狗会复位微控制器。

7.15.1 特性

- 如果没有在可编程设定的超时期间内定期重新载入，则产生片内复位。
- 可选的窗口操作需要在最短与最长时间周期（这两者均可编程设定）范围内重新载入。
- 可在看门狗超时之前的可编程时间生成可选的警告中断。
- 软件使能 WWDT，但需要硬件复位或看门狗复位 / 中断来禁用 WWDT。
- 错误的输入时序会导致复位或中断（如果已使能）。
- 具有指示看门狗复位的标志。
- 带内部前置分频器的可编程 24 位定时器。
- 可从 $(T_{cy}(WDCLK) \times 256 \times 4)$ 到 $(T_{cy}(WDCLK) \times 2^{24} \times 4)$ 中选择 $T_{cy}(WDCLK) \times 4$ 倍数的时间周期。
- 看门狗时钟 (WDCLK) 源可从 IRC 或专用看门狗振荡器 (WDO) 中选择。时钟源选择为看门狗在不同功率条件下提供了较宽的潜在时序选择范围。

7.16 时钟和电源控制

7.16.1 集成振荡器

LPC11E1x 包括三个独立的振荡器：系统振荡器、内部 RC 振荡器 (IRC) 和看门狗振荡器。每个振荡器都可用于特定应用中所要求的多种用途。

复位后，LPC11E1x 将从内部 RC 振荡器运行，直到软件切换至不同的时钟源。IRC 使系统可在无任何外部晶体的情况下运行，并使启动引导程序代码按照已知频率运行。

有关 LPC11E1x 时钟生成的概述，请参见图 6。

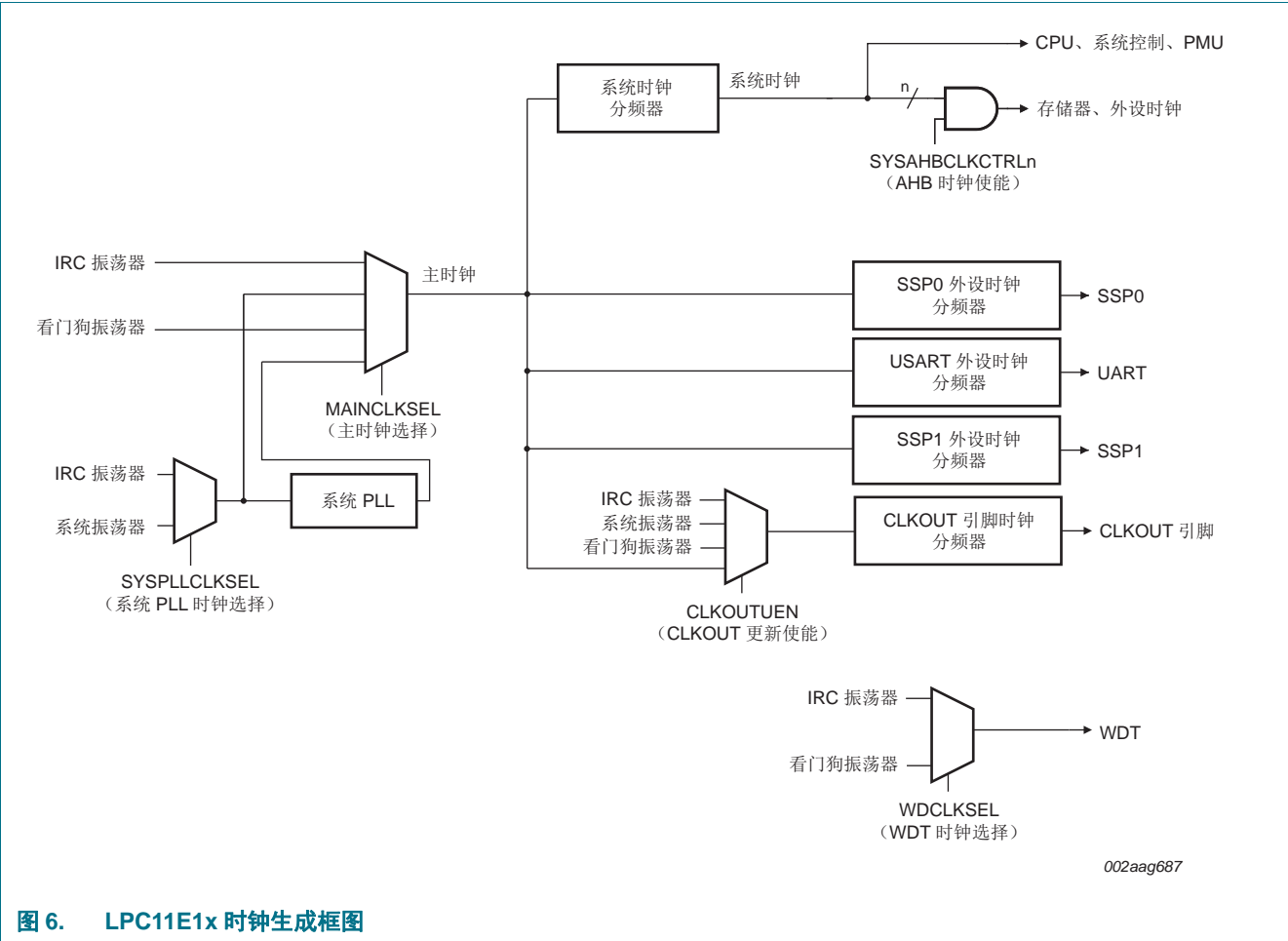


图 6. LPC11E1x 时钟生成框图

7.16.1.1 内部 RC 振荡器

IRC 可用作 WDT 的时钟源，以及 / 或者用作依次驱动系统 PLL 和 CPU 的时钟。标称的 IRC 频率为 12 MHz。

上电、任何芯片复位或从深度掉电模式唤醒后，LPC11E1x 会使用 IRC 作为时钟源。软件稍后可切换到其他可用时钟源之一。

7.16.1.2 系统振荡器

系统振荡器可用作使用或不使用 PLL 的 CPU 的时钟源。

系统振荡器的工作频率范围介于 1 MHz 到 25 MHz 之间。此频率可通过系统 PLL 提升到更高的频率，最高达到 CPU 的最大工作频率。

7.16.1.3 看门狗振荡器

看门狗振荡器可用作直接驱动 CPU、看门狗定时器或 CLKOUT 引脚的时钟源。可编程看门狗振荡器标称频率介于 7.8 kHz 和 1.7 MHz 之间。工艺和温度范围内的频率变化为 $\pm 40\%$ （另请参见图 13）。

7.16.2 系统 PLL

PLL 接受范围介于 10 MHz 与 25 MHz 之间的输入时钟频率。输入频率可通过一个电流控制振荡器 (CCO) 倍增至高频。乘数可以是介于 1 至 32 之间的某个整数值。CCO 的工作频率范围介于 156 MHz 与 320 MHz 之间。为支持该频率范围，有一个额外的分频器，用以确保 CCO 位于其频率范围内的同时，PLL 能提供所需的输出频率。输出分频器可设置为按 2、4、8 或 16 分频，以产生输出时钟。PLL 输出频率必须低于 100 MHz。由于输出分频器的最小值为 2，因此这就确保了 PLL 输出有 50 % 的占空比。芯片复位后，PLL 会被关闭和绕过。软件可在稍后使能 PLL。程序必须配置并激活 PLL、等待 PLL 锁定，然后连接到 PLL 作为时钟源。PLL 建立时间为 100 μ s。

7.16.3 时钟输出

LPC11E1x 具有时钟输出功能，可将 IRC 振荡器、系统振荡器、看门狗振荡器或主时钟传送到输出引脚。

7.16.4 唤醒过程

LPC11E1x 通过使用 12 MHz IRC 振荡器作为时钟源，在上电时以及从深度掉电模式中唤醒时开始操作。该机制使芯片操作可快速恢复。如果该应用使用主振荡器或 PLL，则软件必须使能这些组件并等待其处于稳定状态。只有在稳定后，系统才能使用 PLL 和主振荡器作为时钟源。

7.16.5 功率控制

LPC11E1x 支持多种电源控制功能。处理器有四种特殊的功耗降低模式：睡眠模式、深度睡眠模式、掉电模式和深度掉电模式。CPU 时钟速率也可根据需要通过更改时钟源、重新配置 PLL 值以及 / 或改变 CPU 时钟分频器值来控制。该电源控制机制根据应用要求在功率和处理速度之间实现了平衡。此外，提供了一个寄存器来关闭各个片内外设的时钟。该寄存器消除了特定应用中所不需要的任何外设的所有动态电源使用，从而实现功耗的微调。选定的外设具有各自的时钟分频器，可提供更好的电源控制。

7.16.5.1 功率配置

通过对功率配置的简单调用，工作模式和睡眠模式下的功耗可针对具体应用进行优化。电源配置程序配置 LPC11E1x 的下列某个功耗模式：

- 对应于复位后电源配置的默认模式。
- 对应于优化后处理能力的 CPU 性能模式。
- 对应于电流消耗和 CPU 性能之间优化后平衡的效率模式。
- 对应于最低功耗的低电流模式。

此外，功率配置包括针对给定系统时钟和 PLL 输入时钟选择最佳 PLL 设置的程序。

7.16.5.2 睡眠模式

进入睡眠模式时，会停止内核的时钟。从睡眠模式中恢复无需任何特殊序列，只需重新使能 ARM 内核的时钟。

在睡眠模式下，指令的执行被挂起，直到发生复位或中断。睡眠模式下，外设功能继续运行，并可产生中断使处理器继续运行。睡眠模式消除了处理器自身、存储器系统及相关控制器和内部总线的动态功耗。

7.16.5.3 深度睡眠模式

在深度睡眠模式下，LPC11E1x 处于睡眠模式，除 IRC 之外的所有外设时钟以及所有时钟源均关闭。除非 IRC 被选作看门狗定时器的输入，否则 IRC 输出被禁用。此外，所有模拟模块均被关闭，闪存处于待机模式。在深度睡眠模式下，该应用可使看门狗振荡器和 BOD 电路保持运行，以进行自定时唤醒和 BOD 保护。

LPC11E1x 可通过复位、选择的 GPIO 引脚或看门狗定时器中断从深度睡眠模式中唤醒。

深度睡眠模式可省电，且唤醒时间较短。

7.16.5.4 掉电模式

在掉电模式下，LPC11E1x 处于睡眠模式，除看门狗振荡器（如已选择）之外的所有外设时钟以及所有时钟源均关闭。此外，所有模拟模块和闪存均被关闭。在掉电模式下，该应用可使 BOD 电路保持运行以进行 BOD 保护。

LPC11E1x 可通过复位、选择的 GPIO 引脚或看门狗定时器中断从掉电模式中唤醒。

掉电模式与深度睡眠模式相比，功耗更低，但需要更长唤醒时间。

7.16.5.5 深度掉电模式

在深度掉电模式下，除 WAKEUP 引脚外的整个芯片的电源都被关闭。LPC11E1x 可通过 WAKEUP 引脚从深度掉电模式中唤醒。

可通过设置 PMU 模块中的锁定位来防止 LPC11E1x 进入深度掉电模式。锁定深度掉电模式使该应用能让看门狗定时器或 BOD 始终保持运行。

进入深度掉电模式时，WAKEUP 引脚上需要一个外部上拉电阻来使其保持高电平。将 RESET 引脚拉至高电平可防止其在深度掉电模式下悬空。

7.16.6 系统控制

7.16.6.1 复位

LPC11E1x 有四个复位源： $\overline{\text{RESET}}$ 引脚、看门狗复位、上电复位 (POR) 和掉电检测 (BOD) 电路。 $\overline{\text{RESET}}$ 引脚为施密特触发输入引脚。由任意源产生的芯片复位（在工作电压达到可用电平后）都可启动 IRC 并初始化闪存控制器。

以短至 50 ns 的下降脉冲复位器件。

当移除内部复位时，处理器将在地址 0 处开始执行，该地址最初是从引导模块映射的复位向量。这时，所有处理器和外设寄存器都已经初始化为预定值。

深度掉电模式下， $\overline{\text{RESET}}$ 引脚上需要一个外部上拉电阻。

7.16.6.2 掉电检测

LPC11E1x 包括四个用于监控 V_{DD} 引脚上电压的电平。如果该电压低于四个所选电平之一，则 BOD 会产生发送至 NVIC 的中断信号。可针对 NVIC 中断使能寄存器中的中断来使能该信号以产生 CPU 中断。或者软件可通过读取专用状态寄存器来监控信号。可选择四个附加阈值电平来引起芯片的强制复位。

7.16.6.3 代码安全（代码读保护 - CRP）

CRP 提供系统中不同的安全级别，这样就能限制对片内闪存的访问以及对串行调试接口 (SWD) 和在系统编程 (ISP) 的使用。将特定模式编入专用的闪存位置可调用 CRP。IAP 命令不受 CRP 影响。

此外，在不使能 CRP 的情况下可禁用通过 PIO0_1 引脚的 ISP 入口。有关详情，请参见《LPC11Exx 用户手册》。

有三种代码读保护等级：

1. CRP1 禁用通过 SWD 对芯片的访问并允许使用有限的一组 ISP 命令进行部分闪存更新（闪存扇区 0 除外）。该模式在要求 CRP 且需要更新闪存字段但不能擦除所有扇区时有用。
2. CRP2 禁用通过 SWD 对芯片的访问并只允许使用较少的一组 ISP 命令进行闪存的全面擦除和更新。
3. 运行选择了 CRP3 等级的应用程序会全面禁用通过 SWD 引脚和 ISP 对芯片的访问。该模式还有效禁止了通过 PIO0_1 引脚强行进入 ISP 的行为。如有必要，该应用必须提供闪存更新机制（使用 IAP 调用或使用重新调用 ISP 命令的调用），通过 USART 来进行闪存更新。

注意



如果选择了第三级代码读保护 (CRP3)，则不可对设备进行进一步的出厂测试。

除 CRP 的三种等级外，可禁用针对有效用户代码进行的引脚 PIO0_1 采样。有关详情，请参见《LPC11Exx 用户手册》。

7.16.6.4 APB 接口

APB 外设位于一个 APB 总线上。

7.16.6.5 AHBLite

AHBLite 将 ARM Cortex-M0 的 CPU 总线连接至闪存、主静态 RAM 和 ROM。

7.16.6.6 外部中断输入

所有 GPIO 引脚都可以是电平或边沿触发中断输入。

7.17 仿真和调试

ARM Cortex-M0 集成了调试功能。除了标准 JTAG 边界扫描外，还支持串行调试接口功能。ARM Cortex-M0 的配置可支持最多四个断点和两个观察点。

$\overline{\text{RESET}}$ 引脚在 JTAG 边界扫描 ($\overline{\text{RESET}}$ = 低电平) 和 ARM SWD 调试 ($\overline{\text{RESET}}$ = 高电平) 之间选择。复位 LPC11E1x 时，禁用 ARM SWD 调试端口。

按照以下步骤执行边界扫描测试：

1. 擦除驻留在闪存中的任何用户代码。
2. 从外部将 $\overline{\text{RESET}}$ 引脚上拉至高电平，给器件加电。
3. 至少等待 250 μs 。
4. 从外部将 $\overline{\text{RESET}}$ 引脚下拉至低电平。
5. 执行边界扫描操作。
6. 完成边界扫描操作后，断言 $\overline{\text{TRST}}$ 引脚以使能 SWD 调试模式并释放 $\overline{\text{RESET}}$ 引脚（上拉至高电平）。

注：JTAG 接口不得用于调试目的。

8. 限值

表 4. 极限值

依照 “绝对最大额定值体系 (IEC 60134) ”。 [1]

符号	参数	条件	Min	Max	单位
V _{DD}	电源电压 （内核和外部线路）		1.8	3.6	V
V _I	输入电压	5 V 容压 I/O 引脚；仅当存在 V _{DD} 电源电压时才有效	[2] -0.5	+5.5	V
I _{DD}	电源电流	每个电源引脚	[3] -	100	mA
I _{SS}	接地电流	每个接地引脚	[3] -	100	mA
I _{latch}	I/O 闩锁电流	-(0.5V _{DD}) < V _I < (1.5V _{DD}) ； T _j < 125 °C	-	100	mA
T _{stg}	存储温度	非运行	[4] -65	+150	°C
T _{j(max)}	最大结点温度		-	150	°C
P _{tot(pack)}	总功耗 （每个封装）	基于封装的热传递，不是器件的功耗	-	1.5	W
V _{ESD}	静电放电电压	人体模型；所有引脚	[5] -6500	+6500	V

- [1] 以下情况适用于极限值：
- a) 该产品包含设计用以保护其内部器件的电路，用来防止过量静电荷的破坏作用。但建议仍要采取一些常规预防措施避免超过最大额定值。
 - b) 参数在工作温度范围内有效，除非另有说明。所有电压都是相对于 V_{SS} 而言的，除非另有说明。
- [2] 包括三态模式下输出端的电压。
- [3] 峰值电流的上限为对应最大电流的 25 倍。
- [4] 最大非运行存储温度不同于所需储藏期限的温度，后者可根据所需的储藏期限来确定。更多详情，请参阅 JEDEC 规范 (J-STD-033B.1)。
- [5] 人体模型：相当于 100 pF 电容通过 1.5 kΩ 串联电阻放电。

9. 静态特性

表 5. 静态特性

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$ ，除非另有说明。

符号	参数	条件	Min	典型值 [1]	Max	单位
V_{DD}	电源电压（内核和外部线路）		1.8	3.3	3.6	V
I_{DD}	电源电流	工作模式； $V_{DD} = 3.3\text{ V}$ ； $T_{amb} = 25\text{ }^{\circ}\text{C}$ ； 代码 while(1){}				
		从闪存执行；				
		系统时钟 = 12 MHz	[2][3][4] [5][6]	2	-	mA
		系统时钟 = 50 MHz	[3][4] [5][6][7]	7	-	mA
		睡眠模式； $V_{DD} = 3.3\text{ V}$ ； $T_{amb} = 25\text{ }^{\circ}\text{C}$ ； 系统时钟 = 12 MHz	[2][3][4] [5][6]	1	-	mA
		深度睡眠模式； $V_{DD} = 3.3\text{ V}$ ； $T_{amb} = 25\text{ }^{\circ}\text{C}$	[3]	360	-	μA
		掉电模式； $V_{DD} = 3.3\text{ V}$ ； $T_{amb} = 25\text{ }^{\circ}\text{C}$	-	2	-	μA
		深度掉电模式； $V_{DD} = 3.3\text{ V}$ ； $T_{amb} = 25\text{ }^{\circ}\text{C}$	[8]	220	-	nA

标准端口引脚，**RESET**

I_{IL}	低电平输入电流	$V_I = 0\text{ V}$ ； 片内上拉电阻禁用	-	0.5	10	nA
I_{IH}	高电平输入电流	$V_I = V_{DD}$ ； 片内下拉电阻禁用	-	0.5	10	nA
I_{OZ}	截止状态输出电流	$V_O = 0\text{ V}$ ； $V_O = V_{DD}$ ； 禁用片内上拉 / 下拉电阻	-	0.5	10	nA
V_I	输入电压	配置引脚以提供一个数字功能	[9][10] [11]	0	-	5.0 V
V_O	输出电压	激活输出	0	-	V_{DD}	V
V_{IH}	高电平输入电压		$0.7V_{DD}$	-	-	V
V_{IL}	低电平输入电压		-	-	$0.3V_{DD}$	V
V_{hys}	滞回电压		-	0.4	-	V
V_{OH}	高电平输出电压	$2.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ ； $I_{OH} = -4\text{ mA}$	$V_{DD} - 0.4$	-	-	V
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$ ； $I_{OH} = -3\text{ mA}$	$V_{DD} - 0.4$	-	-	V
V_{OL}	低电平输出电压	$2.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ ； $I_{OL} = 4\text{ mA}$	-	-	0.4	V
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$ ； $I_{OL} = 3\text{ mA}$	-	-	0.4	V
I_{OH}	高电平输出电流	$V_{OH} = V_{DD} - 0.4\text{ V}$ ； $2.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-4	-	-	mA
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$	-3	-	-	mA
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$	4	-	-	mA
		$2.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$				
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$	3	-	-	mA
I_{OHS}	高电平短路输出电流	$V_{OH} = 0\text{ V}$	[12]	-	-	-45 mA

表 5. 静态特性 (续)
 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$, 除非另有说明。

符号	参数	条件	Min	典型值 [1]	Max	单位
I _{OLS}	低电平短路输出电流	V _{OL} = V _{DD}	[12] -	-	50	mA
I _{pd}	下拉电流	V _I = 5 V	10	50	150	μA
I _{pu}	上拉电流	V _I = 0 V ; 2.0 V ≤ V _{DD} ≤ 3.6 V	-15	-50	-85	μA
		1.8 V ≤ V _{DD} < 2.0 V	-10	-50	-85	μA
		V _{DD} < V _I < 5 V	0	0	0	μA
高电平驱动输出引脚 (PIO0_7)						
I _{IL}	低电平输入电流	V _I = 0 V ; 片内上拉电阻禁用	-	0.5	10	nA
I _{IH}	高电平输入电流	V _I = V _{DD} ; 片内下拉电阻禁用	-	0.5	10	nA
I _{OZ}	截止状态输出电流	V _O = 0 V ; V _O = V _{DD} ; 禁用片内上拉 / 下拉电阻	-	0.5	10	nA
V _I	输入电压	配置引脚以提供一个数字功能	[9][10] [11] 0	-	5.0	V
V _O	输出电压	激活输出	0	-	V _{DD}	V
V _{IH}	高电平输入电压		0.7V _{DD}	-	-	V
V _{IL}	低电平输入电压		-	-	0.3V _{DD}	V
V _{hys}	滞回电压		0.4	-	-	V
V _{OH}	高电平输出电压	2.5 V ≤ V _{DD} ≤ 3.6 V ; I _{OH} = -20 mA	V _{DD} - 0.4	-	-	V
		1.8 V ≤ V _{DD} < 2.5 V ; I _{OH} = -12 mA	V _{DD} - 0.4	-	-	V
V _{OL}	低电平输出电压	2.0 V ≤ V _{DD} ≤ 3.6 V ; I _{OL} = 4 mA	-	-	0.4	V
		1.8 V ≤ V _{DD} < 2.0 V ; I _{OL} = 3 mA	-	-	0.4	V
I _{OH}	高电平输出电流	V _{OH} = V _{DD} - 0.4 V ; 2.5 V ≤ V _{DD} ≤ 3.6 V	20	-	-	mA
		1.8 V ≤ V _{DD} < 2.5 V	12	-	-	mA
I _{OL}	低电平输出电流	V _{OL} = 0.4 V	4	-	-	mA
		2.0 V ≤ V _{DD} ≤ 3.6 V				
		1.8 V ≤ V _{DD} < 2.0 V	3	-	-	mA
I _{OLS}	低电平短路输出电流	V _{OL} = V _{DD}	[12] -	-	50	mA
I _{pd}	下拉电流	V _I = 5 V	10	50	150	μA
I _{pu}	上拉电流	V _I = 0 V	-15	-50	-85	μA
		2.0 V ≤ V _{DD} ≤ 3.6 V				
		1.8 V ≤ V _{DD} < 2.0 V	-10	-50	-85	μA
		V _{DD} < V _I < 5 V	0	0	0	μA
I ² C 总线引脚 (PIO0_4 和 PIO0_5)						
V _{IH}	高电平输入电压		0.7V _{DD}	-	-	V
V _{IL}	低电平输入电压		-	-	0.3V _{DD}	V
V _{hys}	滞回电压		-	0.05V _{DD}	-	V
I _{OL}	低电平输出电流	V _{OL} = 0.4 V ; I ² C 总线引脚配置为标准 模式引脚	3.5	-	-	mA
		2.0 V ≤ V _{DD} ≤ 3.6 V				
		1.8 V ≤ V _{DD} < 2.0 V	3	-	-	

表 5. 静态特性 (续)
 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$, 除非另有说明。

符号	参数	条件	Min	典型值 [1]	Max	单位
I _{OL}	低电平输出电流	V _{OL} = 0.4 V ; I ² C 总线引脚配置为超快速模式引脚	20	-	-	mA
		2.0 V ≤ V _{DD} ≤ 3.6 V				
		1.8 V ≤ V _{DD} < 2.0 V	16	-	-	
I _{LI}	输入泄漏电流	V _I = V _{DD}	[13] -	2	4	μA
		V _I = 5 V	-	10	22	μA

振荡器引脚

V _{I(xtal)}	晶体输入电压	-0.5	1.8	1.95	V
V _{O(xtal)}	晶体输出电压	-0.5	1.8	1.95	V

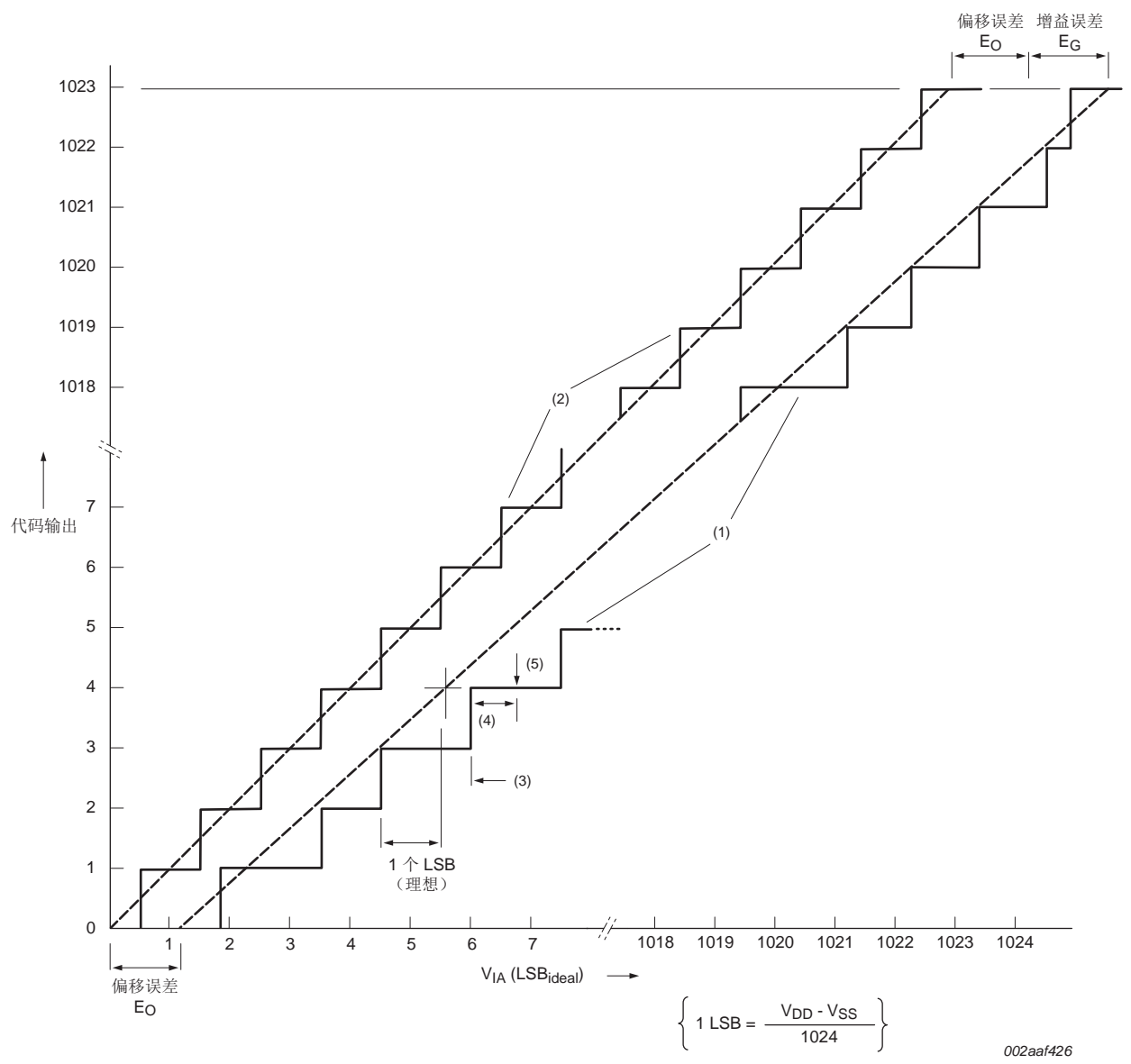
- [1] 无法保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。
- [2] IRC 使能；系统振荡器禁用；系统 PLL 禁用。
- [3] 执行 I_{DD} 测量时，所有引脚配置为 GPIO 输出驱动低电平并且上拉电阻禁用。
- [4] BOD 禁用。
- [5] 所有外设 在 AHBCLKCTRL 寄存器中禁用。USART 和 SSP0/1 的外设时钟在 SYSCON 模块中禁用。
- [6] 运行功率配置中的 set_power 例程时选择低电流模式 PWR_LOW_CURRENT。
- [7] IRC 禁用；系统振荡器使能；系统 PLL 使能。
- [8] 从外部上拉 WAKEUP 引脚至高电平。在深度掉电模式下，需要在 RESET 引脚上安装一个外部上拉电阻。
- [9] 包括三态模式下输出端的电压。
- [10] V_{DD} 电源电压必须存在。
- [11] 在深度掉电模式下，三态输出进入三态模式。
- [12] 只要电流限制不超过器件允许的最大电流即可。
- [13] 到 V_{SS}。

表 6. ADC 静态特性

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$ ，除非另有说明；ADC 频率 4.5 MHz， $V_{DD} = 2.5\text{ V}$ 至 3.6 V。

符号	参数	条件	Min	典型值	Max	单位
V_{IA}	模拟输入电压		0	-	V_{DD}	V
C_{ia}	模拟输入电容		-	-	1	pF
E_D	微分线性误差	[1][2]	-	-	± 1	LSB
$E_{L(adj)}$	积分非线性	[3]	-	-	± 1.5	LSB
E_O	偏移误差	[4]	-	-	± 3.5	LSB
E_G	增益误差	[5]	-	-	0.6	%
E_T	绝对误差	[6]	-	-	± 4	LSB
R_{vsi}	电压源接口电阻		-	-	40	k Ω
R_i	输入电阻	[7][8]	-	-	2.5	M Ω

- [1] ADC 是单调的，不存在失码的情况。
- [2] 微分线性误差 (E_D) 是指实际步长宽度与理想步长宽度之间的差异。参见图 7。
- [3] 积分非线性 ($E_{L(adj)}$) 是指在对增益和偏移误差进行适当的调整后，实际与理想传递曲线的步长中心之间的峰值差异。参见图 7。
- [4] 偏移误差 (E_O) 是指拟合实际曲线的直线与拟合理想曲线的直线之间的绝对差异。参见图 7。
- [5] 增益误差 (E_G) 是指消除了偏移误差后拟合实际传递曲线的直线与拟合理想传递曲线的直接之间的相对差异百分比。参见图 7。
- [6] 绝对误差 (E_T) 是指非校准 ADC 的实际传递曲线与理想传递曲线的步长中心之间的最大差异。参见图 7。
- [7] $T_{amb} = 25\text{ }^{\circ}\text{C}$ ；最大采样频率 $f_s = 400\text{kSamples/s}$ ，模拟输入电容 $C_{ia} = 1\text{ pF}$ 。
- [8] 输入电阻 R_i 取决于采样频率 f_s ： $R_i = 1 / (f_s \times C_{ia})$ 。



002aaf426

- (1) 实际传递曲线的例子。
- (2) 理想传递曲线。
- (3) 微分线性误差 (E_D)。
- (4) 积分非线性 ($E_{L(adj)}$)。
- (5) 实际传递曲线的步长中心。

图 7. ADC 特性

9.1 BOD 静态特性

表 7. BOD 静态特性 [1]
 $T_{amb} = 25\text{ }^{\circ}\text{C}$ 。

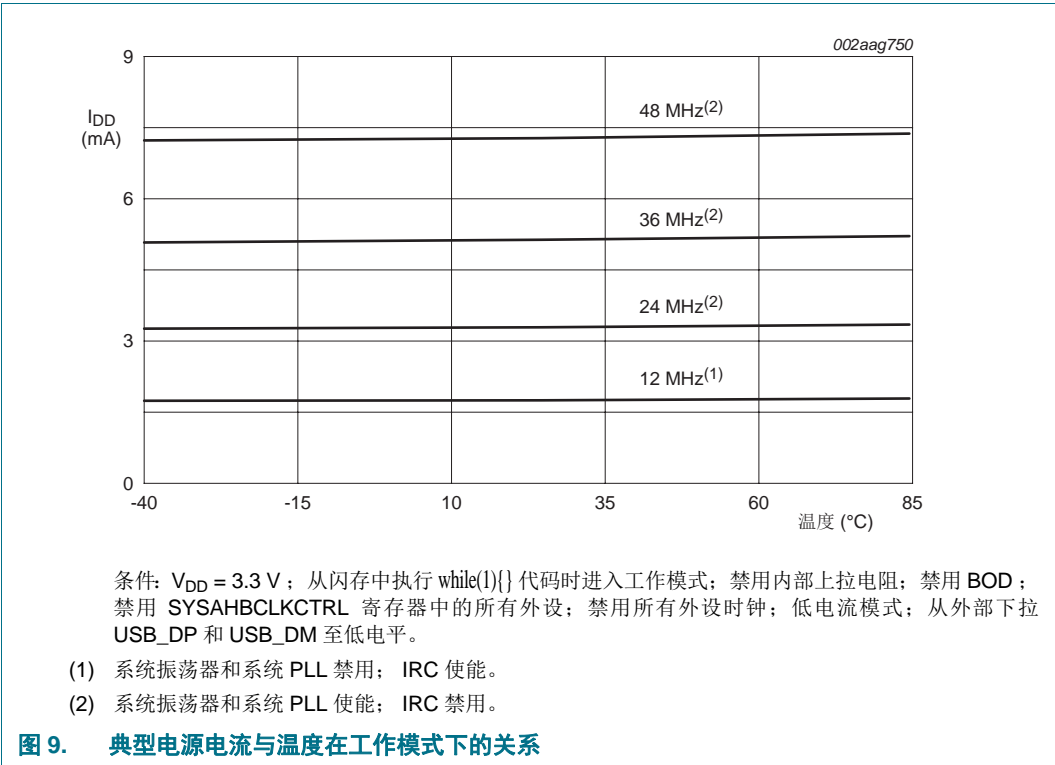
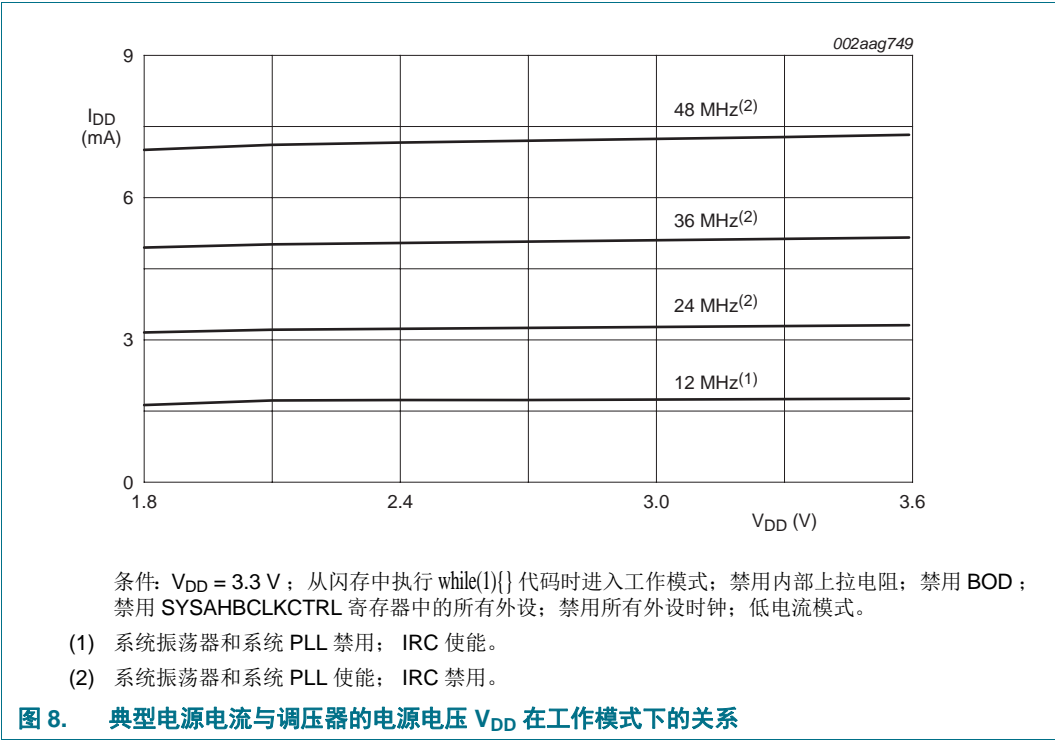
符号	参数	条件	Min	典型值	Max	单位
V_{th}	阈值电压	中断电平 0				
		断言	-	1.65	-	V
		取消	-	1.80	-	V
		中断电平 1				
		断言	-	2.22	-	V
		取消	-	2.35	-	V
		中断电平 2				
		断言	-	2.52	-	V
		取消	-	2.66	-	V
		中断电平 3				
		断言	-	2.80	-	V
		取消	-	2.90	-	V
		复位电平 0				
		断言	-	1.46	-	V
		取消	-	1.63	-	V
		复位电平 1				
		断言	-	2.06	-	V
		取消	-	2.15	-	V
		复位电平 2				
		断言	-	2.35	-	V
		取消	-	2.43	-	V
		复位电平 3				
		断言	-	2.63	-	V
		取消	-	2.71	-	V

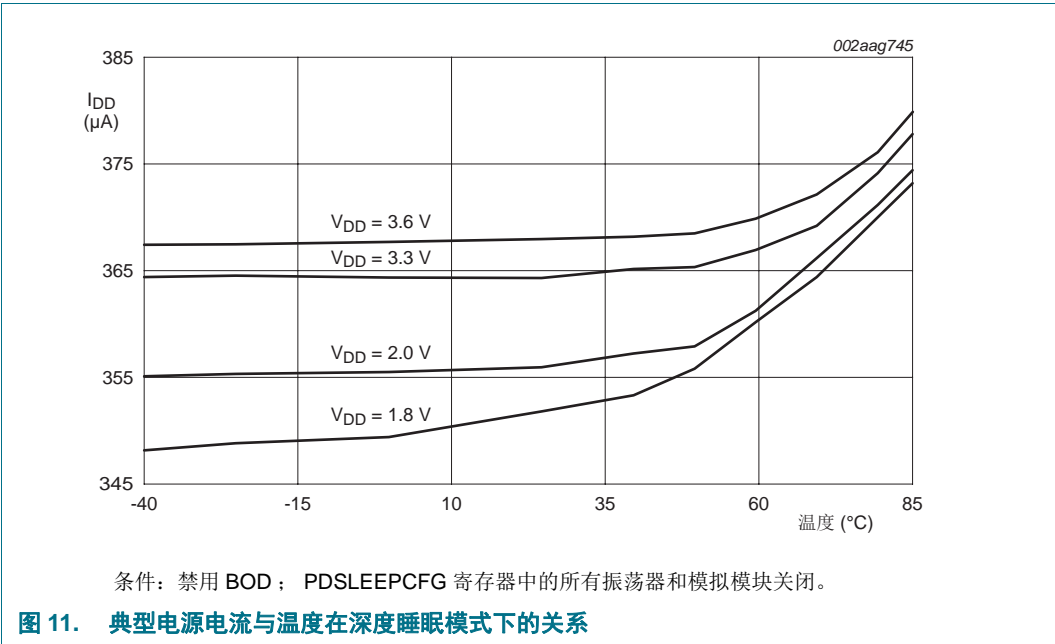
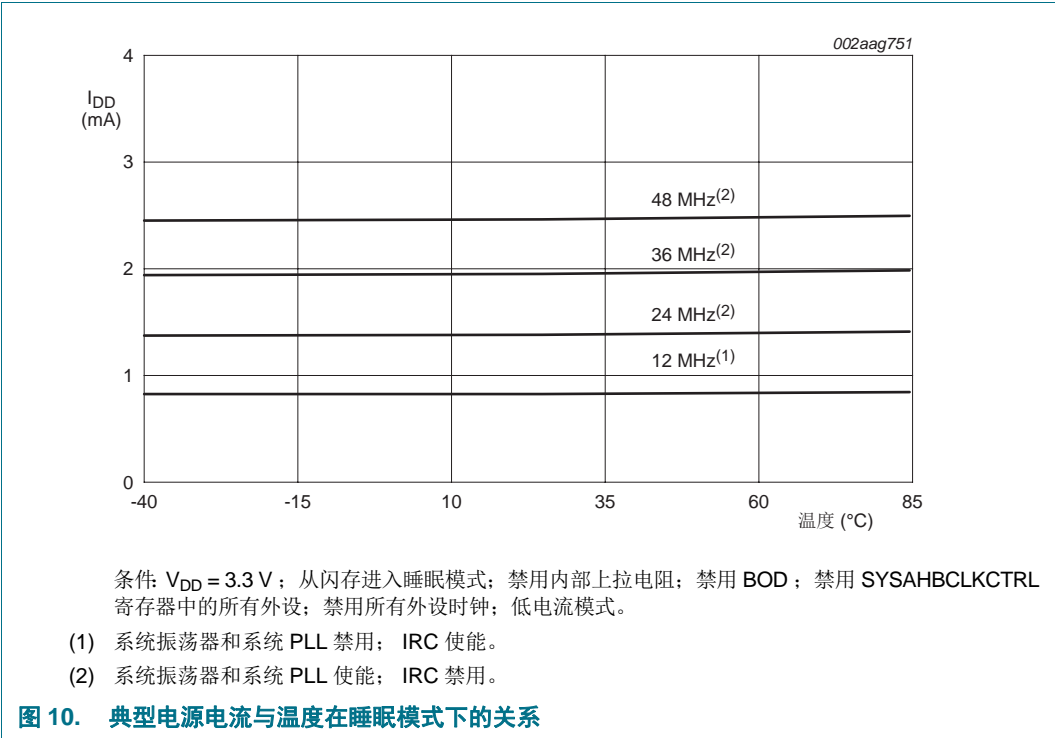
[1] 将电平值写入 BOD 控制寄存器 BODCTRL 可选择中断电平，参见《LPC11Exx 用户手册》。

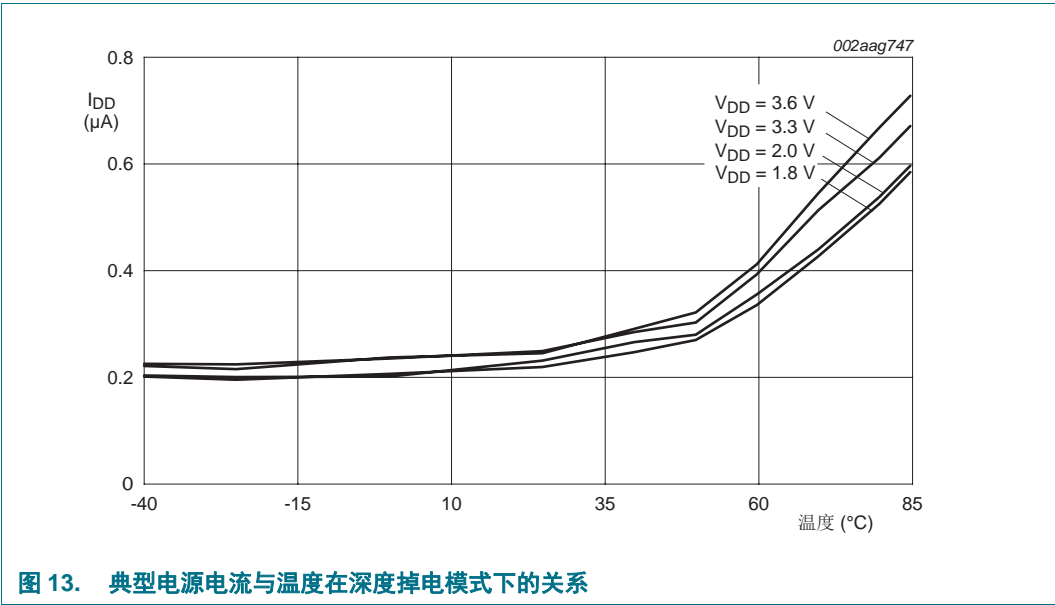
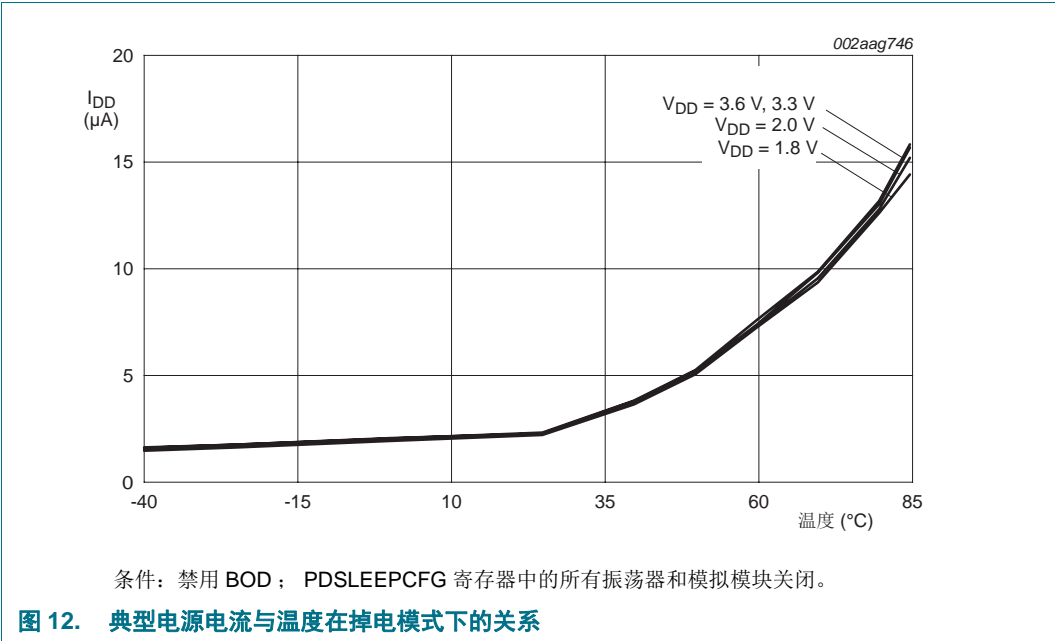
9.2 功耗

在下列条件下执行工作模式、睡眠模式和深度睡眠模式中的功率测量（参见《LPC11Exx 用户手册》）：

- 将所有引脚配置为 GPIO 引脚，上拉电阻在 IOCON 模块中禁用。
- 使用 GPIOnDIR 寄存器将 GPIO 引脚配置为输出。
- 对所有 GPIOnDATA 寄存器进行写 0 操作可将各输出驱动为低电平。







9.3 外设功耗

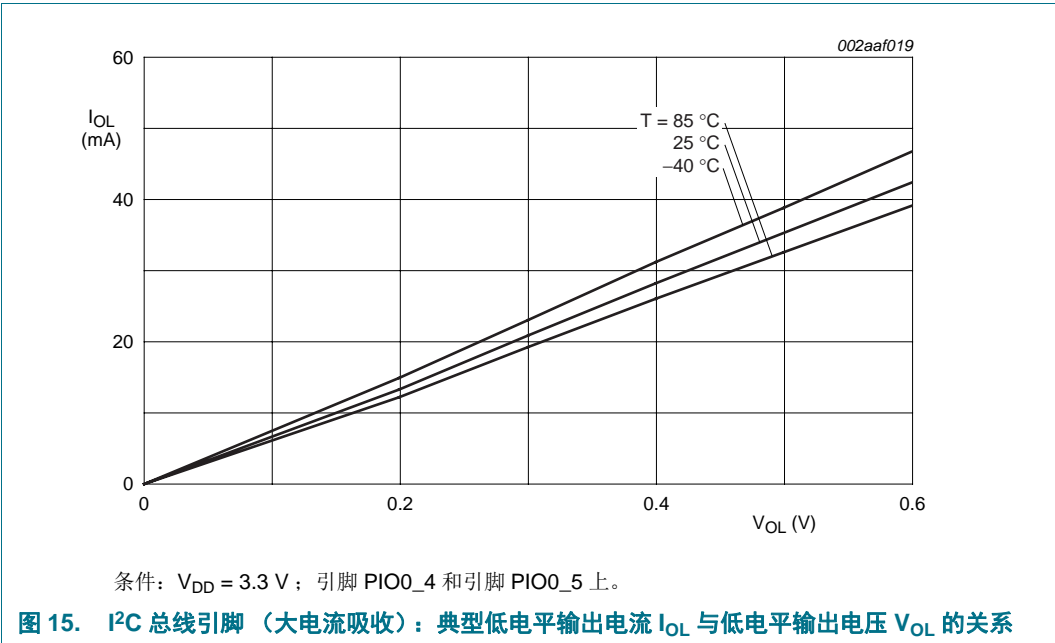
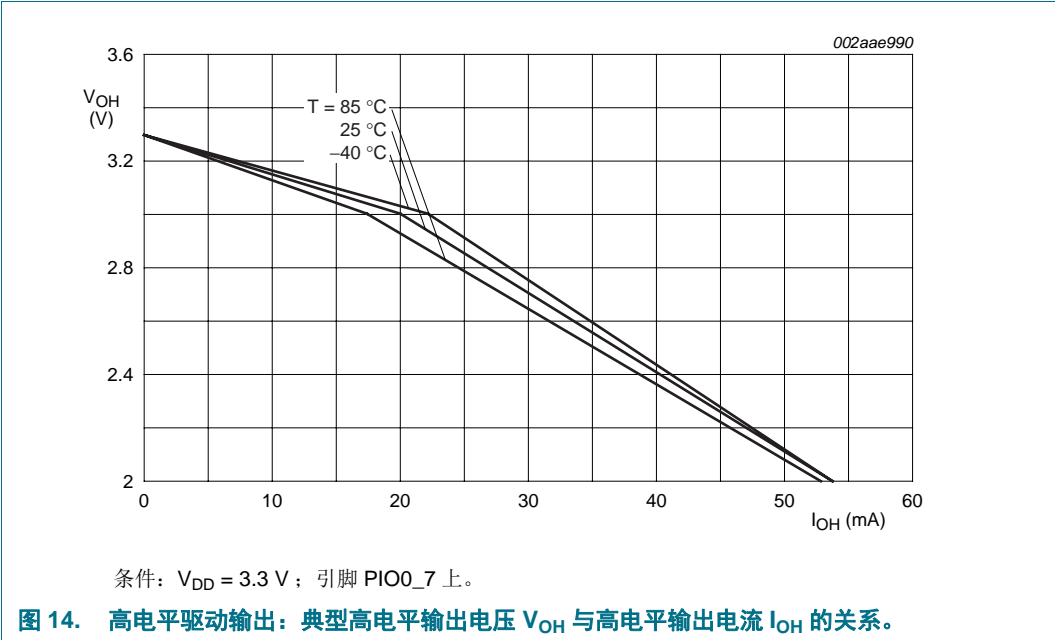
所测得的每个外设的电源电流是 SYSAHBCLKCFG 寄存器和 PDRUNCFG 寄存器（用于模拟模块）中使能外设时钟与禁用外设时钟之间的电源电流差值。在这两种寄存器中，所有其他模块都禁用并且不执行任何代码。T_{amb} = 25 °C 时在典型样本上测得。除非另有说明，否则系统振荡器和 PLL 以这两个测量结果运行。

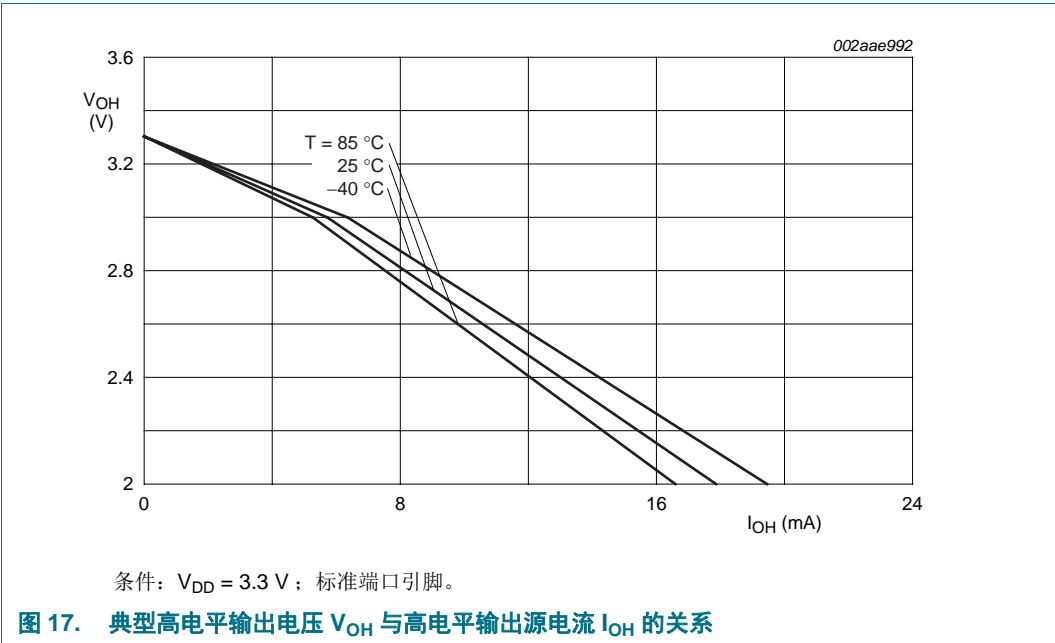
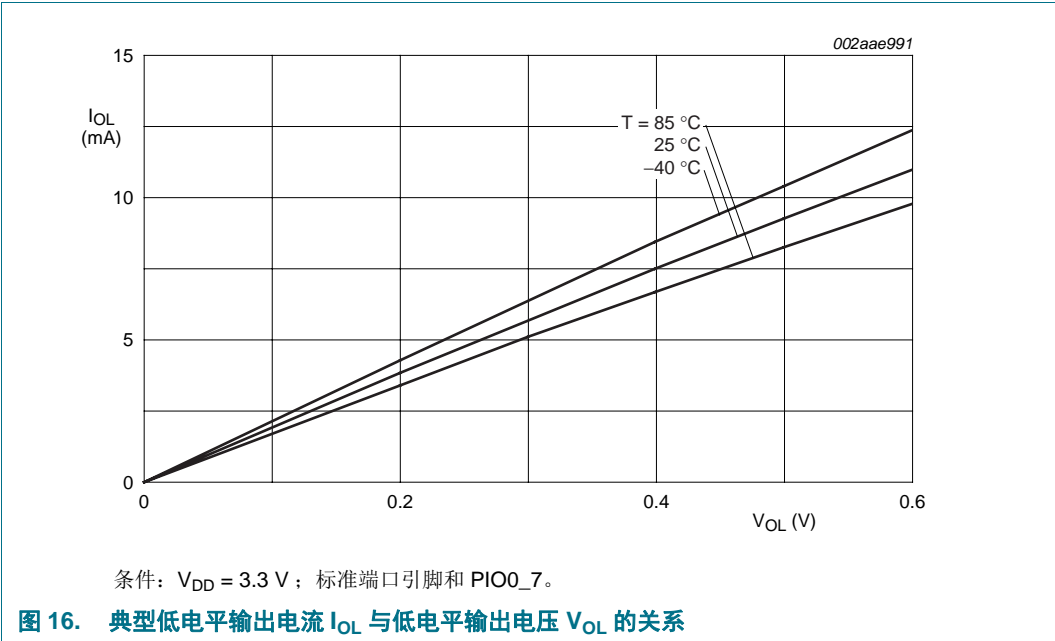
显示的电源电流适用于 12 MHz 和 48 MHz 的系统时钟频率。

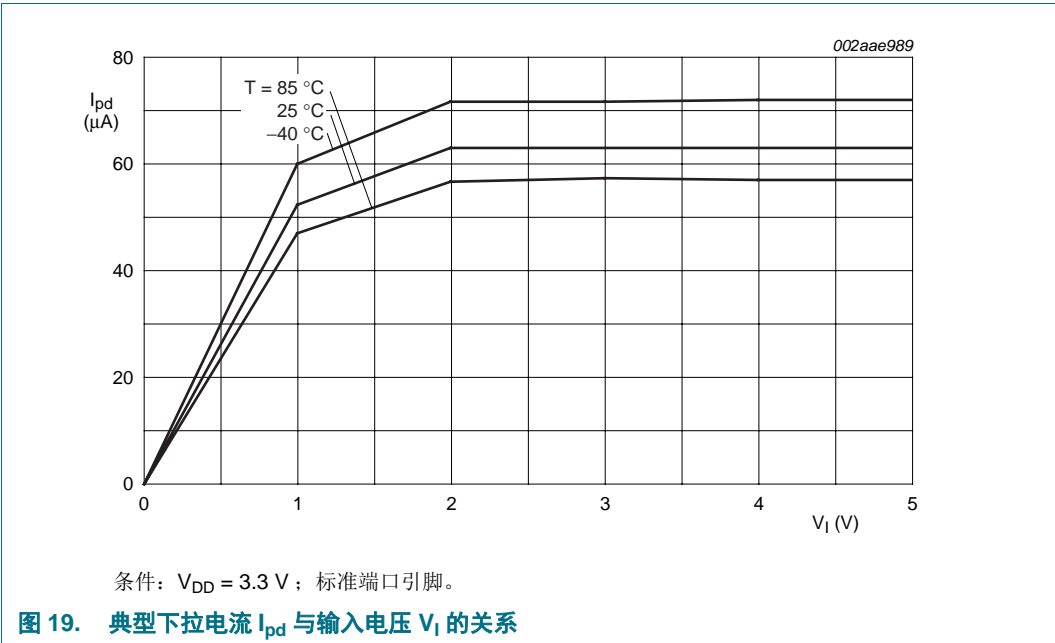
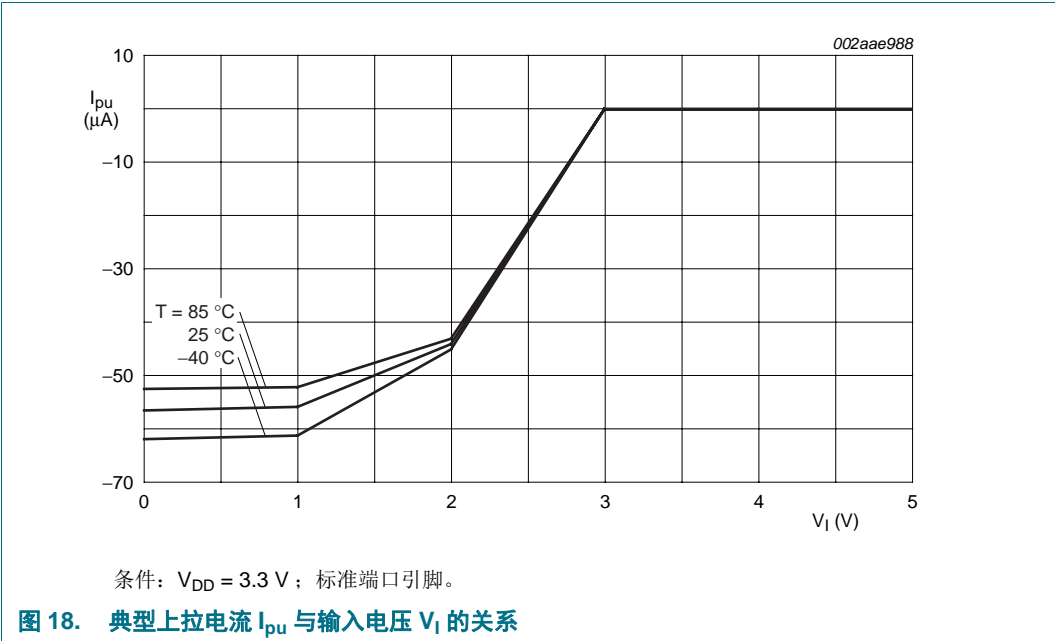
表 8. 各个模拟模块和数字模块的功耗

外设	典型电源电流（单位：mA）			备注
	不适用	12 MHz	48 MHz	
IRC	0.27	-	-	系统振荡器运行；PLL 关闭；独立于主时钟频率。
12 MHz 时的系统振荡器	0.22	-	-	IRC 运行；PLL 关闭；独立于主时钟频率。
500 kHz/2 时的看门狗振荡器	0.004	-	-	系统振荡器运行；PLL 关闭；独立于主时钟频率。
BOD	0.051	-	-	独立于主时钟频率。
主 PLL	-	0.21	-	-
ADC	-	0.08	0.29	-
CLKOUT	-	0.12	0.47	主时钟在 CLKOUTDIV 寄存器中 4 分频。
CT16B0	-	0.02	0.06	-
CT16B1	-	0.02	0.06	-
CT32B0	-	0.02	0.07	-
CT32B1	-	0.02	0.06	-
GPIO	-	0.23	0.88	GPIO 引脚配置为输出并设置为低电平。如果 GPIO 在 SYSAHBCLKCFG 寄存器中禁用，则保持方向和引脚状态。
IOCONFIG	-	0.03	0.10	-
I2C	-	0.04	0.13	-
ROM	-	0.04	0.15	-
SPI0	-	0.12	0.45	-
SPI1	-	0.12	0.45	-
UART	-	0.22	0.82	-
WWDT	-	0.02	0.06	选择主时钟作为 WDT 的时钟源。

9.4 电气引脚特性







10. 动态特性

10.1 闪存

表 9. 闪存特性
 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$ ，除非另有说明。

符号	参数	条件	Min	典型值	Max	单位
N_{endu}	耐受性		[1] 10000	100000	-	周期
t_{ret}	保持时间	上电	10	-	-	年
		未上电	20	-	-	年
t_{er}	擦除时间	扇区或多个连续扇区	95	100	105	ms
t_{prog}	编程时间		[2] 0.95	1	1.05	ms

- [1] 程序 / 擦除周期数。
[2] 编程时间是针对将 256 字节从 RAM 写至闪存来给定的。数据必须以 256 字节的模块写入闪存中。

表 10. EEPROM 特性
 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$ ； $V_{DD} = 2.7\text{ V}$ 至 3.6 V 。基于 JEDEC NVM 标准。
对于下列指定器件，故障率 $< 10\text{ ppm}$ 。

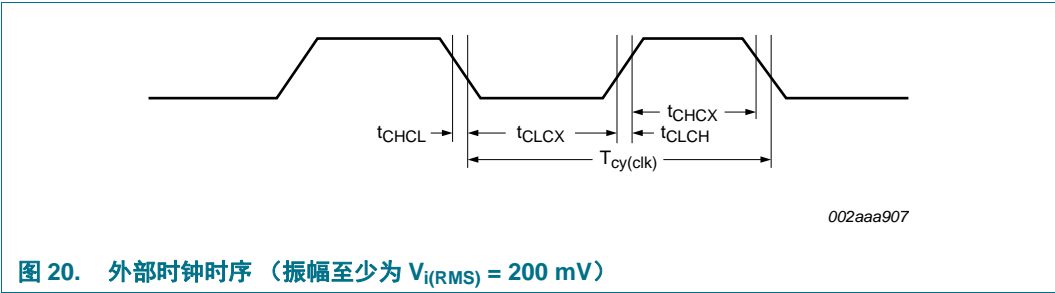
符号	参数	条件	Min	典型值	Max	单位
f_{clk}	时钟频率		200	375	400	kHz
N_{endu}	耐受性		100000	1000000	-	周期
t_{ret}	保持时间	上电	100	200	-	年
		未上电	150	300	-	年
t_{er}	擦除时间	64 字节	-	1.8	-	ms
t_{prog}	编程时间	64 字节	-	1.1	-	ms

10.2 外部时钟

表 11. 动态特性：外部时钟
 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$ ；规定范围内的 V_{DD} 。 [1]

符号	参数	条件	Min	典型值 [2]	Max	单位
f_{osc}	振荡器频率		1	-	25	MHz
$T_{cy(clk)}$	时钟周期时间		40	-	1000	ns
t_{CHCX}	时钟高电平时间		$T_{cy(clk)} \times 0.4$	-	-	ns
t_{CLCX}	时钟低电平时间		$T_{cy(clk)} \times 0.4$	-	-	ns
t_{CLCH}	时钟上升时间		-	-	5	ns
t_{CHCL}	时钟下降时间		-	-	5	ns

- [1] 参数在工作温度范围内有效，除非另有说明。
[2] 无法保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。



10.3 内部振荡器

表 12. 动态特性: IRC
 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$; $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ [1].

符号	参数	条件	Min	典型值 [2]	Max	单位
$f_{osc(RC)}$	内部 RC 振荡器频率	-	11.88	12	12.12	MHz

- [1] 参数在工作温度范围内有效，除非另有说明。
[2] 无法保证得到典型额定值。上表列出的值是在室温 ($25\text{ }^{\circ}\text{C}$)、标称的电源电压下测得的。

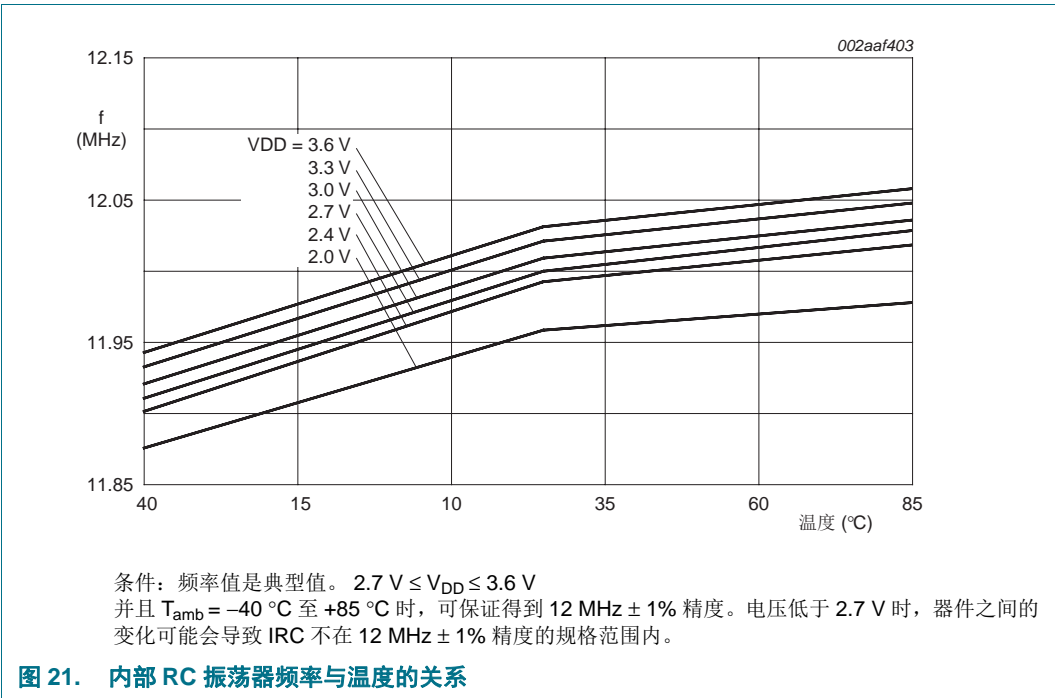


表 13. 动态特性：看门狗振荡器

符号	参数	条件	Min	典型值 [1]	Max	单位
f _{osc(int)}	内部振荡器频率	WDTOSCCTRL 寄存器中 DIVSEL = 0x1F, FREQSEL = 0x1 ;	[2][3]	-	7.8	- kHz
		WDTOSCCTRL 寄存器中 DIVSEL = 0x00, FREQSEL = 0xF	[2][3]	-	1700	- kHz

[1] 无法保证得到典型额定值。上表列出的值是在标称的电源电压下测得的。
[2] 工艺和温度范围内 (T_{amb} = -40 °C 至 +85 °C) 的典型频率变化为 ± 40 %。
[3] 参见《LPC11Exx 用户手册》。

10.4 I/O 引脚

表 14. 动态特性：I/O 引脚 [1]

T_{amb} = -40 °C 至 +85 °C ; 3.0 V ≤ V_{DD} ≤ 3.6 V。

符号	参数	条件	Min	典型值	Max	单位
t _r	上升时间	引脚配置为输出	3.0	-	5.0	ns
t _f	下降时间	引脚配置为输出	2.5	-	5.0	ns

[1] 适用于标准端口引脚和 RESET 引脚。

10.5 I²C 总线

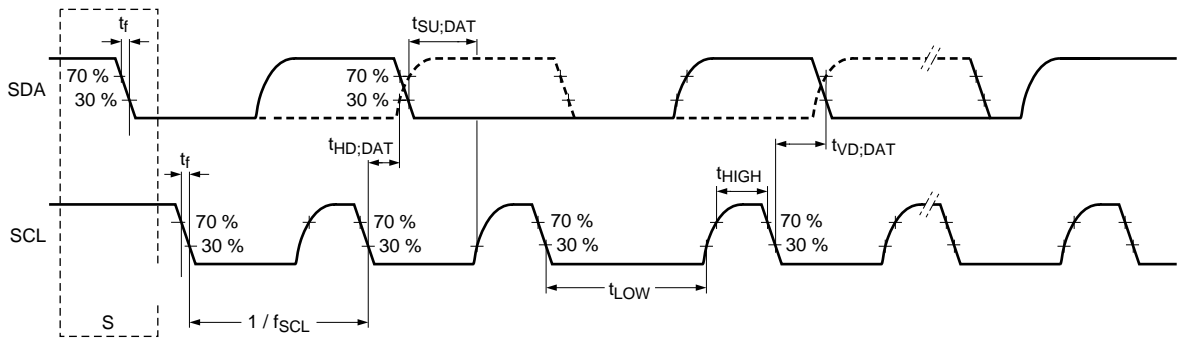
表 15. 动态特性：I²C 总线引脚 [1]

T_{amb} = -40 °C 至 +85 °C。 [2]

符号	参数	条件	Min	Max	单位
f _{SCL}	SCL 时钟频率	标准模式	0	100	kHz
		快速模式	0	400	kHz
		超快速模式	0	1	MHz
t _f	下降时间	[4][5][6][7] SDA 和 SCL 信号的	-	300	ns
		标准模式			
		快速模式	20 + 0.1 × C _b	300	ns
t _{LOW}	SCL 时钟的低电平周期	超快速模式	-	120	ns
		标准模式	4.7	-	μs
		快速模式	1.3	-	μs
t _{HIGH}	SCL 时钟的高电平周期	超快速模式	0.5	-	μs
		标准模式	4.0	-	μs
		快速模式	0.6	-	μs
t _{HD;DAT}	数据保持时间	[3][4][8] 超快速模式	0.26	-	μs
		标准模式	0	-	μs
		快速模式	0	-	μs
t _{SU;DAT}	数据建立时间	[9][10] 超快速模式	0	-	μs
		标准模式	250	-	ns
		快速模式	100	-	ns
		超快速模式	50	-	ns

[1] 有关详情，请参见 I²C 总线规范 UM10204。
[2] 参数在工作温度范围内有效，除非另有说明。

- [3] $t_{HD;DAT}$ 是根据 SCL 的下降沿测量得出的数据保持时间；适用于数据传输和确认。
- [4] 对于 SDA 信号，器件的内部必须能够提供至少 300 ns 的保持时间（关于 SCL 信号的 $V_{IH(min)}$ ），以便桥接 SCL 下降沿的未定义区域。
- [5] C_b = 一条总线的总电容（以 pF 为单位）。
- [6] SDA 和 SCL 总线的最大 t_f 被指定为 300 ns。SDA 输出阶段的最大下降时间 t_f 被指定为 250 ns。这将使得串联保护电阻能够在 SDA 和 SCL 引脚与 SDA/SCL 总线之间进行连接，而不会超出指定的最大 t_f 。
- [7] 在超快速模式中，为输出阶段和总线时序指定的下降时间相同。如果使用串联电阻，那么设计者在考虑总线时序时应虑及这种情况。
- [8] 标准模式和快速模式的最大 $t_{HD;DAT}$ 可以分别为 3.45 μs 和 0.9 μs ，但必须小于按跳变时间计算的 $t_{VD;DAT}$ 或 $t_{VD;ACK}$ 的最大值（参见 *UM10204*）。只有在器件没有延长 SCL 信号的低电平周期 (t_{LOW}) 时，才必须满足此最大值。如果时钟延长了 SCL，则在建立时间之前，数据必须一直有效，然后才能释放时钟。
- [9] $t_{SU;DAT}$ 是根据 SCL 的上升沿测量得出的数据建立时间；适用于数据传输和确认。
- [10] 快速模式 I²C 总线器件可在标准模式 I²C 总线系统上使用，但必须满足 $t_{SU;DAT} = 250\text{ ns}$ 这一要求。如果器件没有延长 SCL 信号的低电平周期，则会自动默认为这种情况。如果此类器件没有延长 SCL 信号的低电平周期，则它必须将下一个数据位输出到 SDA 线 $t_{r(max)} + t_{SU;DAT} = 1000 + 250 = 1250\text{ ns}$ （根据标准模式 I²C 总线规格），然后才能释放 SCL 线。此外，确认时序也必须满足此建立时间。



002aaf425

图 22. I²C 总线引脚时钟时序

10.6 SSP 接口

表 16. SPI 模式下 SPI 引脚的动态特性

符号	参数	条件		Min	典型值	Max	单位
SPI 主机（SPI 模式下）							
T _{cy(clk)}	时钟周期时间	全双工模式	[1]	50	-	-	ns
		仅当发送时	[1]	40			ns
t _{DS}	数据建立时间	SPI 模式下	[2]	15	-	-	ns
		2.4 V ≤ V _{DD} ≤ 3.6 V					
		2.0 V ≤ V _{DD} < 2.4 V	[2]	20			ns
		1.8 V ≤ V _{DD} < 2.0 V	[2]	24	-	-	ns
t _{DH}	数据保持时间	SPI 模式下	[2]	0	-	-	ns
t _{v(Q)}	数据输出有效时间	SPI 模式下	[2]	-	-	10	ns
t _{h(Q)}	数据输出保持时间	SPI 模式下	[2]	0	-	-	ns
SPI 从机（SPI 模式下）							
T _{cy(PCLK)}	PCLK 周期时间			20	-	-	ns
t _{DS}	数据建立时间	SPI 模式下	[3][4]	0	-	-	ns
t _{DH}	数据保持时间	SPI 模式下	[3][4]	3 × T _{cy(PCLK)} + 4	-	-	ns
t _{v(Q)}	数据输出有效时间	SPI 模式下	[3][4]	-	-	3 × T _{cy(PCLK)} + 11	ns
t _{h(Q)}	数据输出保持时间	SPI 模式下	[3][4]	-	-	2 × T _{cy(PCLK)} + 5	ns

[1] $T_{cy(clk)} = (SSPCLKDIV \times (1 + SCR) \times CPSDVSR) / f_{main}$ 。来自 SPI 比特率的时钟周期时间 $T_{cy(clk)}$ 是主时钟频率 f_{main} 、SPI 外设时钟分频器 (SSPCLKDIV)、SPI SCR 参数（在 SSP0CR0 寄存器中指定）以及 SPI CPSDVSR 参数（在 SPI 时钟预分频寄存器中指定）的一个函数。

[2] $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $85\text{ }^{\circ}\text{C}$ 。

[3] $T_{cy(clk)} = 12 \times T_{cy(PCLK)}$ 。

[4] $T_{amb} = 25\text{ }^{\circ}\text{C}$ ；对于正常的供电电压范围：V_{DD} = 3.3 V。

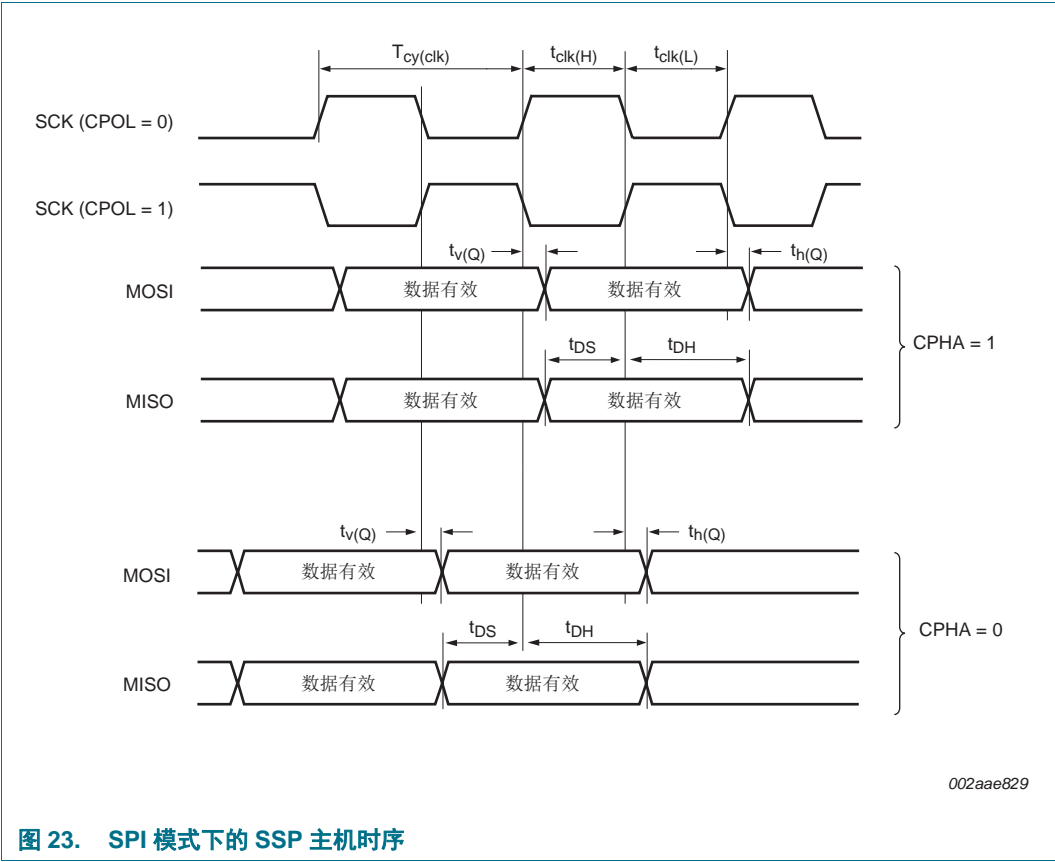


图 23. SPI 模式下的 SSP 主机时序

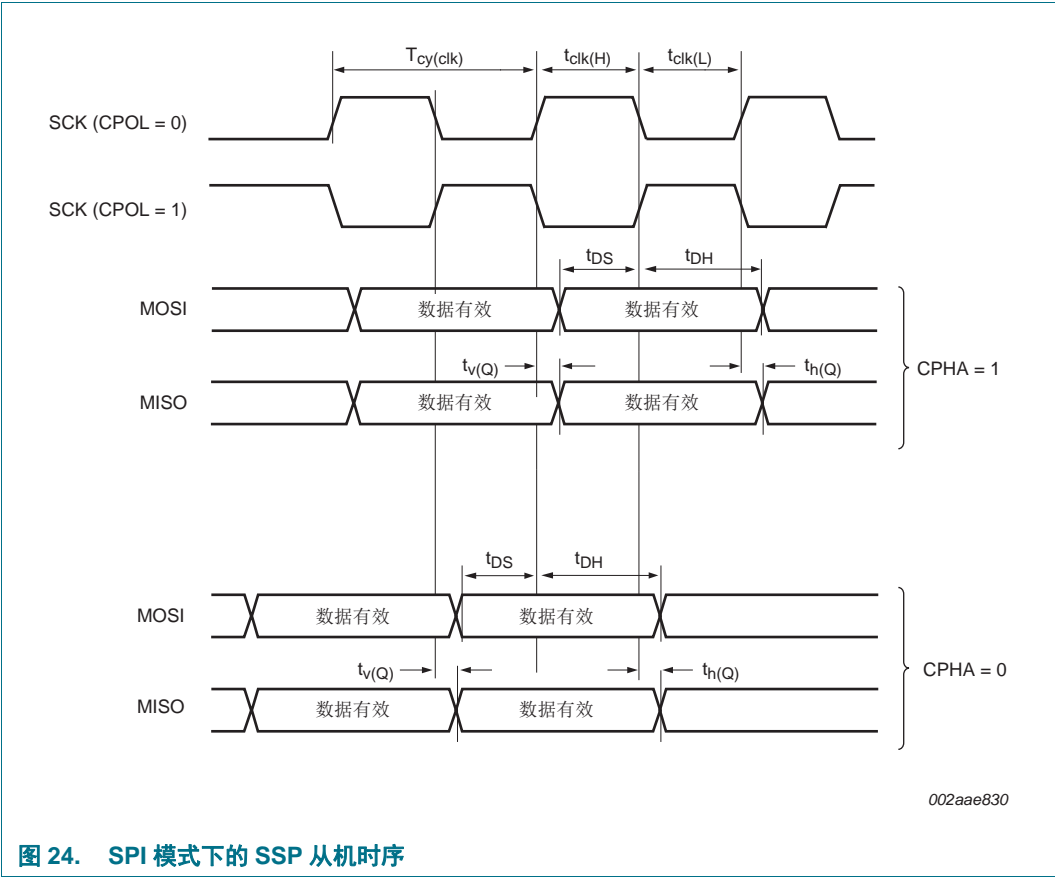


图 24. SPI 模式下的 SSP 从机时序

11. 应用信息

11.1 XTAL 输入

片内振荡器的输入电压限制为 1.8 V。如果振荡器由从机模式下的时钟驱动，建议输入通过 $C_i = 100\text{ pF}$ 的电容来耦合。要将输入电压限制为指定范围，应选择附加的接地电容 C_g ，以系数 $C_i/(C_i + C_g)$ 衰减输入电压。从机模式下，需要最小 200 mV(RMS)。

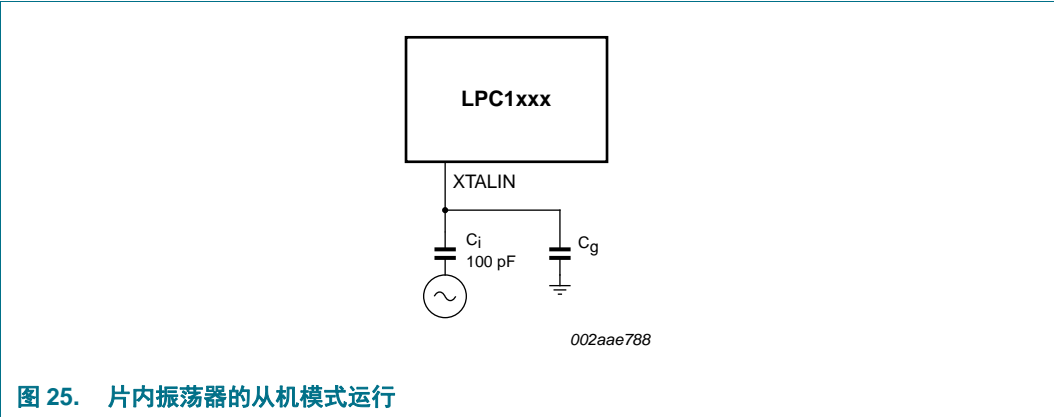


图 25. 片内振荡器的从机模式运行

在从机模式下，输入时钟信号应通过 100 pF 的电容（图 25）进行耦合，振幅介于 200 mV (RMS) 到 1000 mV (RMS) 之间。该信号对应于信号摆幅在 280 mV 和 1.4 V 之间的方波信号。可使该配置中的 XTALOUT 引脚处于断开状态。

振荡模式中使用的元件和模型如图 26、表 17 和表 18 中所示。如果是基本模式的振荡，由于反馈电阻集成在芯片上，因此只有一个晶体以及电容 C_{X1} 和 C_{X2} 需要从外部进行连接（ L 、 C_L 和 R_S 表示基本频率）。电容 C_P （如图 26 中所示）表示并行封装电容，它不得大于 7 pF。参数 F_{OSC} 、 C_L 、 R_S 和 C_P 由晶体制造商提供。

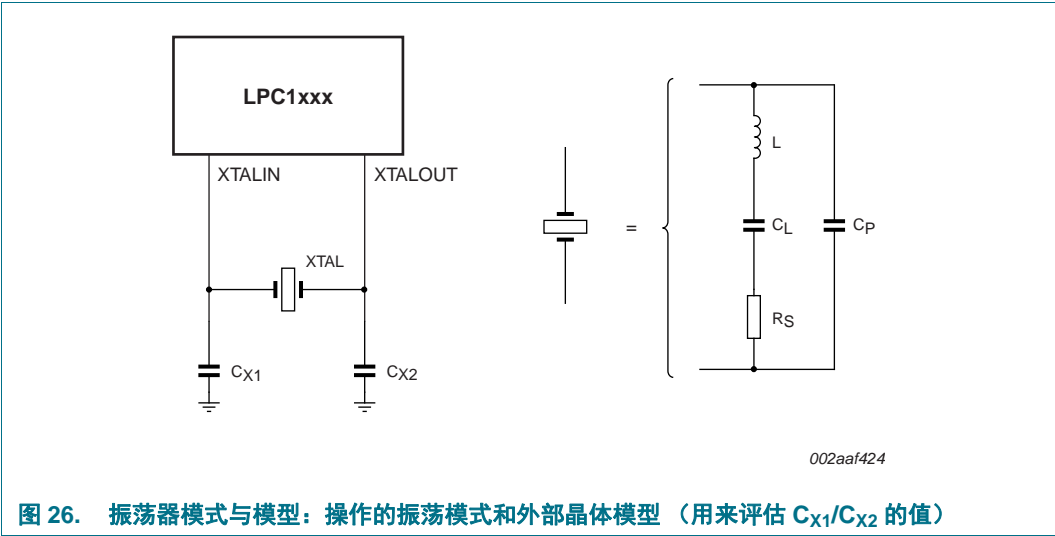


表 17. 振荡模式（晶体和外部元件参数）低频模式下 C_{X1}/C_{X2} 的推荐值

基础振荡频率 F_{Osc}	晶体负载电容 C_L	最大晶体串联电阻 R_S	外部负载电容 C_{X1} 、 C_{X2}
1 MHz - 5 MHz	10 pF	< 300 Ω	18 pF、18 pF
	20 pF	< 300 Ω	39 pF、39 pF
	30 pF	< 300 Ω	57 pF、57 pF
5 MHz - 10 MHz	10 pF	< 300 Ω	18 pF、18 pF
	20 pF	< 200 Ω	39 pF、39 pF
	30 pF	< 100 Ω	57 pF、57 pF
10 MHz - 15 MHz	10 pF	< 160 Ω	18 pF、18 pF
	20 pF	< 60 Ω	39 pF、39 pF
15 MHz - 20 MHz	10 pF	< 80 Ω	18 pF、18 pF

表 18. 振荡模式（晶体和外部元件参数）高频模式下 C_{X1}/C_{X2} 的推荐值

基础振荡频率 F_{Osc}	晶体负载电容 C_L	最大晶体串联电阻 R_S	外部负载电容 C_{X1} 、 C_{X2}
15 MHz - 20 MHz	10 pF	< 180 Ω	18 pF、18 pF
	20 pF	< 100 Ω	39 pF、39 pF
20 MHz - 25 MHz	10 pF	< 160 Ω	18 pF、18 pF
	20 pF	< 80 Ω	39 pF、39 pF

11.2 XTAL 印刷电路板 (PCB) 布局指南

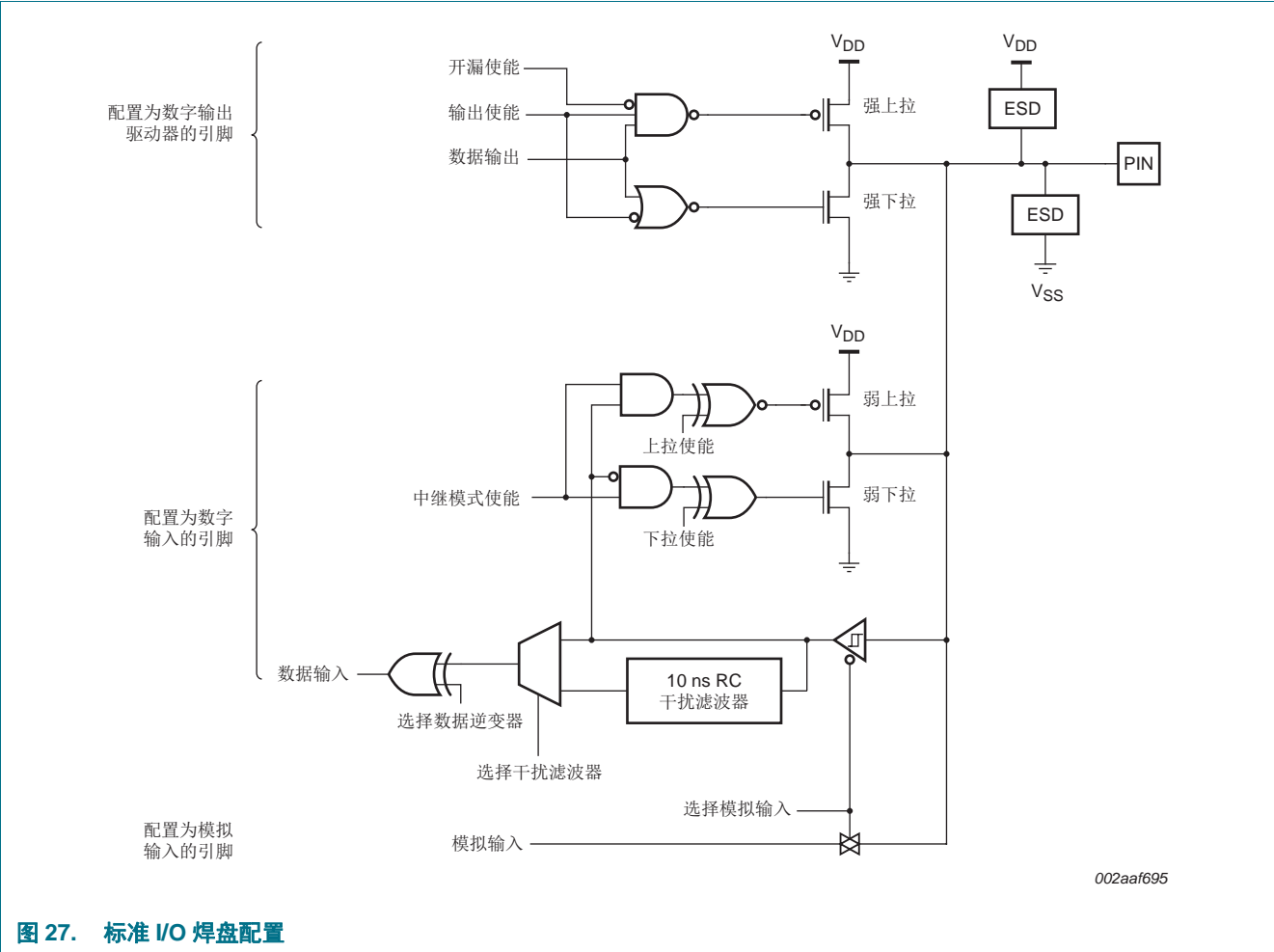
遵照以下 PCB 布局指南：

- 晶体应在尽可能靠近芯片的振荡器输入和输出引脚的 PCB 上进行连接。
- 请注意，如果使用第三个谐波晶体，则负载电容 C_{X1} 、 C_{X2} 和 C_{X3} 具有一个公共的接地层。
- 将外部元件连接到该接地层。
- 锁相环应尽可能的小，以使通过 PCB 进行耦合时所产生的寄生效应和噪声尽可能的小。
- 如果 PCB 布局中的寄生效应增多，则应选择 C_{X1} 和 C_{X2} 中的较小值。

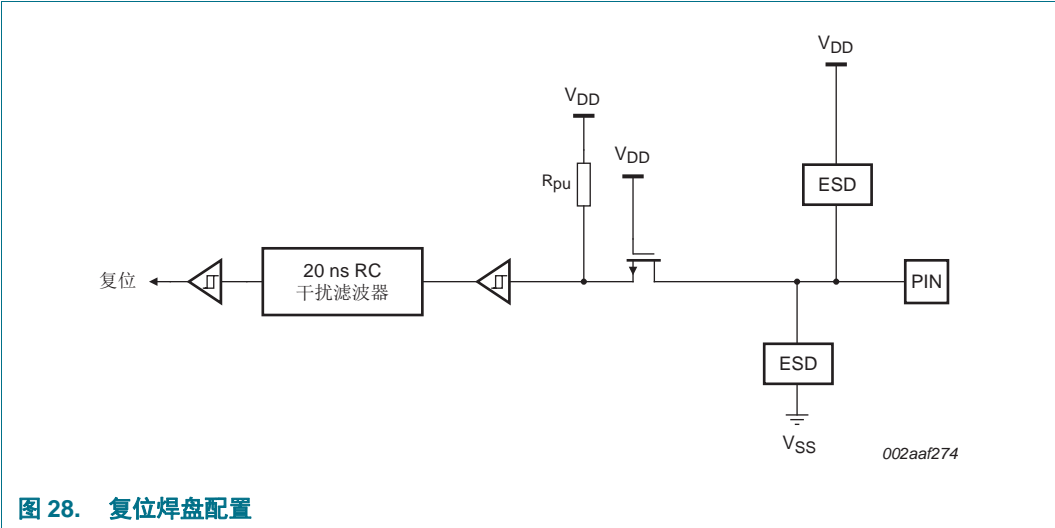
11.3 标准 I/O 焊盘配置

图 27 显示标准 I/O 引脚（具有模拟输入功能）的几种可用引脚模式：

- 数字输出驱动器
- 数字输入：上拉使能 / 禁用
- 数字输入：下拉使能 / 禁用
- 数字输入：中继模式使能 / 禁用
- 模拟输入



11.4 复位焊盘配置



11.5 ADC 使用说明

下列指南显示如何提高超出[表 6](#)中所列出的 ADC 规范的噪声环境中 ADC 的性能：

- ADC 输入线路必须较短并且尽可能靠近 LPC11E1x 芯片。
- 使 ADC 输入跟踪避开快速开关数字信号和有噪声的电源线路。
- ADC 和数字内核共用相同的电源。因此，需对电源线路进行充分的滤波。
- 要在有噪声的环境中提高 ADC 性能，应在 ADC 转换时将器件置于睡眠模式。

12. 封装尺寸

HVQFN33：塑料散热增强型超薄四侧扁平封装；无引脚；
33 个端子；主体尺寸 7 x 7 x 0.85 mm

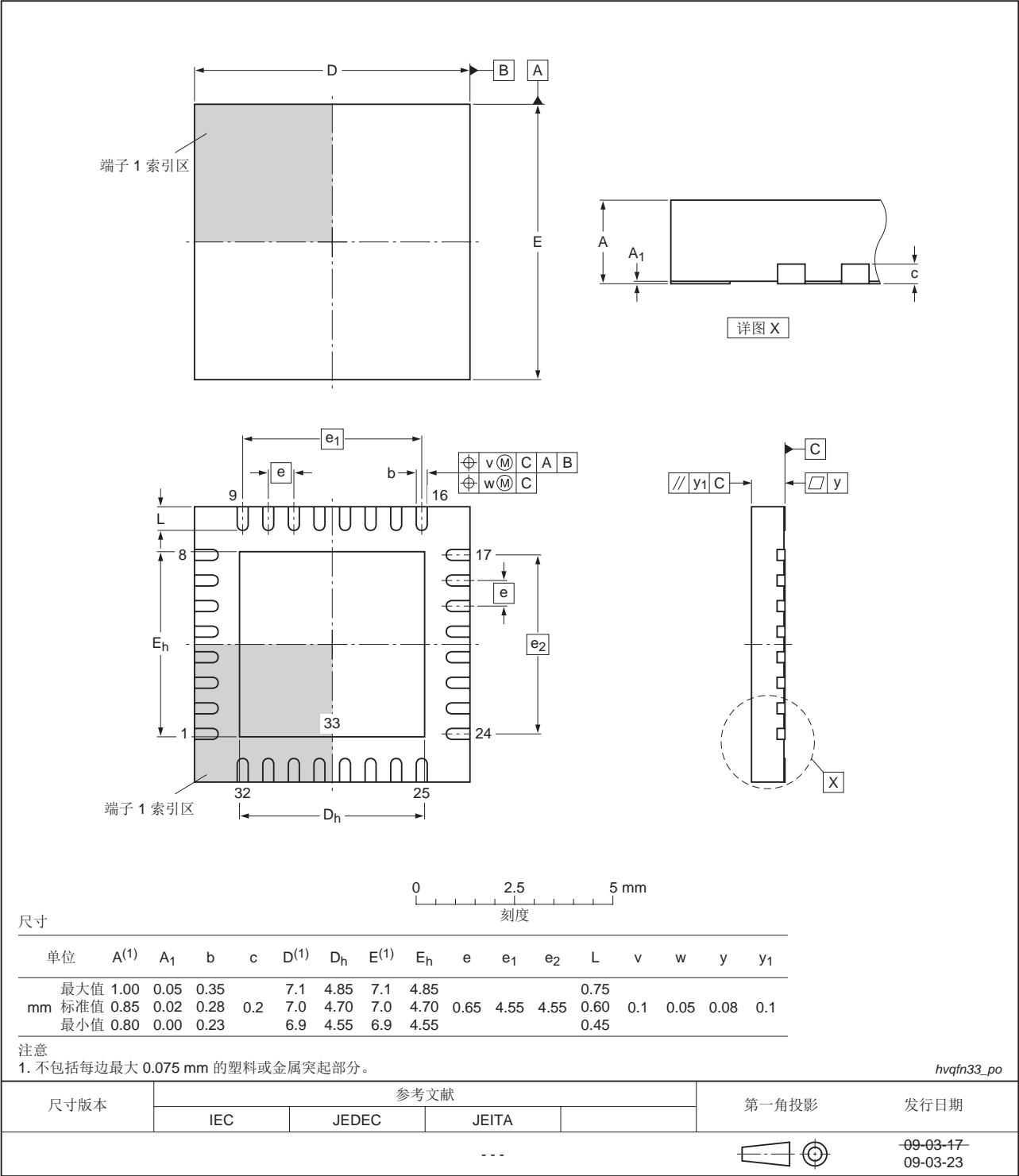


图 29. 封装尺寸 HVQFN33 (7 x 7 x 0.85 mm)

LQFP48：塑料薄型四侧扁平封装；48 引脚；主体尺寸 7 x 7 x 1.4 mm

SOT313-2

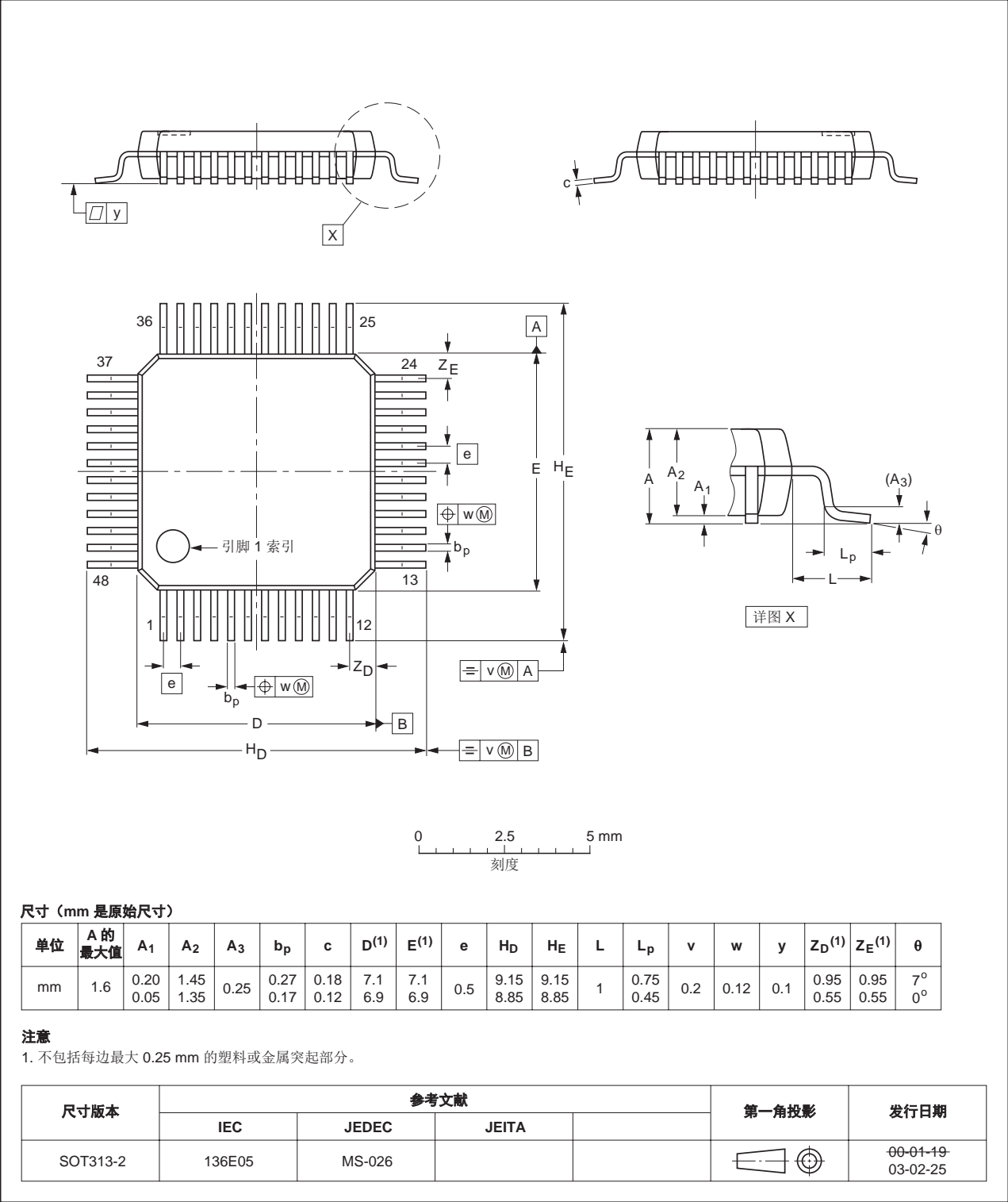
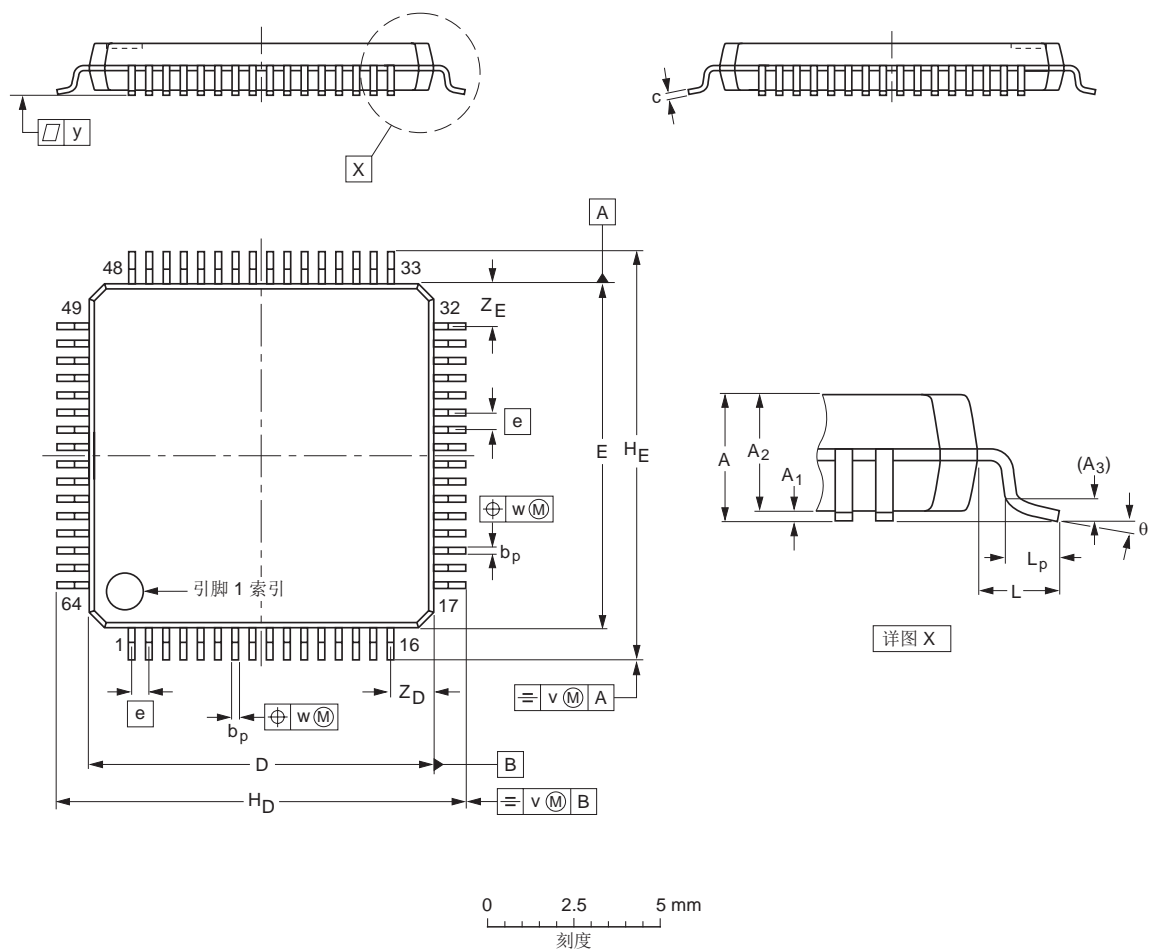


图 30. 封装尺寸 LQFP48 (SOT313-2)

LQFP64：塑料薄型四侧扁平封装；64 引脚；主体尺寸 10 x 10 x 1.4 mm

SOT314-2



尺寸 (mm 是原始尺寸)

单位	A 的最大值	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _D	H _E	L	L _p	v	w	y	Z _D ⁽¹⁾	Z _E ⁽¹⁾	θ
mm	1.6	0.20 0.05	1.45 1.35	0.25	0.27 0.17	0.18 0.12	10.1 9.9	10.1 9.9	0.5	12.15 11.85	12.15 11.85	1	0.75 0.45	0.2	0.12	0.1	1.45 1.05	1.45 1.05	7° 0°

注意

1. 不包括每边最大 0.25 mm 的塑料或金属突起部分。

尺寸版本	参考文献				第一角投影	发行日期
	IEC	JEDEC	JEITA			
SOT314-2	136E10	MS-026				00-01-19- 03-02-25

图 31. 封装尺寸 LQFP64 (SOT314-2)

13. 焊接

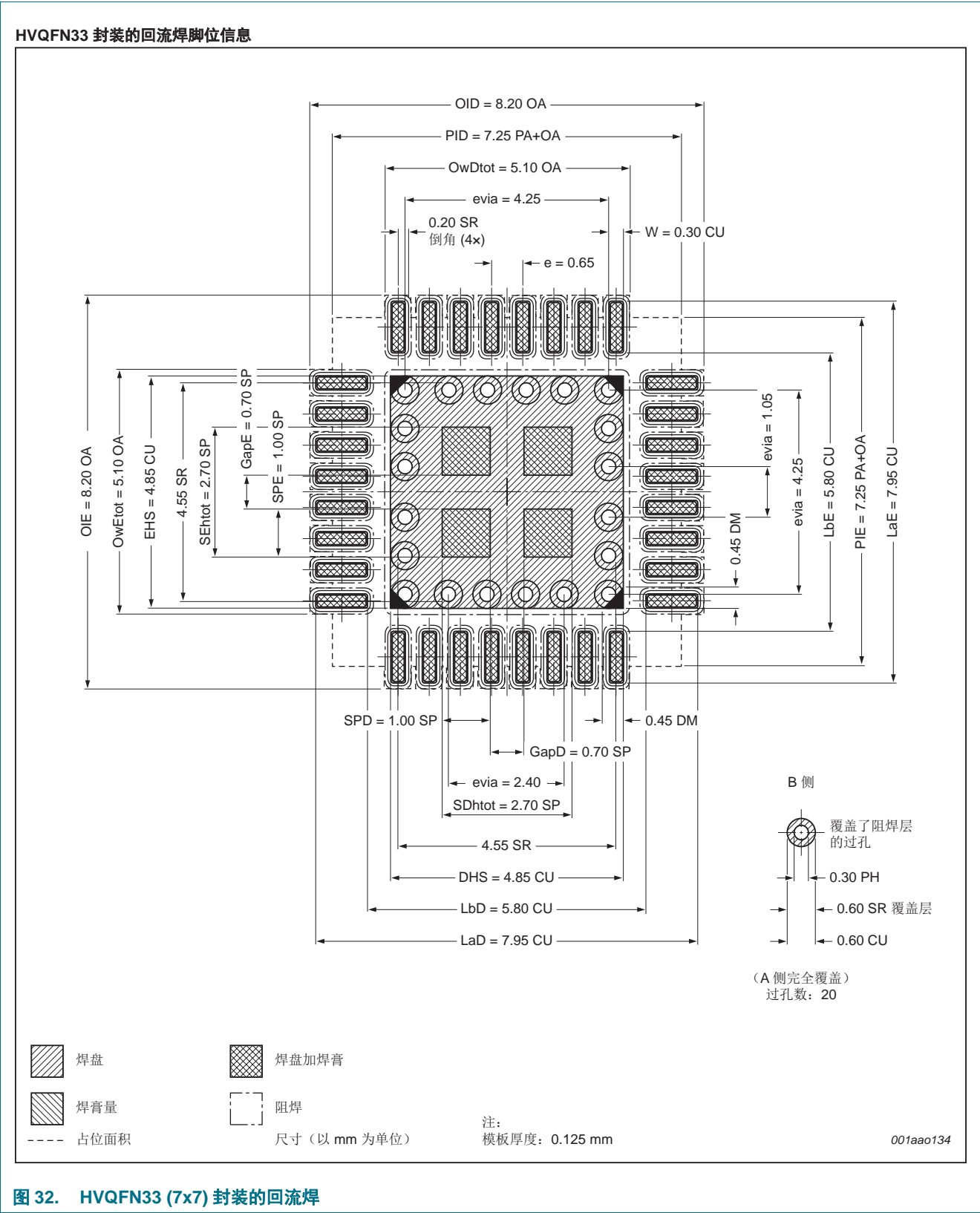


图 32. HVQFN33 (7x7) 封装的回流焊

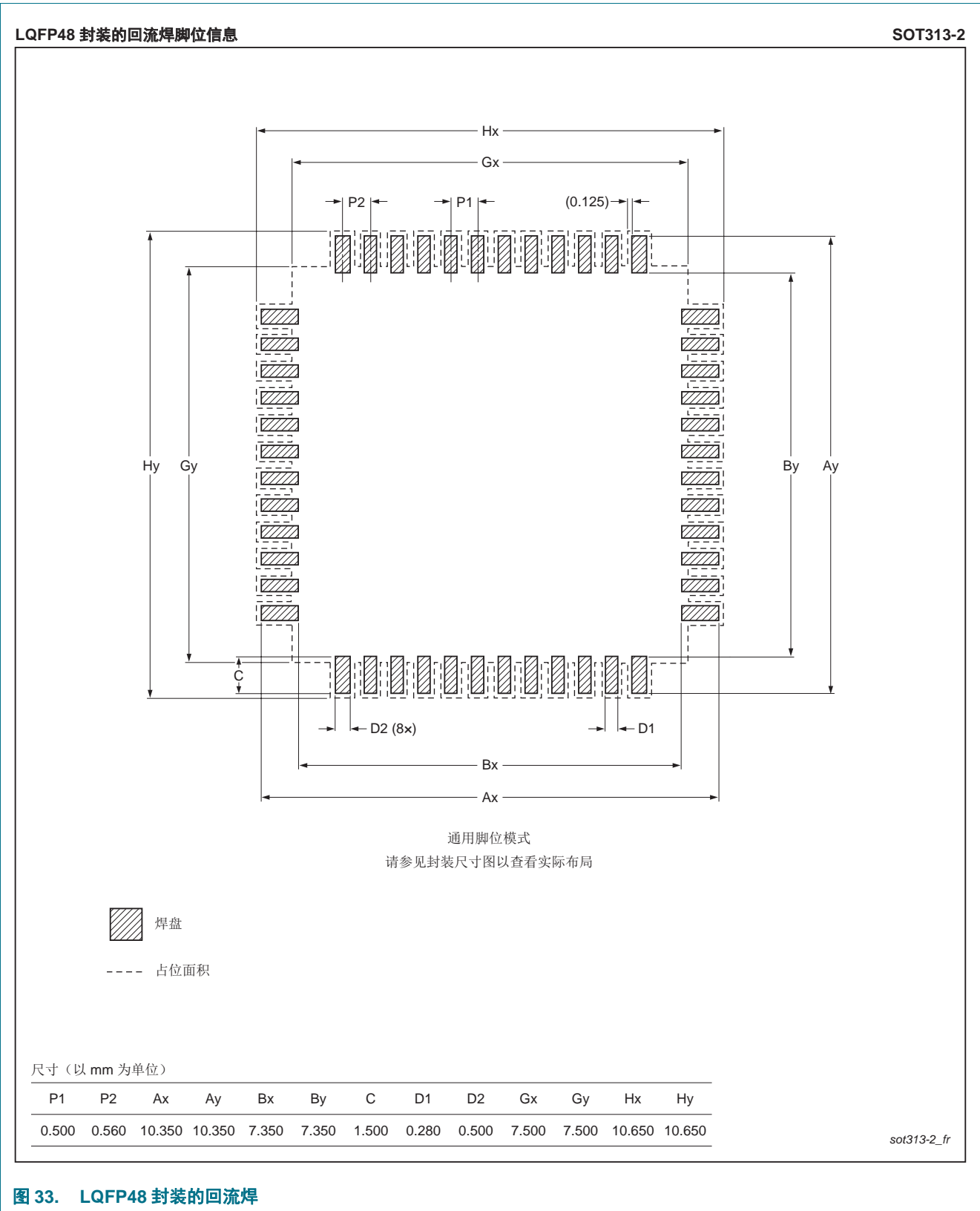


图 33. LQFP48 封装的回流焊

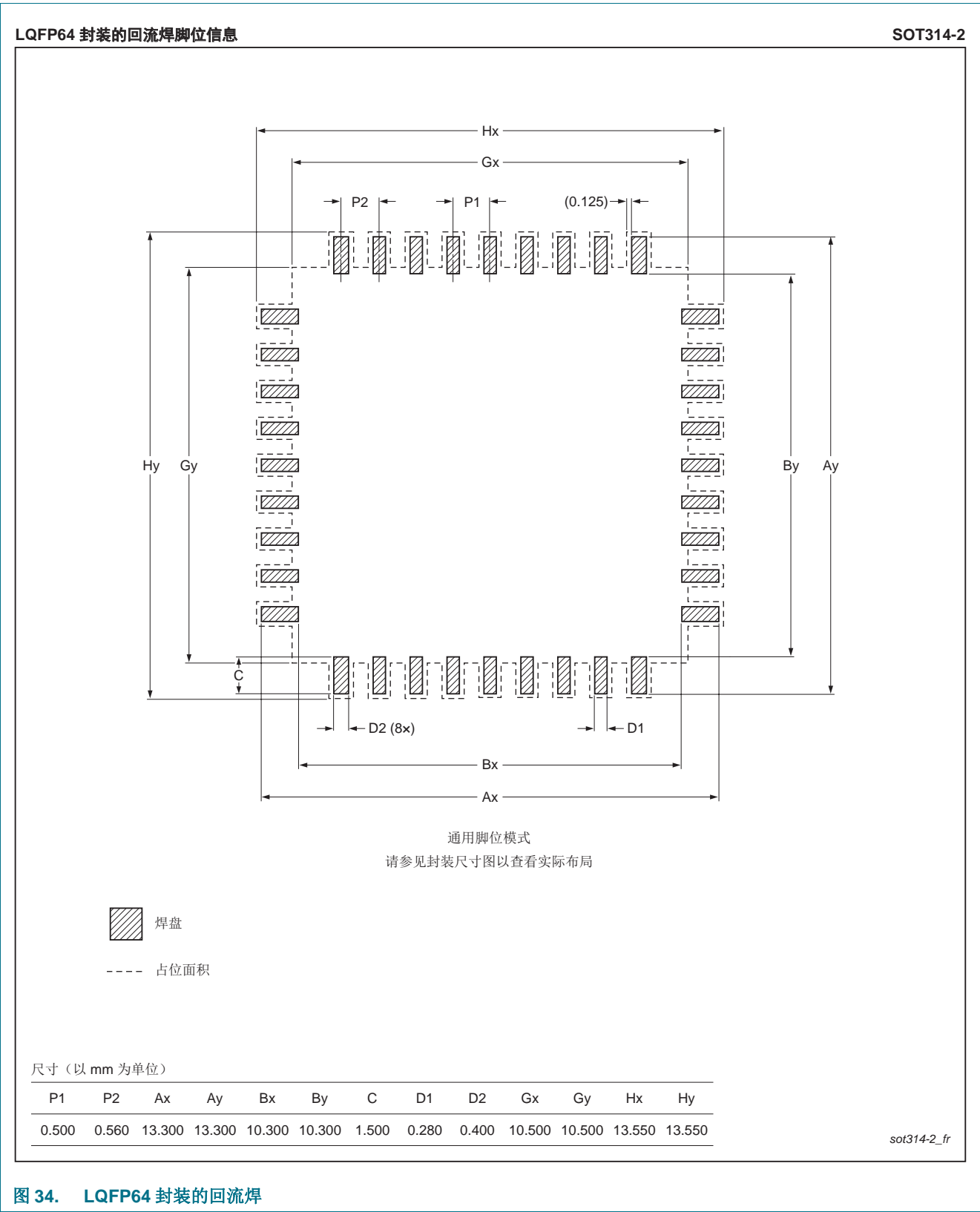


图 34. LQFP64 封装的回流焊

14. 缩略词

表 19. 缩略词

首字母缩略词	描述
A/D	模拟到数字
ADC	模数转换器
AHB	高级高性能总线
APB	高级外设总线
BOD	掉电检测
BSDL	边界扫描描述语言
GPIO	通用输入 / 输出
JTAG	联合测试行动小组
PLL	锁相环
RC	电阻 - 电容
SPI	串行外设接口
SSI	串行同步接口
SSP	同步串口
TAP	测试访问端口
USART	通用同步 / 异步收发器

15. 修订记录

表 20. 修订记录

文档 ID	发布日期	数据手册状态	更改说明	取代版本
LPC11E1X v.1	20120220	产品数据手册	-	-

16. 法律信息

16.1 数据手册状态

文档状态 ^{[1][2]}	产品状态 ^[3]	定义
客观 [缩略版] 数据手册	开发	该文档包含产品开发客观规范的数据。
初始 [缩略版] 数据手册	验证	该文档含有初始规范的数据。
产品 [缩略版] 数据手册	产量	该文档含有产品规范。

[1] 请在开始或完成设计之前查看最新发布文件。

[2] 有关缩略版数据手册的说明见“定义”部分。

[3] 自本文件发布以来，文件中的器件产品状态可能已发生变化；如果存在多个器件，则可能存在差异。欲了解最新产品状态信息，请访问 <http://www.nxp.com>。

16.2 定义

初稿 — 本文仅为初稿版本。内容仍在内部审查，尚未正式批准，可能会有进一步修改或补充。恩智浦半导体对本文信息的准确性或完整性不做任何说明或保证，并对因使用此信息而导致的后果不承担任何责任。

缩略版数据手册 — 缩略版数据手册为产品型号和标题完全相同的完整版数据手册的节选。缩略版数据手册仅供快速参考使用，不包括详细和完整的信息。欲了解详细、完整的信息，请查看相关的完整版数据手册，可向当地的恩智浦半导体销售办事处索取。如完整版与缩略版存在任何不一致或冲突，请以完整版为准。

产品规格 — 产品数据手册中提供的信息和数据规定了恩智浦半导体与其客户之间约定的产品规格，恩智浦半导体及客户另行书面说明时除外。在任何情况下，若协议认为恩智浦半导体产品需要具有超出产品数据手册规定的功能和他质量，则该协议无效。

16.3 免责声明

有限担保和责任 — 本文中的信息据信是准确和可靠的。但是，恩智浦半导体对此处所含信息的准确性或完整性不做任何明示或暗示的说明或保证，并对因使用此信息而导致的后果不承担任何责任。恩智浦半导体不对本文中非源自恩智浦半导体的信息内容负责。

在任何情况下，对于任何间接、意外、惩罚性、特殊或衍生性损害（包括但不限于利润损失、积蓄损失、业务中断、因拆卸或更换任何产品而产生的开支或返工费用），无论此等损害是否基于侵权行为（包括过失）、担保、违约或任何其他法理，恩智浦半导体均不承担任何责任。

对于因任何原因给客户带来的任何损害，恩智浦半导体对本文所述产品的总计责任和累积责任仅限于恩智浦 *商业销售条款和条件* 所规定的范围。

修改权利 — 恩智浦半导体保留对本文所发布的信息（包括但不限于规格和产品说明）随时进行修改的权利，恕不另行通知。本文件将取代并替换之前就此提供的所有信息。

适宜使用 — 恩智浦半导体产品并非设计、授权或担保适用于生命保障、生命关键或安全关键系统或设备，军事、飞机、太空或生命保障设备，亦非设计、授权或担保适用于在恩智浦半导体产品失效或故障时会导致人员伤亡、死亡或严重财产或环境损害的应用。恩智浦半导体及其供应商对在此类设备或应用中加入和 / 或使用恩智浦半导体产品不承担任何责任，客户需自行承担因加入和 / 或使用恩智浦半导体产品而带来的风险。

应用 — 本文件所述任何产品的应用仅限于例证目的。此类应用如不经进一步测试或修改用于特定用途，恩智浦半导体对其适用性不做任何说明或保证。

客户负责自行利用恩智浦半导体的产品进行设计 and 应用，对于应用或客户产品设计，恩智浦半导体无义务提供任何协助。客户须自行负责检验恩智浦半导体的产品是否适用于其规划的应用和产品，以及是否适用于其第三方客户的规划应用和使用。客户须提供适当的设计和操作系统安全保障措施，以降低与应用和产品相关的风险。

17. 联系信息

有关详细信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：salesaddresses@nxp.com

对于因客户应用或产品的任何缺陷或故障，或者客户的第三方客户的应用或使用导致的任何故障、损害、开支或问题，恩智浦半导体均不承担任何责任。客户负责对自己基于恩智浦半导体的产品的应用和产品进行所有必要测试，以避免这些应用和产品或者客户的第三方客户的应用或使用存在任何缺陷。恩智浦不承担与此相关的任何责任。

限值 — 超过一个或多个限值（如 IEC 60134 绝对最大额定值体系所规定）会设备带来永久性损坏。限值仅为强度额定值，若设备工作于这些条件下或者超过“建议工作条件部分”（若有）或者本文档“特性”部分规定的条件下，则不在担保范围之内。持续或反复超过限值将对设备的质量和可靠性造成永久性、不可逆转的影响。

商业销售条款和条件 — 除非有效书面单项协议另有规定，恩智浦半导体的产品的销售遵循关于商业销售的一般条款和条件（见 <http://www.nxp.com/profile/terms>）。如果只达成了单项协议，则该协议的条款和条件适用。恩智浦半导体特此明确反对，应用客户就其购买恩智浦半导体的产品而制定的一般条款和条件。

无销售或许可要约 — 本文档中的任何信息均不得被理解或解释为对承诺开放的销售产品的要约，或者授予、让与或暗示任何版权、专利或其他工业或知识产权的任何许可。

出口管制 — 本文件以及此处所描述的产品可能受出口法规的管制。出口可能需要事先经主管部门批准。

非汽车应用产品 — 除非本数据手册明确表示，恩智浦半导体的本特定产品适用于汽车应用，否则，均不适用于汽车应用。未根据汽车测试或应用要求进行验证或测试。对于在汽车器件或应用中包括和 / 或使用非汽车应用产品的行为，恩智浦半导体不承担任何责任。

客户将产品用于设计导入以及符合汽车规范和标准的汽车应用时，客户 (a) 若使用产品，则恩智浦半导体不对产品的此等汽车应用、用途和规范作任何担保；并且 (b) 若客户使用恩智浦半导体所提供规格以外的产品用于汽车应用，须自行承担所有风险；并且 (c) 对于因客户设计以及客户超出恩智浦半导体标准担保范围和恩智浦半导体所提供规格使用非汽车应用产品而导致的任何责任、损害或产品故障索赔，客户须免除恩智浦半导体的全部责任。

16.4 商标

注意：所有引用的品牌、产品名称、服务名称以及商标均为其各自所有者的资产。

IPC 总线 — 标志是恩智浦的商标。

18. 内容

1	简介	1	7.16.5.1	功率配置	20
2	特性和优势	1	7.16.5.2	睡眠模式	21
3	应用	3	7.16.5.3	深度睡眠模式	21
4	订购信息	3	7.16.5.4	掉电模式	21
4.1	订购选项	3	7.16.5.5	深度掉电模式	21
5	功能框图	4	7.16.6	系统控制	22
6	引脚信息	5	7.16.6.1	复位	22
6.1	引脚配置	5	7.16.6.2	掉电检测	22
6.2	引脚说明	8	7.16.6.3	代码安全（代码读保护 - CRP）	22
7	功能说明	13	7.16.6.4	APB 接口	23
7.1	片内闪存编程存储器	13	7.16.6.5	AHBLite	23
7.2	EEPROM	13	7.16.6.6	外部中断输入	23
7.3	SRAM	13	7.17	仿真和调试	23
7.4	片内 ROM	13	8	限值	24
7.5	存储器映射	13	9	静态特性	25
7.6	可嵌套向量中断控制器 (NVIC)	14	9.1	BOD 静态特性	30
7.6.1	特性	14	9.2	功耗	30
7.6.2	中断源	15	9.3	外设功耗	33
7.7	IOCON 模块	15	9.4	电气引脚特性	35
7.7.1	特性	15	10	动态特性	38
7.8	通用输入 / 输出 GPIO	15	10.1	闪存	38
7.8.1	特性	16	10.2	外部时钟	38
7.9	USART	16	10.3	内部振荡器	39
7.9.1	特性	16	10.4	I/O 引脚	40
7.10	SSP 串行 I/O 控制器	16	10.5	I ² C 总线	40
7.10.1	特性	16	10.6	SSP 接口	42
7.11	I ² C 总线串行 I/O 控制器	17	11	应用信息	45
7.11.1	特性	17	11.1	XTAL 输入	45
7.12	10 位 ADC	17	11.2	XTAL 印刷电路板 (PCB) 布局指南	46
7.12.1	特性	17	11.3	标准 I/O 焊盘配置	47
7.13	通用外部事件计数器 / 定时器	17	11.4	复位焊盘配置	48
7.13.1	特性	18	11.5	ADC 使用说明	48
7.14	系统定时器	18	12	封装尺寸	49
7.15	窗口化看门狗定时器 (WWDT)	18	13	焊接	52
7.15.1	特性	18	14	缩略词	55
7.16	时钟和电源控制	19	15	修订记录	56
7.16.1	集成振荡器	19	16	法律信息	57
7.16.1.1	内部 RC 振荡器	19	16.1	数据手册状态	57
7.16.1.2	系统振荡器	20	16.2	定义	57
7.16.1.3	看门狗振荡器	20	16.3	免责声明	57
7.16.2	系统 PLL	20	16.4	商标	57
7.16.3	时钟输出	20	17	联系信息	57
7.16.4	唤醒过程	20	18	内容	58
7.16.5	功率控制	20			

This translated version is for reference only, and the English version shall prevail in case of any discrepancy between the translated and English versions.

版权所有 2012 恩智浦有限公司 未经许可，禁止转载

注意：关于本文及相关产品的重要说明详见“法律信息”一节。

© NXP B.V. 2012.

保留所有权利。

有关详细信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：salesaddresses@nxp.com

发布日期：2012 年 2 月 20 日

文档号：LPC11E1x