

MN3105(暫定)

超低電圧BBD(MN3300シリーズ)用CMOSクロックゼネレータ/ドライバ
CMOS Clock Generator/Driver for Ultra Low Voltage Operation BBD's
(MN3300 Series)

■ 概要

MN3105は、MN3300シリーズ超低電圧BBDの駆動に際して必要となる、低出力インピーダンスの2相クロック信号を発生するCMOS LSIです。

C、R素子を外付けすることにより、自励発振します。また、他励による発振駆動も可能です。

クロック信号周波数は、発振周波数の1/2です。

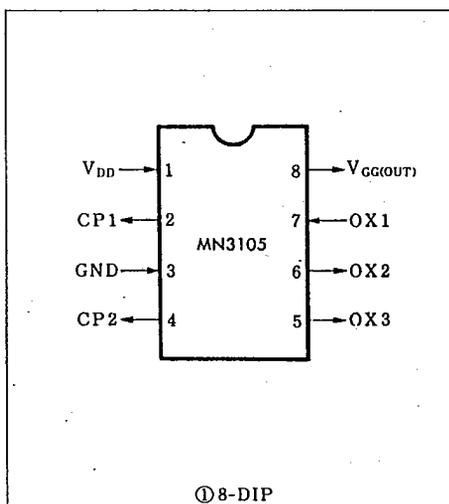
■ Description

The MN3105 is a CMOS clock generator/driver circuit for ultra low voltage operation BBD's (MN3300 series).

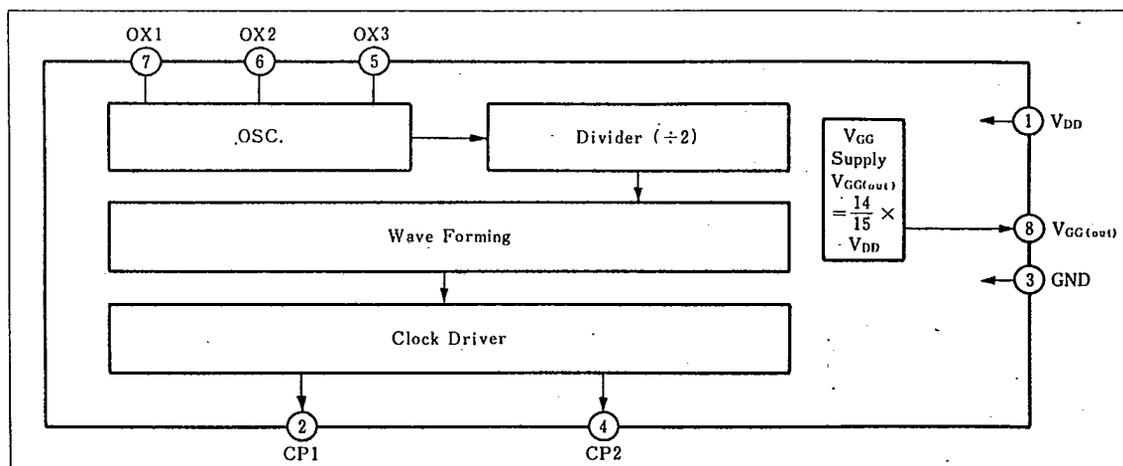
■ 特徴

- 4096段相当の超低電圧BBDを直接駆動可能
- 自己発振、他励駆動可能
- 2相クロック (Duty: 1/2) 出力
- 単一電源: 1.8V~5.0V
- 8ピン・プラスチックDILパッケージ

■ 端子配置図/Pin Assignment



■ ブロック図/Block Diagram



■ 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

Item	Symbol	Rating	Unit	Notes
電源電圧	V _{DD}	-0.3~+6.0	V	GND=0V基準
入力端子電圧	V _I	-0.3~V _{DD} +0.3	V	GND=0V基準
出力端子電圧	V _O	-0.3~V _{DD} +0.3	V	GND=0V基準
許容損失	P _D	200	mW	
動作周囲温度	T _{opr}	-20~+70	°C	
保存温度	T _{stg}	-30~+125	°C	

■ 動作条件/Operating Condition (Ta=25°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V _{DD}	GND=0V	+1.8	+3.0	+5.0	V

■ 電気的特性/Electrical Characteristics (Ta=25°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流	I _{DD}	無負荷		0.36		mA
消費電力	P _{tot}	クロック出力 40kHz		1.08		mW

OX1 入力端子

電圧ハイレベル	V _{IH}		$\frac{2}{3}V_{DD}$		V _{DD}	V
電圧ローレベル	V _{IL}		0		$\frac{1}{3}V_{DD}$	V
入力リーク電流	I _{LK}	V _I =0~V _{DD}			30	μA

OX2 出力端子

出力電流ハイレベル	I _{OH1}	V _O =2V	0.3			mA
出力電流ローレベル	I _{OL1}	V _O =1V	0.3			mA
出力リーク電流	I _{LOL1}	V _{DD} =5V, V _O =GND			30	μA
出力リーク電流	I _{LOH1}	V _{DD} =5V, V _O =V _{DD}			30	μA

OX3 出力端子

出力電流ハイレベル	I _{OH2}	V _O =2V	0.4			mA
出力電流ローレベル	I _{OL2}	V _O =1V	0.8			mA
出力リーク電流	I _{LOL2}	V _{DD} =5V, V _O =GND			30	μA
出力リーク電流	I _{LOH2}	V _{DD} =5V, V _O =V _{DD}			30	μA

CP1, CP2 出力端子

出力電流ハイレベル	I _{OH3}	V _O =2V	4			mA
出力電流ローレベル	I _{OL3}	V _O =1V	4			mA
出力リーク電流	I _{LOL3}	V _{DD} =5V, V _O =GND			30	μA
出力リーク電流	I _{LOH3}	V _{DD} =5V, V _O =V _{DD}			30	μA

V_{CG OUT} 出力端子 *1

出力電圧	V _{CG OUT}			2.80		V
------	---------------------	--	--	------	--	---

*1 この端子は当社 BBD 用 V_{CG} 電圧を発生するものです。したがって、当社 BBD の V_{CG} 電圧以外の用途には適さない場合があります。

V_{CG(OUT)} は、V_{DD} の値に応じ下式の関係で変化します。

$$V_{CG(OUT)} \approx \frac{14}{15} V_{DD}$$

なお、MN3300 シリーズ BBD 駆動の場合は、V_{CG(OUT)} 端子は使用しないでください。

BBD用クロックゼネレータ/ドライバ

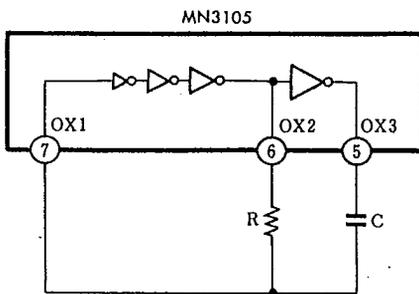
MN3105

■ 端子説明/Pin Names

Pin No.	Symbol	端子名	端 子 の 説 明	
1	V _{DD}	V _{DD} 印加	+3V 電源を印加する。	
2	CP1	クロック出力1	Duty 1/2, 発振周波数1/2の周波数でCP2と逆相の関係にあるクロック信号を出力する。	
3	GND	アース	回路のアースに接続する。	
4	CP2	クロック出力2	CP1と逆相の関係にあるクロック信号を出力する。	
5	OX3	CR素子接続	自己発振の場合: C, R 素子を接続する。 (発振回路例参照)	
6	OX2			他励発振の場合: OX3, OX2はオープンとし, OX1をOSC入力とする。
7	OX1			
8	V _{GG(OUT)}	V _{GG} 電圧出力	2.8V 電圧を出力する。 (V _{DD} =3Vの場合) V _{GG(OUT)} = $\frac{14}{15}$ V _{DD} の関係がある。	

■ 発振回路例/Oscillation Circuit Example

MN3105の発振回路は、4段インバータで構成されており、左図に示すC, R時定数で発振周波数が決定されます。



例	定数	R (Ω)	C (pF)	f _{osc} ** (kHz)	f _{CP} * (kHz)
例1		2k~1M	22	20~2000	10~1000
例2		2k~1M	100	5.2~960	2.6~480
例3		2k~800k	330	2.0~360	1.0~180

* CP1または、CP2端子のクロック出力周波数

** OX1, OX2, OX3の発振周波数

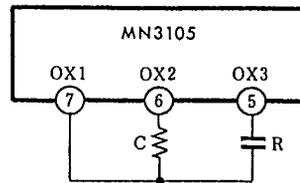
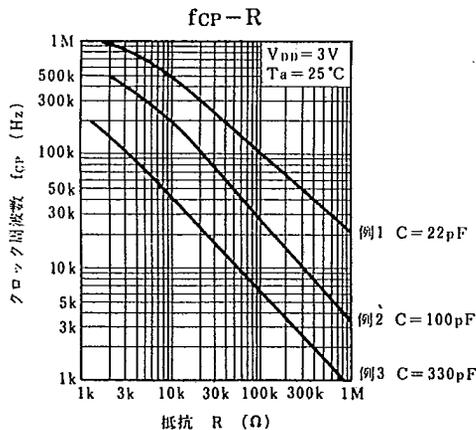


図1 クロック発振周波数特性の例

■ 最大クロック周波数

クロック周波数は、負荷容量と消費電力により、その上限値が決定されます。

本 LSI の最大許容損失は、 $P_D=200\text{mW}$ です。

クロック周波数、または、負荷容量を大きくすると消費電力は増加します(図2参照)。

したがって、最大許容損失以下で、MN3105 を使用していただくためには、クロック周波数と負荷容量を適当な値に選ぶ必要があります。

V_{DD} が 5V 以下で、4096 段以下の BBD を駆動した場合は、最大許容損失を越えることはありません。

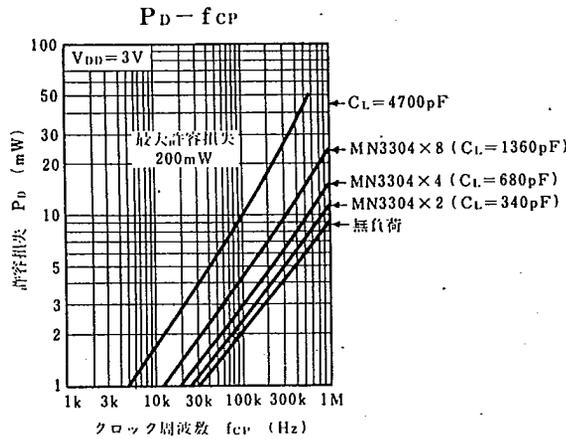


図 2 消費電力のクロック周波数依存性の例