



LPC81xM

32位ARM Cortex-M0+微控制器，最高16 kB的闪存和4 kB的SRAM

修订版 2 — 2013 年 3 月 7 日

客观数据手册

1. 简介

LPC81xM 是基于 ARM Cortex-M0+ 的低成本、32 位 MCU 系列产品，工作时 CPU 频率高达 30 MHz。LPC81xM 支持最高 16 kB 的闪存和 4 kB 的 SRAM。

LPC81xM 的外设包括：一个 CRC 引擎、一个 I²C 总线接口、最多三个 USART、最多两个 SPI 接口、一个多速率定时器、自唤醒定时器、状态可配置定时器、一个比较器、采用开关矩阵的功能可配置 I/O 端口、一个输入模式匹配引擎和多达 18 个的通用 I/O 引脚。

2. 特性和优势

- 系统：
 - ◆ ARM Cortex-M0+ 处理器，运行时频率高达 30 MHz，集成了单周期乘法器和快速单周期 I/O 端口。
 - ◆ ARM Cortex-M0+ 内置可嵌套中断向量控制器 (NVIC)。
 - ◆ 系统节拍定时器。
 - ◆ 支持串行线调试 (SWD) 模式和 JTAG 边界扫描模式。
 - ◆ 支持微跟踪缓冲区 (MTB)。
- 存储器：
 - ◆ 最高 16 kB 片内可编程闪存，带 64 字节页面写入和擦除功能。
 - ◆ 4 kB SRAM。
- ROM API 支持：
 - ◆ 引导加载程序。
 - ◆ USART 驱动器。
 - ◆ I²C 驱动器。
 - ◆ 电源配置。
 - ◆ 闪存在应用编程 (IAP) 和在系统编程 (ISP)。
- 数字外设：
 - ◆ 连接至 ARM Cortex-M0+ IO 总线的高速 GPIO 接口，集成了多达 18 个通用 I/O (GPIO) 引脚，并具备可配置上拉 / 下拉电阻，连接至 ARM Cortex-M0+ IO 总线的高速 GPIO 接口，集成了多达 18 个通用 I/O (GPIO) 引脚，并具备可配置上拉 / 下拉电阻、可编程开漏模式、输入反相器和干扰滤波器。
 - ◆ 4 个引脚具备大电流输出驱动能力 (20 mA)。
 - ◆ 2 个真正开漏引脚具备大电流灌入驱动能力 (20 mA)。
 - ◆ GPIO 中断生成能力，8 个 GPIO 输入具有布尔模式匹配特性。
 - ◆ 开关矩阵，用于灵活配置每个 I/O 引脚功能。
 - ◆ 状态可配置定时器 (SCT)，输入和输出功能（包括捕获和匹配）通过开关矩阵分配到引脚。
 - ◆ 多通道多速率定时器 (MRT)，以多达 4 种可编程固定速率生成可重复中断。



- ◆ 自唤醒定时器 (WKT)，采用 IRC 或低功耗、低频率内部振荡器作为时钟输入。
- ◆ CRC 引擎。
- ◆ 窗口看门狗定时器 (WWDT)。
- 模拟外设：
 - ◆ 集成外部基准电压源的比较器，引脚功能通过开关矩阵分配或启用。
- 串行接口：
 - ◆ 3 个 USART 接口，引脚功能通过开关矩阵分配。
 - ◆ 2 个 SPI 控制器，引脚功能通过开关矩阵分配。
 - ◆ 1 个 I²C 总线接口，引脚功能通过开关矩阵分配。
- 时钟生成：
 - ◆ 调整到 1 % 精度的 12 MHz 内部 RC 振荡器，可选择性地用作系统时钟。
 - ◆ 晶体振荡器，工作频率范围为 1 MHz 至 25 MHz。
 - ◆ 可编程看门狗振荡器，频率范围为 9.4 kHz 至 2.3 MHz。
 - ◆ 用于 WKT 的 10 kHz 低功耗振荡器。
 - ◆ PLL 使 CPU 无需使用高频晶体即可生成最高 CPU 主频。可将系统振荡器、外部时钟输入 CLKIN 或内部 RC 振荡器作为时钟输入源。
 - ◆ 带分频器的时钟输出功能，可反映晶体振荡器、主时钟、IRC 或看门狗振荡器。
- 功率控制：
 - ◆ 可最大程度降低功耗的集成式 PMU（电源管理单元）。
 - ◆ 节能模式：睡眠模式、深度睡眠模式、掉电模式和深度掉电模式。
 - ◆ 深度睡眠模式和掉电模式可由 USART、SPI 和 I²C 外设唤醒。
 - ◆ 深度掉电模式可由定时器控制进行自唤醒。
 - ◆ 上电复位 (POR)。
 - ◆ 掉电检测。
- 用于器件识别的独特序列号。
- 单电源。
- 采用 SO20 封装、TSSOP20 封装、TSSOP16 封装和 DIP8 封装。

3. 应用

- | | |
|------------|-----------|
| ■ 8/16 位应用 | ■ 照明 |
| ■ 消费电子类设备 | ■ 电机控制 |
| ■ 恒温控制 | ■ 火警和安保应用 |

4. 订购信息

表 1. 订购信息

型号	封装		
	名称	说明	版本
LPC810M021FN8	DIP8	塑料双列直插式封装； 8 引脚 (300 mil)	SOT097-2
LPC811M001FDH16	TSSOP16	塑料减薄紧缩小型封装； 16 引脚； 体宽 4.4 mm	SOT403-1
LPC812M101FDH16	TSSOP16	塑料减薄紧缩小型封装； 16 引脚； 体宽 4.4 mm	SOT403-1
LPC812M101FD20	SO20	塑料小型封装； 20 引脚； 体宽 7.5 mm	SOT163-1
LPC812M101FDH20	TSSOP20	塑料减薄紧缩小型封装； 20 引脚； 体宽 4.4 mm	SOT360-1

4.1 订购选项

表 2. 订购选项

型号	闪存 /kB	SRAM/kB	USART	I ² C	SPI	比较器	GPIO	封装
LPC810M021FN8	4	1	2	1	1	1	6	DIP8
LPC811M001FDH16	8	2	2	1	1	1	14	TSSOP16
LPC812M101FDH16	16	4	3	1	2	1	14	TSSOP16
LPC812M101FD20	16	4	2	1	1	1	18	SO20
LPC812M101FDH20	16	4	3	1	2	1	18	TSSOP20

5. 标识

LPC81xM 器件通常具有如下的顶部标识：

LPC81x
XXXXX
XXXXXXXXX
xxYWWxR[x]

最后一行（'xR' 字段）的倒数两个字母可用于识别引导代码版本和器件修订版。

表 3. 器件修订版列表

修订版标识符 (xR)	修订版说明
'1A'	初始器件修订版，引导代码版本为 13.1
'2A'	初始器件修订版，引导代码版本为 13.2

字段 'Y' 表示器件的制造年份。字段 'WW' 表示器件制造当年所在的星期。

注：TSSOP16 封装上的最后一行仅包括日期代码 xxYWW。

6. 功能框图

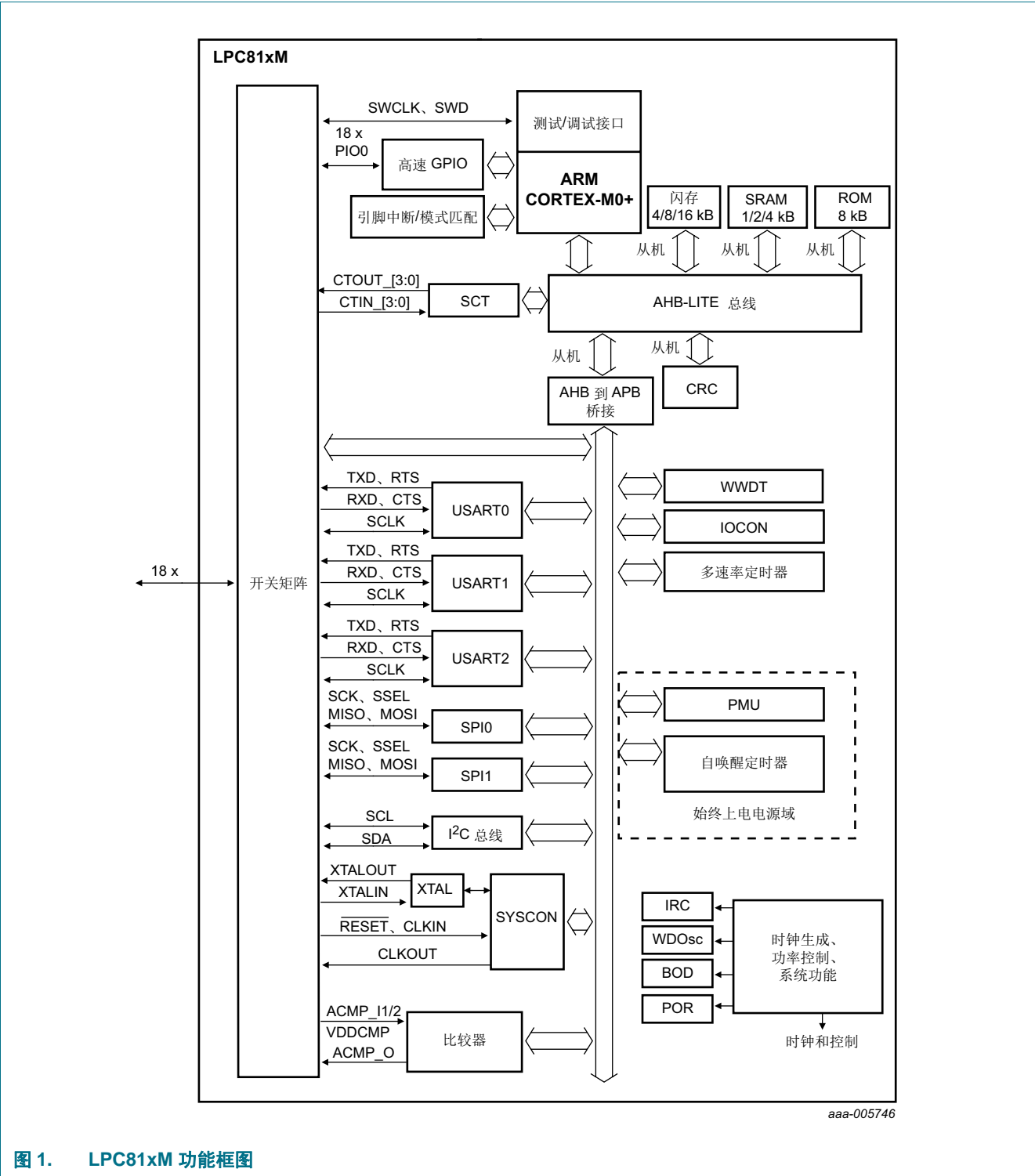
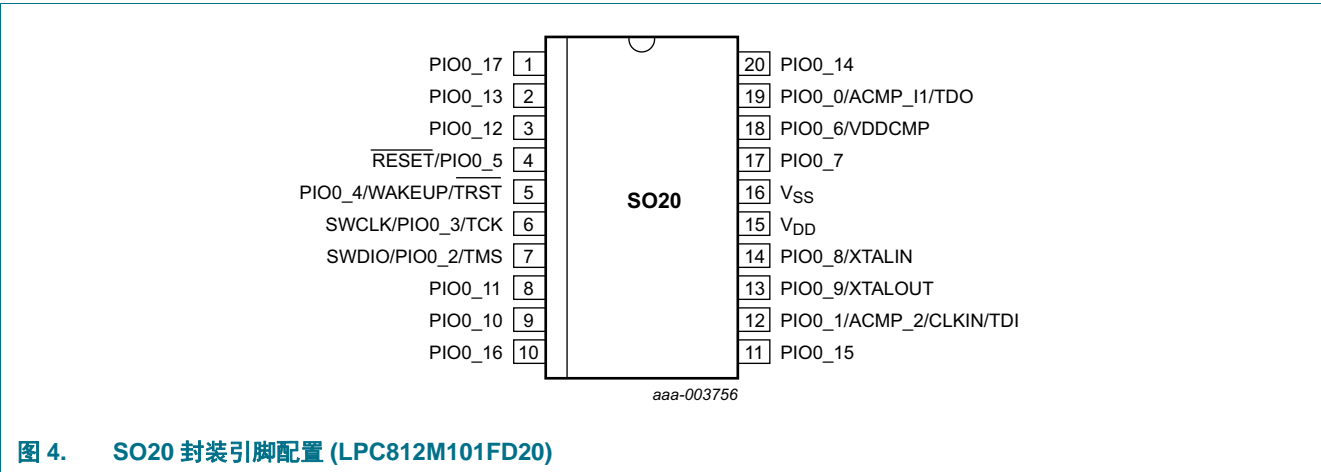
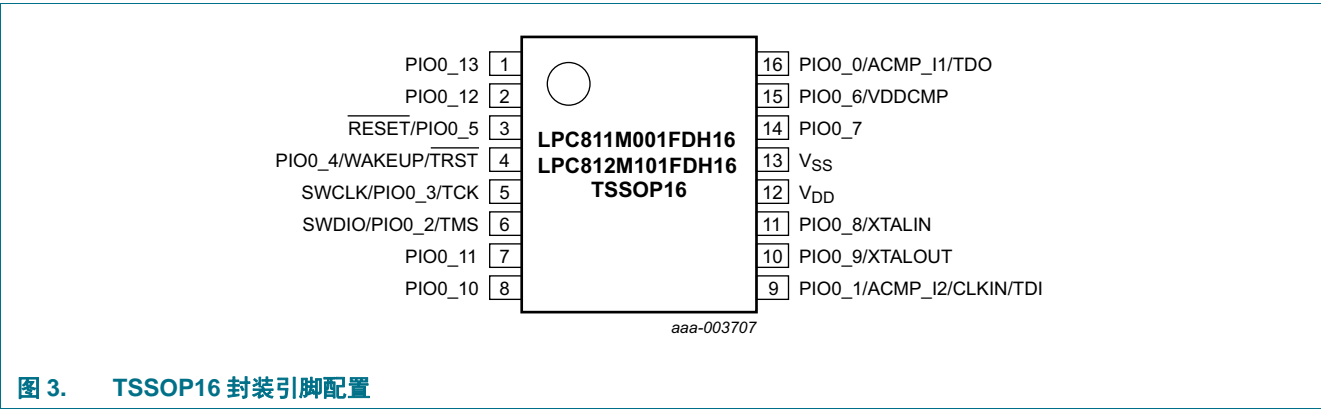
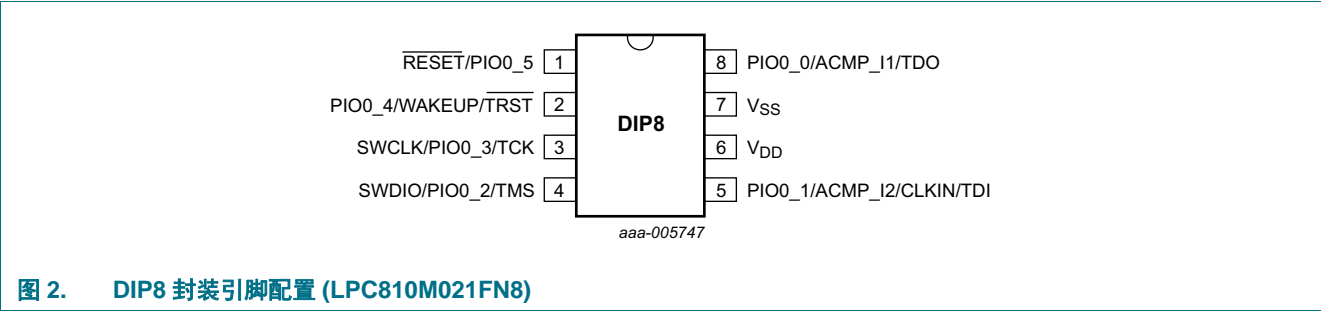


图 1. LPC81xM 功能框图

7. 引脚配置信息

7.1 引脚配置



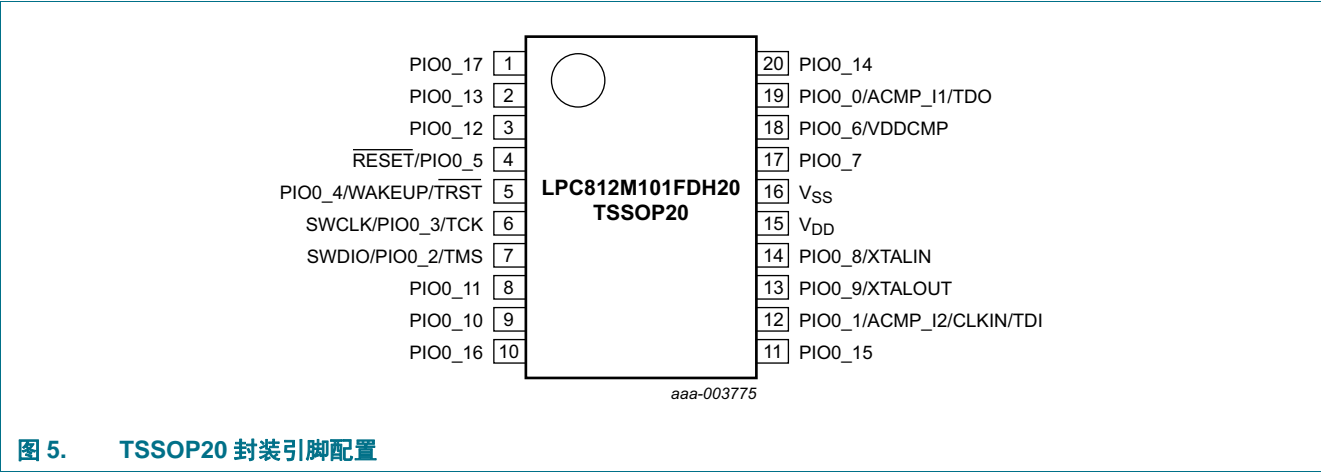


图 5. TSSOP20 封装引脚配置

7.2 引脚说明

引脚说明表[表 4](#) 显示每种封装特定引脚的固定引脚功能。这些固定引脚功能可在 GPIO、比较器、SWD 和 XTAL 引脚间进行选择。除引脚 PIO0_2、PIO0_3 和 PIO0_5 外，这些引脚均默认选择 GPIO 功能。仅在边界扫描模式下 JTAG 功能可用。

I2C、USART、SPI 和 SCT 的可转移引脚功能，可通过开关矩阵分配给除电源或接地外的任意引脚，代替引脚的固定功能。

下列例外情况适用：

为了完全兼容 I2C 总线，将 I2C 功能分配给开漏引脚 PIO0_11 和 PIO0_10。

任何引脚都不要分配一个以上的输出。但允许为引脚分配一个以上的输入。

引脚 PIO0_4 可触发从深度掉电模式的唤醒。如需通过外部引脚从深度掉电模式唤醒，则不要为该引脚分配任何可转移的功能。

当器件处于边界扫描模式时，引脚 PIO0_0 至 PIO0_4 通过硬件选择 TDO、TDI、TCK、TMS 和 TRST 等 JTAG 功能。

表 4. 引脚说明表（固定引脚）

符号	SO20/ TSSOP20	TSSOP16	DIP8	类型	复位状态 [1]	说明
PIO0_0/ACMP_I1/ TDO	19	16	8	[5] I/O	I；PU	PIO0_0 — 通用数字输入 / 输出端口 0 引脚 0。 在 ISP 模式下，它是 USART0 接收引脚 U0_RXD。 在边界扫描模式下：TDO（测试数据输出）。
				AI	-	ACMP_I1 — 模拟比较器输入 1。
PIO0_1/ACMP_I2/ CLKIN/TDI	12	9	5	[5] I/O	I；PU	PIO0_1 — 通用数字输入 / 输出引脚。ISP 输入引脚。复位期间，当该引脚为低电平时，会启动 ISP 命令处理程序。 在边界扫描模式下：TDI（测试数据输入）。
				AI	-	ACMP_I2 — 模拟比较器输入 2。
				I	-	CLKIN — 外部时钟输入。
SWDIO/PIO0_2/TMS	7	6	4	[2] I/O	I；PU	SWDIO — 串行线调试 I/O。该引脚默认使能 SWDIO。 在边界扫描模式下：TMS（测试模式选择）。
				I/O	-	PIO0_2 — 通用数字输入 / 输出引脚。
SWCLK/PIO0_3/ TCK	6	5	3	[2] I/O	I；PU	SWCLK — 串行线时钟。该引脚默认使能 SWCLK。 在边界扫描模式下：TCK（测试时钟）。
				I/O	-	PIO0_3 — 通用数字输入 / 输出引脚。
PIO0_4/WAKEUP/ TRST	5	4	2	[6] I/O	I；PU	PIO0_4 — 通用数字输入 / 输出引脚。 在 ISP 模式下，它是 USART0 发送引脚 U0_TXD。 在边界扫描模式下： TRST （测试复位）。 该引脚可触发从深度掉电模式的唤醒。如需通过外部引脚从深度掉电模式唤醒，则不要为该引脚分配任何可转移的功能。 从外部将该引脚拉至高电平便可进入深度掉电模式。将该引脚拉至低电平便可退出深度掉电模式。持续时间低至 50 ns 的低电平脉冲可唤醒器件。

表 4. 引脚说明表（固定引脚）（续）

符号	SO20/ TSSOP20	TSSOP16	DIP8	类型	复位状态 [1]	说明
RESET/PIO0_5	4	3	1	[4] I/O	I; PU	RESET — 外部复位输入：该引脚上持续时间低至 50 ns 的低电平脉冲可复位器件，从而导致 I/O 端口和外围设备采用其默认状态，并且处理器从地址 0 开始执行。
				I	-	PIO0_5 — 通用数字输入 / 输出引脚。
PIO0_6/VDDCMP	18	15	-	[9] I/O	I; PU	PIO0_6 — 通用数字输入 / 输出引脚。
				AI	-	VDDCMP — 模拟比较器的备用基准电压。
PIO0_7	17	14	-	[2] I/O	I; PU	PIO0_7 — 通用数字输入 / 输出引脚。
PIO0_8/XTALIN	14	11	-	[8] I/O	I; PU	PIO0_8 — 通用数字输入 / 输出引脚。
				I	-	XTALIN — 振荡器电路和内部时钟发生器电路的输入。输入电压不得超过 1.95 V。
PIO0_9/XTALOUT	13	10	-	[8] I/O	I; PU	PIO0_9 — 通用数字输入 / 输出引脚。
				O	-	XTALOUT — 振荡器电路的输出。
PIO0_10	9	8	-	[3] I	IA	PIO0_10 — 通用数字输入 / 输出引脚。当需要使用真正的开漏引脚，以使信号完全符合 I2C 规范时，可将 I2C 功能分配到该引脚。
PIO0_11	8	7	-	[3] I	IA	PIO0_11 — 通用数字输入 / 输出引脚。当需要使用真正的开漏引脚，以使信号完全符合 I2C 规范时，可将 I2C 功能分配到该引脚。
PIO0_12	3	2	-	[2] I/O	I; PU	PIO0_12 — 通用数字输入 / 输出引脚。
PIO0_13	2	1	-	[2] I/O	I; PU	PIO0_13 — 通用数字输入 / 输出引脚。
PIO0_14	20	-	-	[7] I/O	I; PU	PIO0_14 — 通用数字输入 / 输出引脚。
PIO0_15	11	-	-	[7] I/O	I; PU	PIO0_15 — 通用数字输入 / 输出引脚。
PIO0_16	10	-	-	[7] I/O	I; PU	PIO0_16 — 通用数字输入 / 输出引脚。
PIO0_17	1	-	-	[7] I/O	I; PU	PIO0_17 — 通用数字输入 / 输出引脚。
V _{DD}	15	12	6	-	-	3.3 V 电源电压。
V _{SS}	16	13	7	-	-	地线。

[1] 复位后默认功能的引脚状态：I = 输入；AI = 模拟输入；O = 输出；PU = 启用内部上拉电阻（引脚上拉至满量程 V_{DD} 电平）；IA = 无源，未启用上拉电阻 / 下拉电阻。

[2] 可承受 5V 电压的焊盘，提供数字 I/O 功能，带可配置上拉电阻 / 下拉电阻和可配置迟滞；集成了高电流输出驱动器。

[3] 真正的开漏引脚。I2C 总线引脚，符合 I2C 总线规范，支持 I2C 标准模式、I2C 快速模式和 I2C 超快速模式。请勿在 SPI 或 USART 等高速应用中使用该焊盘。

[4] 要了解复位焊盘配置，请参见图 10。深度掉电模式下，RESET 功能不可用。使用 WAKEUP 引脚进行芯片复位，并从深度掉电模式唤醒。在深度掉电模式下，需要在该引脚上安装一个外部上拉电阻。

[5] 可承受 5V 电压的引脚，提供标准数字 I/O 功能，带可配置模式、可配置迟滞和模拟输入。当配置为模拟输入时，引脚的数字部分被禁用，并且该引脚不可承受 5V 电压。

[6] 可承受 5V 电压的焊盘，提供数字 I/O 功能，带可配置上拉电阻 / 下拉电阻和可配置迟滞。在深度掉电模式下，将该引脚拉至低电平可唤醒芯片。

[7] 可承受 5V 电压的焊盘，提供数字 I/O 功能，带可配置上拉电阻 / 下拉电阻和可配置迟滞。

[8] 可承受 5V 电压的引脚，提供标准数字 I/O 功能，带可配置模式、可配置迟滞和用于系统振荡器的模拟 I/O。当配置为模拟 I/O 时，引脚的数字部分被禁用，并且该引脚不可承受 5V 电压。

[9] 由于特殊的模拟功能，该引脚的数字部分为可承受 3V 电压的引脚。引脚提供带可配置模式、可配置迟滞和模拟输入的标准数字 I/O 功能。当配置为模拟输入时，引脚的数字部分被禁用。

表 5. 可转移功能（通过开关矩阵分配给引脚 PIO0_0 至 PIO_17）

功能名称	类型	说明
U0_TXD	O	USART0 的发送器输出。
U0_RXD	I	USART0 的接收器输入。
U0_RTS	O	USART0 的请求发送输出。
U0_CTS	I	USART0 的清除发送输入。
U0_SCLK	I/O	同步模式下 USART0 的串行时钟输入 / 输出。
U1_TXD	O	USART1 的发送器输出。
U1_RXD	I	USART1 的接收器输入。
U1_RTS	O	USART1 的请求发送输出。
U1_CTS	I	USART1 的清除发送输入。
U1_SCLK	I/O	同步模式下 USART1 的串行时钟输入 / 输出。
U2_TXD	O	USART2 的发送器输出。
U2_RXD	I	USART2 的接收器输入。
U2_RTS	O	USART2 的请求发送输出。
U2_CTS	I	USART2 的清除发送输入。
U2_SCLK	I/O	同步模式下 USART2 的串行时钟输入 / 输出。
SPI0_SCK	I/O	SPI0 的串行时钟。
SPI0_MOSI	I/O	SPI0 的主机输出从机输入。
SPI0_MISO	I/O	SPI0 的主机输入从机输出。
SPI0_SSEL	I/O	SPI0 的从机选择。
SPI1_SCK	I/O	SPI1 的串行时钟。
SPI1_MOSI	I/O	SPI1 的主机输出从机输入。
SPI1_MISO	I/O	SPI1 的主机输入从机输出。
SPI1_SSEL	I/O	SPI1 的从机选择。
CTIN_0	I	SCT 输入 0。
CTIN_1	I	SCT 输入 1。
CTIN_2	I	SCT 输入 2。
CTIN_3	I	SCT 输入 3。
CTOUT_0	O	SCT 输出 0。
CTOUT_1	O	SCT 输出 1。
CTOUT_2	O	SCT 输出 2。
CTOUT_3	O	SCT 输出 3。
I2C0_SCL	I/O	I ² C 总线时钟输入 / 输出（若分配给引脚 PIO0_10，则处于开漏状态）。 仅当分配给引脚 PIO0_10 且在 I/O 配置寄存器中选择 I ² C 超快速模式时，才会有高的灌电流。
I2C0_SDA	I/O	I ² C 总线数据输入 / 输出（若分配给引脚 PIO0_11，则处于开漏状态）。 仅当分配给引脚 PIO0_11 且在 I/O 配置寄存器中选择 I ² C 超快速模式时，才会有高的灌电流。
ACMP_O	O	模拟比较器输出。
CLKOUT	O	时钟输出。
GPIO_INT_BMAT	O	模式匹配引擎输出。

8. 功能说明

8.1 ARM Cortex-M0+ 内核

ARM Cortex-M0+ 内核运行时的最高频率为 30 MHz，采用两级流水线。内核集成了 NVIC 和串行调试功能，具有 4 个断点和 2 个观察点。ARM Cortex-M0+ 内核支持单周期 I/O 使能端口，可快速访问 GPIO。

内核集成了一个单周期乘法器和一个系统节拍定时器。

8.2 片内可编程闪存

LPC81xM 集成了最高 16 kB 的片内可编程闪存。闪存支持 64 字节的页面大小，可进行页面写入和擦除。

8.3 片内 SRAM

LPC81xM 总共集成了 1 kB、2 kB 或 4 kB 的片内静态 RAM 数据存储器。

8.4 片内 ROM

8 kB 片内 ROM 内含引导加载程序和以下应用程序编程接口 (API)：

- 支持闪存编程的在系统编程 (ISP) 和在应用编程 (IAP)
- 用于配置功耗和 PLL 设置的电源配置
- USART 驱动器 API 例程
- I²C 总线驱动器 API 例程

8.5 可嵌套中断向量控制器 (NVIC)

可嵌套中断向量控制器 (NVIC) 是 Cortex-M0+ 的一个重要组成部分。它与 CPU 紧密结合，降低了中断延时，并让新进中断可以得到高效处理。

8.5.1 功能

- 可控制系统的异常及外设中断。
- 在 LPC81xM 中，NVIC 支持 32 个向量中断，其中包括可从所有 GPIO 引脚选取的最多 8 个外部中断输入。
- 4 个可编程的中断优先级（带硬件优先级屏蔽功能）。
- 由 ARM 异常（SVCall 和 PendSV）生成的软件中断。
- 可再定位的中断向量表。

8.5.2 中断源

每个外围设备均有一条中断线连接到 NVIC，但可能有好几个中断标志。各个中断标志还可能代表一个以上的中断源。

无论所选功能如何，最多可有 8 个引脚在经过编程后生成电平中断、上升沿或下降沿中断，或同时生成这两种中断。中断生成引脚可从所有数字引脚或数字 / 模拟混合引脚中选择。引脚中断 / 模式匹配模块可控制边沿或电平检测机制。

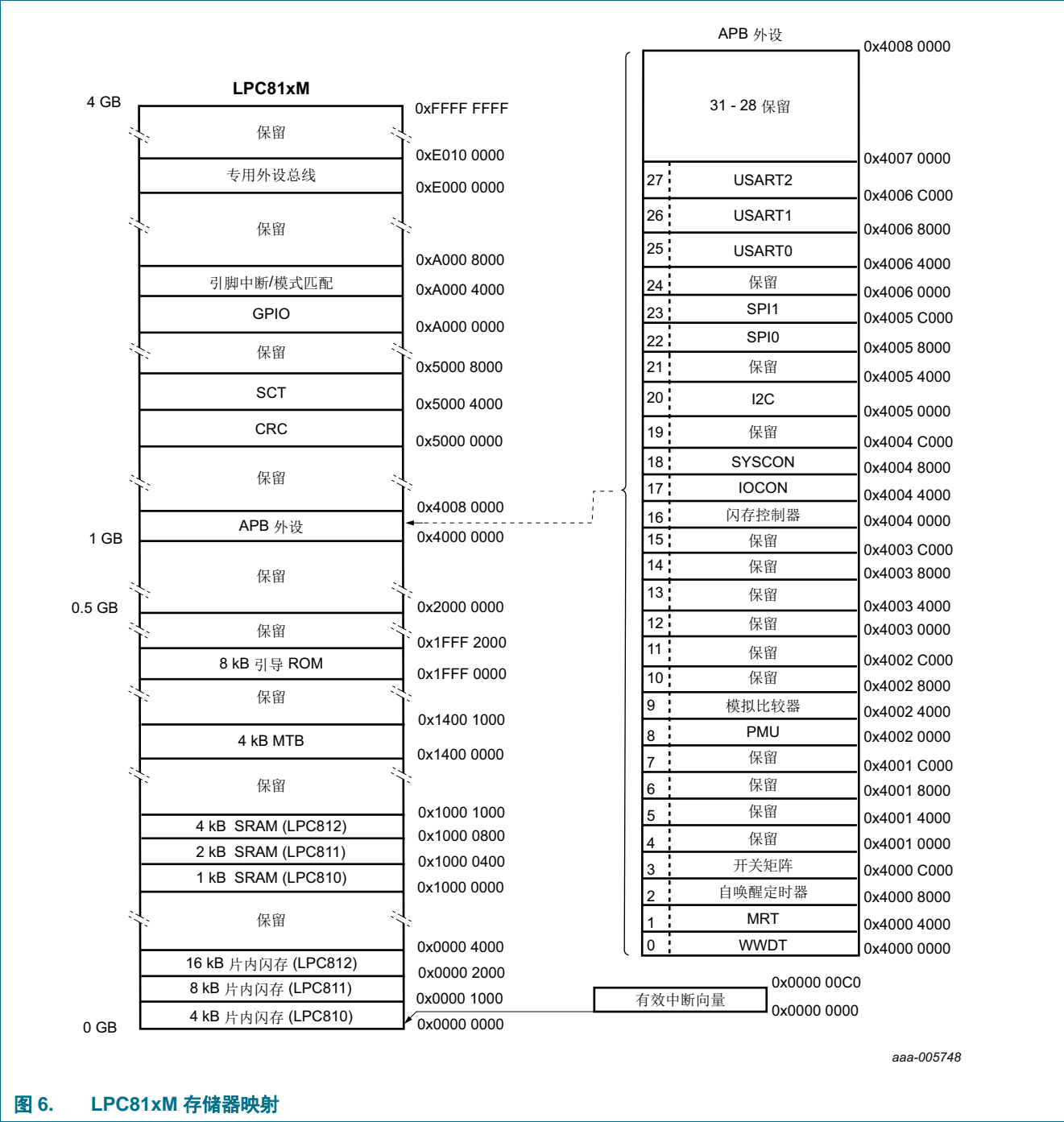
8.6 系统节拍定时器

ARM Cortex-M0+ 集成了一个 24 位系统节拍定时器 (SysTick)，旨在以固定的时间间隔（通常为 10 ms）生成一个专用的 SysTick 异常。

8.7 存储器映射

LPC81xM 集成了数个不同的存储器区域。[图 6](#) 显示从用户编程角度出发，当器件复位后，整个地址空间的总映射。中断向量区域支持地址重映射。

ARM 专用外设总线包括控制 NVIC 的 ARM 内核寄存器、系统节拍定时器 (SysTick) 和低功耗模式。



aaa-005748

图 6. LPC81xM 存储器映射

8.8 I/O 配置

IOCON 模块可控制 I/O 引脚配置。表 4 中的所有具有 PIO0_n 指示符的数字引脚或数字 / 模拟混合引脚（真正的开漏引脚 PIO0_10 和 PIO0_11 除外）都可配置为：

- 启用或禁用内部弱上拉和下拉电阻。
- 选择一种伪开漏模式。输入上拉后的电平不得超过 V_{DD}。

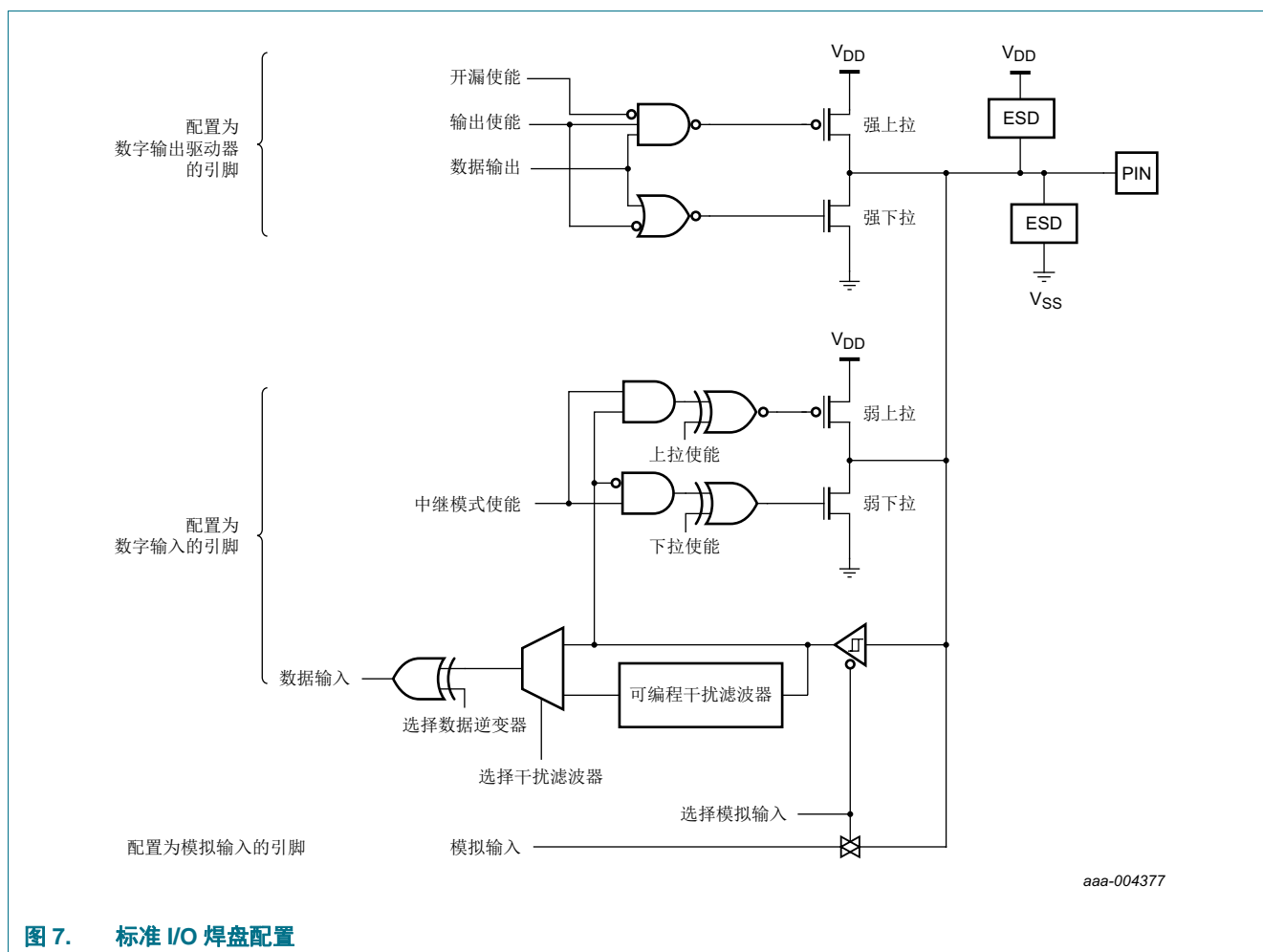
- 使用某个 IOCON 分频时钟信号 (IOCONCLKDIV, 参见[图 9 “LPC81xM 时钟生成”](#)), 利用不同的滤波器常量, 进行输入干扰滤波器的编程。您还可以旁通干扰滤波器。
- 反转输入信号。
- 迟滞可被启用或禁用。
- 对于引脚 PIO0_10 和 PIO0_11 而言, 可选择 I2C 模式和输出驱动器, 进入标准数字模式、I2C 标准和快速模式, 或 I2C 超快速模式。
- 在数字 / 模拟混合引脚上可启用模拟输入模式。启用模拟模式会断开数字功能。

注: 每个 I/O 引脚的功能都很灵活, 可完全通过开关矩阵来确定。详情请参见[章节 8.9](#)。

8.8.1 标准 I/O 焊盘配置

[图 7](#) 显示的是带模拟输入功能的标准 I/O 引脚的可用引脚模式:

- 具有可配置开漏输出的数字输出驱动器
- 数字输入: 弱上拉电阻 (PMOS 器件) 启用 / 禁用
- 数字输入: 弱下拉电阻 (NMOS 器件) 启用 / 禁用
- 数字输入: 中继器模式启用 / 禁用
- 数字输入: 可通过所有引脚选择输入干扰滤波器
- 模拟输入



8.9 开关矩阵 (SWM)

开关矩阵通过支持将 USART、SPI、SCT 和 I2C 等许多功能分配到除电源或地线之外的任意引脚，以高度灵活的方式控制每个数字引脚或模拟 / 数字混合引脚的功能。这些功能称为可转移功能，在表 5 中列出。

需要用到振荡器引脚 XTALIN 和 XTALOUT 等专用焊盘的功能可通过开关矩阵启用或禁用。这类功能称为固定引脚功能，无法转移到其它引脚上。固定引脚功能在表 4 中列出。若某个固定引脚功能被禁用，则其它任何可移动功能均可分配到该引脚上。

8.10 快速通用并行 I/O (GPIO)

没有连接到特定外设功能的器件引脚由 GPIO 寄存器进行控制。引脚可动态配置为输入或输出。一次写操作中可设置或清除多个输出。

LPC81xM 使用加速 GPIO 功能：

- GPIO 寄存器位于 ARM Cortex M0+ IO 总线上，提供尽可能快的单周期 I/O 时序，允许 GPIO 以高达 15 MHz 的速率切换。
- 整个端口值可写在一个指令中。
- 整个端口支持屏蔽、置位和清零操作。

所有 GPIO 端口引脚都具有固定功能，可通过开关矩阵启用或禁用。因此，每个 GPIO 端口引脚都被分配到一个指定的引脚，并且无法转移给其它引脚。默认情况下，开关矩阵可使能除引脚 SWDIO/PIO0_2、SWCLK/PIO0_3 和 RESET/PIO0_5 之外的 GPIO 端口引脚功能。

8.10.1 功能

- 位级端口寄存器允许在一次写操作中用单一指令设置或清零任何数量的位。
- 各个位的方向控制。
- 复位后，所有 I/O 的输入会默认使能内部上拉电阻 —— 但 I²C 总线真正的开漏引脚 PIO0_2 和 PIO0_3 除外。
- 可通过每个 GPIO 引脚的 IOCON 模块进行上拉 / 下拉配置模式、中继模式和开漏模式的编程（参见图 7）。
- 控制数字输出压摆率可允许同时切换更多输出，而不影响器件的电源 / 接地分布。

8.11 引脚中断 / 模式匹配引擎

引脚中断模块可配置所有数字引脚中的最多 8 个引脚，用于提供 8 个已连接至 NVIC 的外部中断。

使用搭配软件的模式匹配引擎可创建基于引脚输入的复杂状态机。

任何不受开关矩阵所选功能影响的数字引脚均可通过 SYSCON 模块配置为引脚中断或模式匹配引擎的输入。控制引脚中断或模式匹配引擎的寄存器位于 IO+ 总线上，可实现快速单周期访问。

8.11.1 功能

- 引脚中断
 - 可从所有数字引脚中选择最多 8 个引脚，作为边沿或电平敏感中断请求。每个请求会在 NVIC 中创建一个单独的中断。
 - 边沿敏感中断引脚可以在上升沿和 / 或下降沿发生中断。
 - 电平敏感中断引脚可以是高电平或低电平有效。
 - 引脚中断可以将 LPC81xM 从睡眠、深度睡眠和深度掉电模式下唤醒。
- 引脚中断模式匹配引擎
 - 可从所有数字引脚中选择最多 8 个引脚，组成布尔表达式。布尔表达式由经过各种组合后的这些引脚上指定的电平和 / 或电平转换构成。
 - 组成特定布尔表达式的每个 minterms（产品术语）都可生成其专有的中断请求。
 - 出现的任何模式匹配在经过编程后都可产生 ARM CPU 的 RXEV 通知。RXEV 信号可连接至引脚。
 - 模式匹配引擎不提供唤醒功能。

8.12 USART0/1/2

注：USART0 和 USART1 在所有 LPC800 器件上都可用。USART2 仅在 LPC812M101FDH16 和 LPC812M101FDH20 器件上可用。

所有 USART 功能均为可转移功能，并且通过开关矩阵分配到引脚。

8.12.1 功能

- 当 USART 功能分配到除 PIO0_10 和 PIO0_11 外的所有数字引脚时，异步模式和同步模式下的最大比特率分别为 1.875 Mbit/s 和 10 Mbit/s。
- 7 个、8 个或 9 个数据位，1 或 2 个停止位
- 支持主机或从机运行的同步模式。包括数据相位选择和连续时钟选项。
- 支持软件地址比较的多处理器 / 多点（9 位）模式。（可进行软件地址检测和收发器方向控制的 RS-485。）
- 奇偶生成和校验：奇校验、偶校验或无校验。
- 一个发送数据缓冲器和一个接收数据缓冲器。
- 用于自动流控制的 RTS/CTS 硬件信号。通过增量 CTS 检测、发送禁用控制以及作为 RTS 输出的任意 GPIO 可进行软件流控制。
- 接收的数据和状态可以选择性地从单个寄存器中读取。
- 中止产生及检测。
- 接收数据是 3 个样本“投票”中的 2 个。当有 1 个样本与其它不同时，便会置位状态标志。
- 内置波特率发生器。
- 所有 UART 共享同一个小数速率分频器。
- 可中断的状态有：接收器就绪、发送器就绪、接收器挂起、接收器断点检测变化、帧错误、奇偶校验错误、溢出、欠载、增量 CTS 检测和接收器样本噪声检测。
- 用于测试的独立数据和流控制环回模式。
- 波特率时钟也可在异步模式下输出。
- 由片内 ROM API 提供支持。

8.13 SPI0/1

注：SPI0 在所有 LPC800 器件上都可用。SPI1 仅在 LPC812M101FDH16 和 LPC812M101FDH20 器件上可用。

所有 SPI 功能均为可转移功能，并且通过开关矩阵分配到引脚。

8.13.1 功能

- 当 SPI 功能分配到除 PIO0_10 和 PIO0_11 外的所有数字引脚时，主机模式和从机模式下的最大数据速率分别为 30 Mbit/s 和 25 Mbit/s。
- 1 至 16 位数据帧得到直接支持。通过软件可支持位数更多的帧。
- 主机和从机运行。
- 无需读取输入数据，即可将数据发送到从机。设置 SPI 存储器这可能非常有用。
- 控制信息可选择性地与数据一同写入器件。这就允许各种操作，包括“任意长度”的帧。
- 具有可选极性和灵活用途的从机选择输入 / 输出。

注：不支持德州仪器公司的同步串行接口和国家半导体公司的 Microwire 模式。

8.14 I2C 总线接口

I²C 总线是双向的，仅使用以下两根线进行 inter-IC 控制：一根串行时钟线 (SCL) 和一根串行数据线 (SDA)。每个设备均由一个唯一的地址进行识别，并且可用作一个纯接收器设备（例如，LCD 驱动器）或一个同时具有信息收发功能的发送器（例如，存储器）。发送器和 / 或接收器可在主机或从机模式下工作，具体取决于芯片是需要启动数据传输还是只被寻址。I²C 是一种多主机总线，可由所连接的多个总线主机进行控制。

I2C 总线功能属于可转移功能，可通过开关矩阵分配给任意引脚。但是，只有真正的开漏引脚 PIO0_10 和 PIO0_11 才提供完全支持 I2C 总线规格的电气特性（参见[参考 1](#)）。

8.14.1 功能

- 支持数据速率高达 400 kbit/s 的标准模式和快速模式。
- 独立的主机、从机和监视器功能。
- 支持多主机功能以及带从机的多主机功能。
- 硬件中支持多个 I²C 从机地址。
- 单个从机地址或地址范围可使用位掩码进行选择认证，以便响应多个 I²C 总线地址。
- 10 位寻址由软件协助提供支持。
- 支持 SMBus。
- 由片内 ROM API 提供支持。
- 如果 I2C 功能分配给真正的开漏引脚（PIO0_10 和 PIO0_11），则 I2C 就支持整个 I2C 总线规范：
 - 故障防护操作：当关闭 I²C 总线器件的电源时，连接 I²C 总线的 SDA 和 SCL 引脚浮空，不影响总线工作。
 - 支持最高 1 Mbit/s 比特率的超快速模式。

8.15 状态可配置定时器 (SCT)

状态可配置定时器用匹配输出以及外部捕获输入和内部捕获输入，可执行基本的 16 位和 32 位定时器 / 计数器功能。此外，SCT 可建立最多两种不同的可编程状态，通过对事件进行控制即可改变状态，以此提供复杂的定时模式。

SCT 的所有输入和输出均为可转移功能，并且通过开关矩阵分配到引脚。

8.15.1 功能

- 两个 16 位计数器或一个 32 位计数器。
- 由总线时钟或选定输入进行计时的计数器。
- 递增计数器或可逆计数器。
- 状态变量可以对多个计数器周期进行排序。
- 下列条件可定义一次事件：计数器匹配条件、输入（或输出）条件、指定状态中的匹配和 / 或输入 / 输出条件组合、计数方向。
- 事件控制输出、中断和 SCT 状态。
 - 匹配寄存器 0 可用来进行自动限值。
 - 在双向模式中，可根据计数方向使能事件。
 - 可保持匹配事件，直到发生另一次认证事件。

- 选定的事件可以限制、终止、启动或停止计数器操作。
- 提供如下支持：
 - 4 个输入
 - 4 个输出
 - 5 个匹配 / 捕获寄存器
 - 6 个事件
 - 2 个状态

8.16 多速率定时器 (MRT)

多速率定时器 (MRT) 提供具有 4 个通道的重复性中断定时器。每个通道都能以独立的时间间隔进行编程，并且独立于其它通道运行。

8.16.1 功能

- 31 位中断定时器
- 4 个通道从单独设置的数值开始，独立向下计数
- 重复模式和单次中断模式

8.17 窗口化看门狗定时器 (WWDT)

如果软件未能在可编程设定的时间窗口内定期为控制器提供服务，则看门狗定时器会复位该控制器。

8.17.1 功能

- 如果没有在可编程设定的超时期间内定期重新载入，则产生片内复位。
- 可选的窗口操作需要在最短与最长时间周期（这两者均可编程设定）范围内重新载入。
- 可在看门狗超时之前的可编程时间生成可选的警报中断。
- 可通过软件启用，但需要硬件复位或禁用看门狗复位 / 中断。
- 输入序列错误会导致复位或中断（如果启用的话）。
- 指示看门狗复位的标志。
- 带内部前置分频器的可编程 24 位定时器。
- 可从 $(T_{cy}(WDCLK) \times 256 \times 4)$ 到 $(T_{cy}(WDCLK) \times 2^{24} \times 4)$ 中选择是 $T_{cy}(WDCLK) \times 4$ 倍数的时间周期。
- 看门狗时钟 (WDCLK) 源可从内部 RC 振荡器 (IRC) 或看门狗振荡器 (WDOsc) 中选择。这为看门狗在不同功率条件下提供了较宽的潜在时序选择范围。

8.18 自唤醒定时器 (WKT)

自唤醒定时器是一个 32 位可加载递减计数器。向该定时器写入任何非零值会启用该计数器并启动递减序列。如果计数器用作唤醒定时器，则该次写操作可在进入低功耗模式前的那一刻发生。

8.18.1 特性

- 32 位可加载递减计数器。加载计数值时计数器会自动启动。超时事件会生成一个中断 / 唤醒请求。
- WKT 位于一个独立且始终上电的电源域中。
- WKT 支持两个时钟源。一个时钟源来源于始终上电的电源域。
- WKT 可用于将器件从任何低功耗模式中唤醒（包括深度掉电模式），也可用于通用定时。

8.19 SysTick 定时器

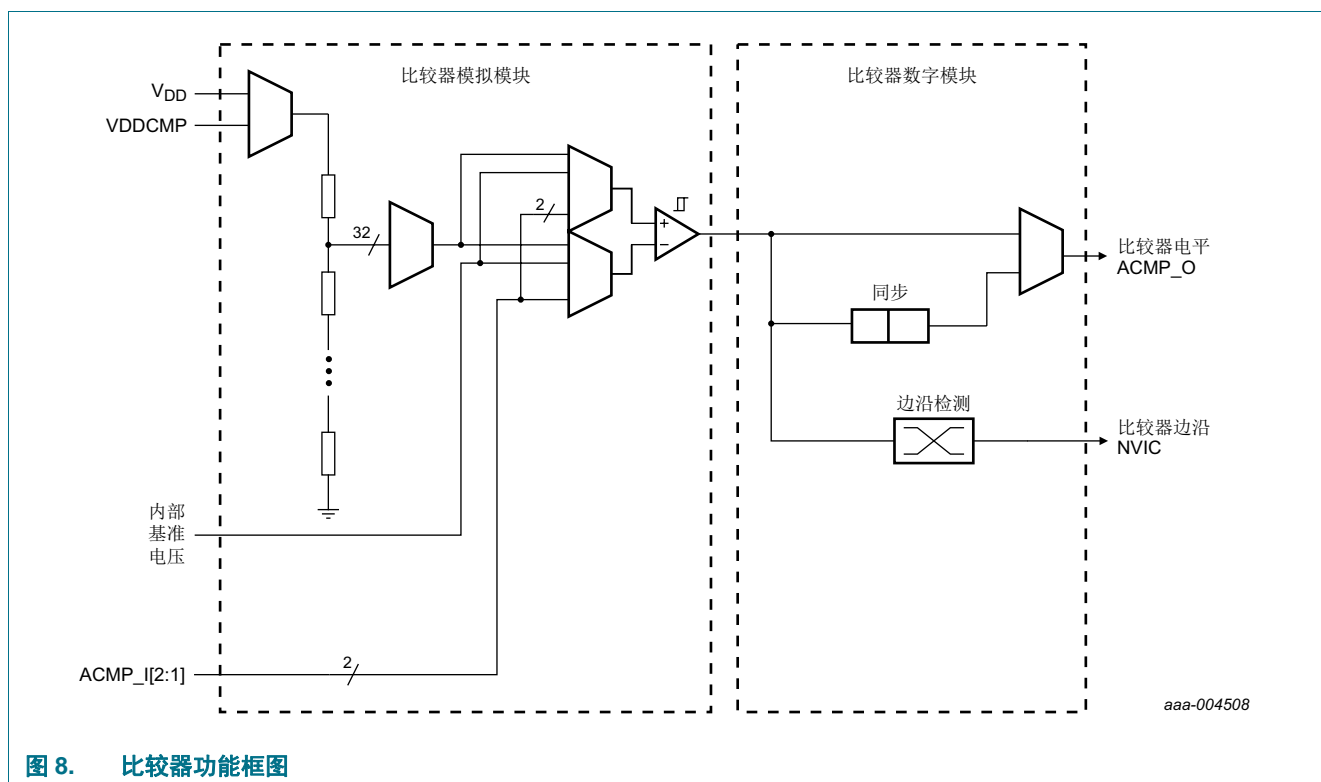
ARM Cortex-M0+ 24 位 SysTick 定时器在 LPC81xM 上实现。

8.20 模拟比较器 (ACMP)

带可选迟滞的模拟比较器可将外部引脚上的电压电平与内部电压作比较。

上电并切换比较器的输入通道后，电压阶梯的输出在可作为比较器基准输入之前，必须得到允许可按照其稳定状态值进行建立。建立时间可参见[表 24](#)。

模拟比较器输出是可转移功能，并通过开关矩阵分配给引脚。比较器输入和基准电压通过开关矩阵，在引脚 PIO0_0 和 PIO0_1 上启用或禁用。



8.20.1 功能

- 可选择 0 mV、10 mV (± 5 mV) 和 20 mV (± 10 mV)、40 mV (± 20 mV) 输入迟滞。
- 两个可选外部电压（引脚 PIO0_6 上的 V_{DD} 或 V_{DDCMP} ）；可在正负输入通道上完全配置。

- 内部基准电压源来自带隙，正负输入通道上的温度传感器可选。
- 32 级电压阶梯，正负输入通道上的内部基准电压源可选。
- 电压阶梯的源电压可在外部引脚和 3.3 V 主电源供电轨之间选择。
- 对于只要求比较器功能的应用程序，电压阶梯可单独掉电。
- 中断输出连接至 NVIC。
- 比较器电平输出连接至输出引脚 ACMP_O。
- 比较器输出可通过开关矩阵，在内部路由至 SCT 输入。

8.21 时钟和电源控制

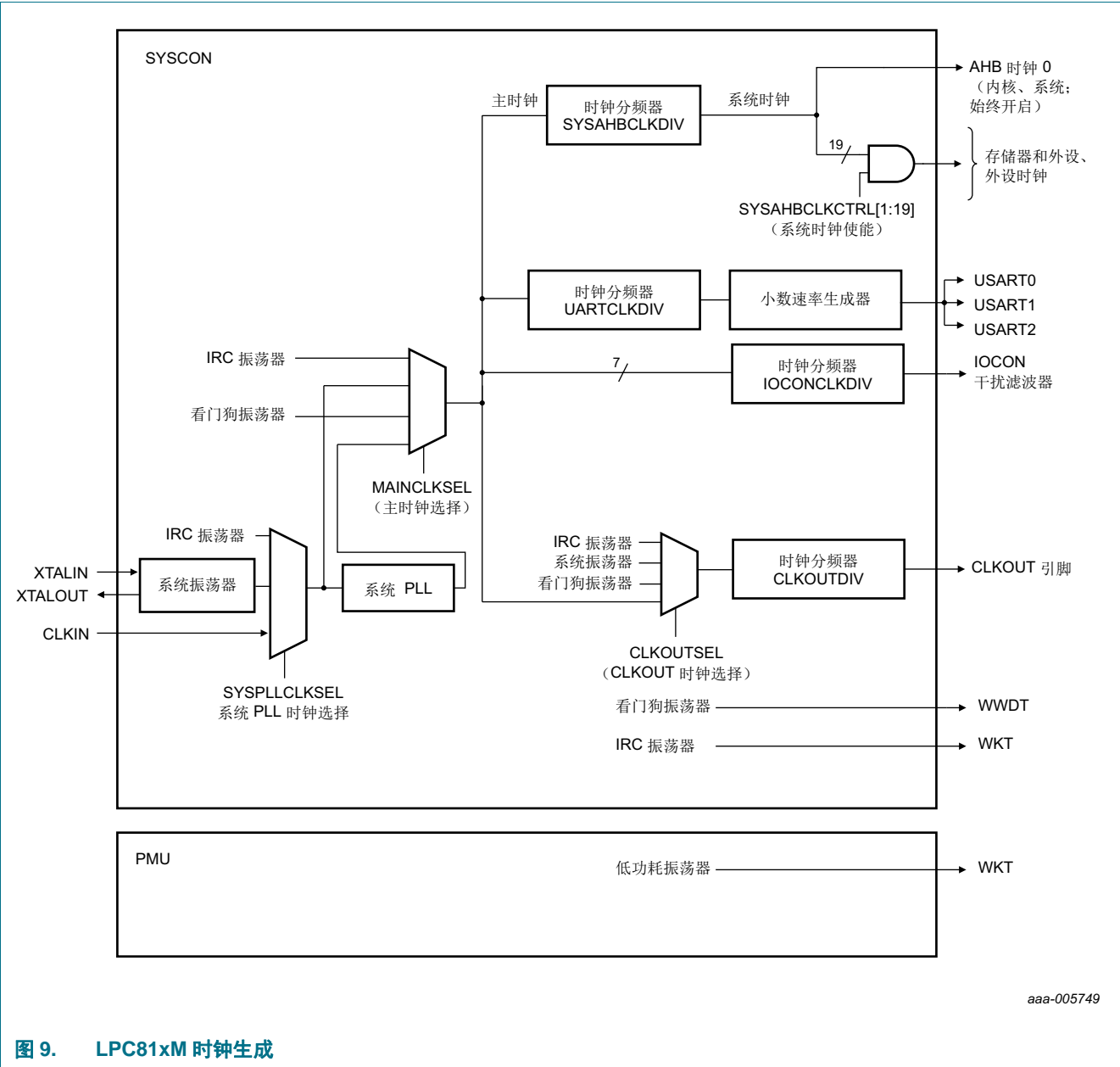


图 9. LPC81xM 时钟生成

8.21.1 晶体振荡器和内部振荡器

LPC81xM 集成了 4 个独立的振荡器：

- 1. 晶体振荡器 (SysOsc) 的工作频率范围为 1 MHz 至 25 MHz。
- 2. 内部 RC 振荡器 (IRC) 的固定频率为 12 MHz，调整至 1% 精度。
- 3. 内部低功耗、低频率振荡器的标称频率为 10 kHz，精度为 40%，用于自唤醒定时器。
- 4. 专用看门狗振荡器(WDOsc)的可编程标称频率范围为9.4 kHz至2.3 MHz，精度为40%。

除低功耗振荡器之外的所有振荡器均可根据特定应用的要求在多种用途中使用。

复位后，LPC81xM 将从 IRC 运行，直到通过软件进行切换。这就使得系统可以在没有任何外部晶体的情况下运行，并使引导加载程序代码按照已知频率运行。

有关 LPC81xM 时钟生成的概述，参见[图 9](#)。

8.21.1.1 内部 RC 振荡器 (IRC)

IRC 可用作 WWDT 的时钟源，以及 / 或者用作依次驱动 PLL 和 CPU 的时钟。标称的 IRC 频率为 12 MHz。可对 IRC 进行调整，使其在整个电压和温度范围内精确到 1%。

无论是否使用了 PLL，IRC 都可用作 CPU 的时钟源。IRC 频率可通过系统 PLL 提高到更高的频率，高达 CPU 的最大工作频率。

上电或任何芯片复位后，LPC81xM 会将 IRC 用作时钟源。软件稍后可能会切换到其他某个可用时钟源。

8.21.1.2 晶体振荡器 (SysOsc)

无论是否使用了 PLL，晶体振荡器都可用作 CPU 的时钟源。

SysOsc 的工作频率范围为 1 MHz 至 25 MHz。该频率可通过系统 PLL 提高到更高的频率，高达 CPU 的最大工作频率。

8.21.1.3 内部低功耗振荡器和看门狗振荡器 (WDOsc)

WDOsc 的标称频率可编程范围为 9.4 kHz 至 2.3 MHz。硅片处理过程中造成的频率扩散为 $\pm 40\%$ 。

WDOsc 是窗口化 WWDT 的专用振荡器。

内部低功耗 10 kHz（精度为 $\pm 40\%$ ）振荡器用作 WKT 的时钟输入。该振荡器经配置可在所有低功耗模式下运行。

8.21.2 时钟输入

可将 3.3 V 外部时钟源（典型值为 25 MHz）施加在所选 CLKIN 引脚上，或者将 1.8 V 外部时钟源施加在 XTALIN 引脚上（参见[章节 14.1](#)）。

8.21.3 系统 PLL

PLL 接受的输入时钟频率范围为 10 MHz 至 25 MHz。输入频率可通过一个电流控制振荡器 (CCO) 倍增至高频。乘数可以是 1 到 32 的整数值。CCO 的工作频率范围介于 156 MHz 与 320 MHz 之间，因此在循环中有一个额外的分频器，用以确保 CCO 位于其频率范围内的同时，PLL 能提供所需的输出频率。输出分频器可设置为按 2、4、8 或 16 分频以产生输出时钟。由于最小输出分频器值为 2，因此这就确保了 PLL 输出有 50% 的占空比。芯片复位后，PLL 会被关闭和绕过，并且可通过软件使能。程序必须配置并激活 PLL、等待 PLL 锁定，然后连接到 PLL 作为时钟源。PLL 建立时间的标称值为 100 μs 。

8.21.4 时钟输出

LPC81xM 具有时钟输出功能，可将 IRC、SysOsc、看门狗振荡器或主时钟路由至 CLKOUT 功能。CLKOUT 功能可通过开关矩阵连接到任意数字引脚。

8.21.5 唤醒过程

LPC81xM 使用 IRC 作为时钟源，可在上电时开始工作。这使得芯片能够快速恢复工作状态。如果应用需要 SysOsc、外部时钟源或者 PLL，软件必须启用这些功能，并等它们变得稳定，才能用作时钟源。

8.21.6 功率控制

LPC81xM 支持 ARM Cortex-M0 睡眠模式。必要时，可通过改变时钟源、重新配置 PLL 值、以及 / 或者更改 CPU 时钟分频器，进行 CPU 时钟速率的控制。这样就能在功耗和处理速度之间取得折衷，满足应用要求。另外，还提供寄存器来关断单个片内外设的时钟，以便通过消除应用不必要的外设动态功耗，达到微调功耗的目的。选定的外设自身具有时钟分频器，可更好地提供功率控制。

8.21.6.1 电源配置

通过简单调用电源配置 API，可针对应用优化激活模式和睡眠模式下的功耗。API 可通过片内 ROM 访问。

电源配置例程可将 LPC81xM 配置为下列某种电源模式：

- 对应于复位后电源配置的默认模式。
- 对应于优化后处理功能的 CPU 性能模式。
- 对应于经过优化平衡的功耗和 CPU 性能的效率模式。
- 对应于最低功耗的低电流模式。

此外，电源配置还包括针对给定系统时钟和 PLL 输入时钟选择最优 PLL 设置的例程。

8.21.6.2 睡眠模式

进入睡眠模式后，内核时钟会停止。不需任何特殊序列，只需再次使能 ARM 的内核时钟源即可从睡眠模式中恢复。

睡眠模式下，指令将暂停执行，直到发生复位或中断。睡眠模式下，外设功能会继续运行，并可能产生中断使处理器恢复工作。睡眠模式消除了处理器自身、存储器系统及其相关控制器和内部总线的动态功耗。

8.21.6.3 深度睡眠模式

深度睡眠模式下，LPC81xM 处于睡眠模式，除 IRC 和看门狗振荡器或低功耗振荡器（若选中）外，所有外设时钟和所有时钟源均关闭。IRC 输出禁用。此外，所有模拟模块都处于关断状态，闪存处于掉电模式。深度睡眠模式下，应用程序能够保持看门狗振荡器和 BOD 电路运行，以便用于自定时唤醒和 BOD 保护。

可通过下列方式将 LPC81xM 从深度睡眠模式中唤醒：复位、选择数字引脚作为引脚中断模块的输入、一次看门狗定时器中断事件，或来自 USART（若 USART 配置为同步从机模式）、SPI、I2C 模块（从机模式下）的中断事件。

用于唤醒深度睡眠模式的任何中断都必须在 SYSCON 唤醒使能寄存器或 NVIC 中使能。

深度睡眠模式可节省电能，并且唤醒时间短。

8.21.6.4 掉电模式

掉电模式下，LPC81xM 处于睡眠模式，除看门狗振荡器或低功耗振荡器（若选中）外，所有外设时钟和所有时钟源均关闭。此外，所有模拟模块和闪存都处于关断状态。掉电模式下，应用程序能够保持看门狗振荡器和 BOD 电路运行，以便用于自定时唤醒和 BOD 保护。

可通过下列方式将 LPC81xM 从省电模式中唤醒：复位、选择数字引脚作为引脚中断模块的输入、一次看门狗定时器中断事件，或来自 USART（若 USART 配置为同步从机模式）、SPI、I2C 模块（从机模式下）的中断事件。

用于唤醒掉电模式的任何中断都必须在 SYSCON 唤醒使能寄存器或 NVIC 中使能。

相比深度睡眠模式，掉电模式可进一步降低功耗，但唤醒时间较长。

8.21.6.5 深度掉电模式

深度掉电模式下，除 WAKEUP 引脚以及自唤醒定时器（若使能）外的整个芯片的电源都处于关断状态。4 个通用寄存器可在深度掉电模式下存储信息。LPC81xM 可通过 WAKEUP 引脚或在不使用外部信号的情况下使用自唤醒定时器的超时功能从深度掉电模式唤醒（参见[章节 8.18](#)）。

可通过设置 PMU 模块的锁定位，防止 LPC81xM 进入深度掉电模式。锁定深度掉电模式可让应用程序始终保持看门狗定时器或 BOD 处于工作状态。

进入深度掉电模式后，需要在 WAKEUP 引脚上使用一个外部上拉电阻，以使该引脚保持在高电平。深度掉电模式下，将 RESET 引脚拉至高电平可防止其浮空。

8.22 系统控制

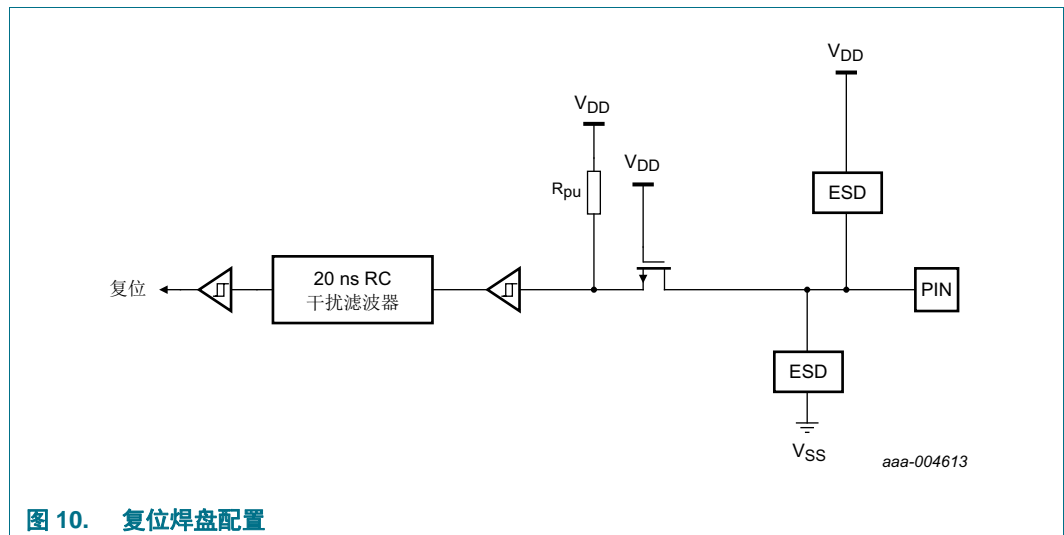
8.22.1 复位

LPC81xM 有 4 个复位源：RESET 引脚、看门狗复位、上电复位 (POR) 和掉电检测 (BOD) 电路。RESET 引脚为施密特触发输入引脚。芯片复位可以由任意一个复位源引起，只要工作电压达到可用电平，就会驱动 IRC 并初始化闪存控制器。

持续时间低至 50 ns 的低电平脉冲可复位该器件。

当移除内部复位时，处理器将在地址 0 处开始执行，该地址最初是从引导模块映射的复位向量。这时，所有处理器和外设寄存器都已经初始化为预定值。

深度掉电模式下，需要在 RESET 引脚上使用一个外部上拉电阻。



8.22.2 掉电检测

LPC81xM 提供多达 4 种电平，用于监控 VDD 引脚电压。如果该引脚上的电压低于某个选中的电平值，则 BOD 会向 NVIC 发送一个中断信号。该信号可在 NVIC 的中断使能寄存器中设置为使能中断，以便产生一次 CPU 中断事件。此外，软件通过读取专用状态寄存器可监控信号。有 4 个阈值电平可供选择以强制复位芯片。

8.22.3 代码安全（代码读保护 - CRP）

CRP 提供不同的系统安全等级，从而可以限制片内闪存的访问和串行线调试器 (SWD) 以及在系统编程 (ISP) 的使用。将特定模式编入专用的闪存位置会唤醒 CRP。IAP 命令不受 CRP 的影响。

此外，可在不启用 CRP 的情况下禁用通过 PIO0_1 引脚的 ISP 入口。有关详情，请参见 *LPC800 用户手册*。

代码读保护有三个等级：

1. CRP1 可禁用 SWD 对芯片的访问，允许使用有限的 ISP 命令集进行局部闪存更新（不包括闪存扇区 0）。该模式在要求 CRP 且需要更新闪存字段但不能擦除所有扇区时有用。
2. CRP2 可禁用 SWD 对芯片的访问，仅允许使用更少的 ISP 命令集进行完全闪存擦除和更新。
3. 如果运行的是选择 CRP3 的应用程序，则会完全禁用 SWD 引脚和 ISP 对芯片的任何访问。该模式还能有效禁用通过 PIO0_1 引脚强行进入 ISP 的行为。若有需要，该应用程序必须调用 IAP 来更新闪存，或通过 USART 重新调用 ISP 命令来进行闪存更新。

注意

如果选择了三级代码读保护 (CRP3)，则设备上不可以进行进一步的出厂测试。



除三种 CRP 等级外，可禁用针对有效用户代码进行的引脚 PIO0_1 采样。有关详情，请参见 *LPC800 用户手册*。

8.22.4 APB 接口

APB 外设位于 APB 总线上。

8.22.5 AHBLite

AHBLite 将 ARM Cortex-M0+ 的 CPU 总线连接到闪存、主静态 RAM、CRC 和 ROM。

8.23 仿真和调试

ARM Cortex-M0+ 集成了调试功能。除了标准 JTAG 边界扫描，还支持串行线调试功能。ARM Cortex-M0+ 经过配置后可支持多达 4 个断点和 2 个观察点。

LPC81xM 集成了微跟踪缓冲区。

$\overline{\text{RESET}}$ 引脚可在 JTAG 边界扫描模式 ($\overline{\text{RESET}}$ = 低电平) 和 ARM SWD 调试模式 ($\overline{\text{RESET}}$ = 高电平) 之间进行选择。LPC81xM 复位时，ARM SWD 调试端口被禁用。当器件处于边界扫描模式时，可通过硬件，在引脚 PIO0_0 至 PIO0_3 上选择 JTAG 边界扫描引脚（参见表 4）。

要执行边界扫描测试，可通过以下步骤：

- 1. 擦除驻留在闪存中的所有用户代码。
- 2. 在外部将 $\overline{\text{RESET}}$ 引脚拉至高电平从而为器件上电。
- 3. 等待至少 250 μs 。
- 4. 在外部将 $\overline{\text{RESET}}$ 引脚拉至低电平。
- 5. 执行边界扫描操作。
- 6. 一旦完成边界扫描操作，则通过置位 $\overline{\text{TRST}}$ 引脚来启用 SWD 调试模式和释放 $\overline{\text{RESET}}$ 引脚（拉至高电平）。

注：JTAG 接口无法用于调试。

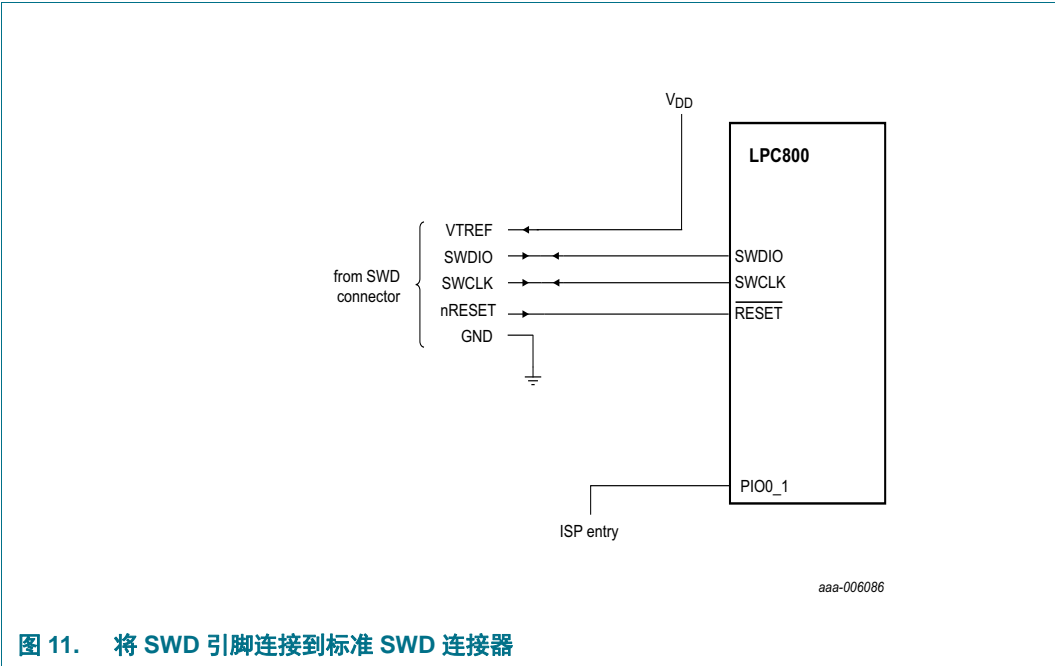


图 11. 将 SWD 引脚连接到标准 SWD 连接器

9. 限值

表 6. 限值
据“绝对最大额定值体系 (IEC 60134)”。[\[1\]](#)

符号	参数	条件	最小值	最大值	单位
V _{DD}	电源电压（内核和外部供电轨）		[2] -0.5	+4.6	V
V _I	输入电压	可承受 5V 电压的 I/O 引脚；仅当存在 V _{DD} 电源电压时才有效	[3] -0.5	+5.5	V
		可承受 5V 电压的开漏引脚 PIO0_10 和 PIO0_11	[4] -0.5	+5.5	V
		可承受 3V 电压的 I/O 引脚 PIO0_6	[5] -0.5	+3.6	V
V _{IA}	模拟输入电压		[6] [7] -0.5	4.6	V
V _{i(xtal)}	晶体输入电压		[2] -0.5	+2.5	V
I _{DD}	电源电流	每个电源引脚	-	100	mA
I _{SS}	接地电流	每个接地引脚	-	100	mA
I _{锁存}	I/O 锁存电流	-(0.5V _{DD}) < V _I < (1.5V _{DD}) ; T _J < 125 °C	-	100	mA
T _{stg}	存储温度	不工作	[8] -65	+150	°C
T _{j(max)}	最大结点温度		-	150	°C
P _{tot(pack)}	总功耗（每个封装）	基于封装的热传递，而非器件的功耗	-	<td>	W
V _{ESD}	静电放电电压	人体模型；所有引脚	[9] -	<td>	V

- [1] 以下情况适用于极限值：
- a) 该产品包含专门设计用以保护其内部器件的电路，用来防止过量静电荷的破坏作用。但建议仍要采取一些常规预防措施避免超过最大额定值。
 - b) 除非另有说明，否则参数在工作温度范围内有效。所有电压都是相对于 V_{SS} 而言，除非另有说明。
 - c) 限值仅为强度额定值，不建议器件在这些数值下工作，并且不保证器件可在这些限值下正常工作。正常工作的条件参见[表 10](#)。
- [2] 短时间内 (< 10 ms) 可对器件施加超过最大工作电压（参见[表 10](#)）和低于接地电压的最大值 / 最小值电压，而不导致器件发生不可逆转的故障。故障包括可靠性下降以及器件使用寿命缩短。
- [3] 包括三态模式下的电压输出。不适用于引脚 PIO0_6。
- [4] 存在 / 不存在 V_{DD}。符合 I²C 总线标准。当 V_{DD} 掉电时，可施加 5.5 V 电压至该引脚。
- [5] 存在 / 不存在 V_{DD}。
- [6] 如果比较器配置为共模输入 V_{IC} = V_{DD}，则其它比较器输入最多可超过或低于 V_{DD} 0.2 V，并且不影响比较器功能的迟滞范围。
- [7] 建议在模拟输入引脚和电源电压引脚之间连接一个过压保护二极管。
- [8] 最大不工作存储温度不同于所需的储藏期限温度；后者应根据储藏期限而定。有关详细信息，请参见 JEDEC 规范 (J-STD-033B.1)。
- [9] 人体模型：相当于通过 1.5 kΩ 串行电阻对 100 pF 电容放电。

10. 热特性

芯片结温的平均值 T_j (°C) 可使用以下公式进行计算：

$$T_j = T_{amb} + (P_D \times R_{th(j-a)}) \tag{1}$$

- T_{amb} = 环境温度 (°C),
- $R_{th(j-a)}$ = 封装结点到环境的热阻 (°C/W)
- P_D = 内部和 I/O 功耗的总和

内部功耗等于 I_{DD} 和 V_{DD} 的乘积。I/O 引脚的 I/O 功耗往往较小，很多时候都可以忽略不计。不过，它在某些应用中可能比较重要。

表 7. 热特性

符号	参数	条件	最小值	典型值	最大值	单位
$T_{j(max)}$	最大结点温度		-	-	125	°C

表 8. 热阻（TSSOP 封装）

符号	参数	条件	热阻单位: °C/W ±15 %	
			TSSOP16	TSSOP20
$R_{th(j-a)}$	从结点到环境的热阻值	JEDEC (4.5 in × 4 in); 静态环境	133	110
		单层 (4.5 in × 3 in); 静态环境	182	153
$R_{th(j-c)}$	从结点到机壳的热阻值		33	23

表 9. 热阻值（SO/DIP 封装）

符号	参数	条件	热阻单位: °C/W ±15 %	
			SO20	DIP8
$R_{th(j-a)}$	从结点到环境的热阻值	JEDEC (4.5 in × 4 in); 静态环境	87	60
		单层 (4.5 in × 3 in); 静态环境	112	81
$R_{th(j-c)}$	从结点到机壳的热阻值		50	38

11. 静态特性

表 10. 静态特性
除非另有说明，否则 $T_{amb} = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
V _{DD}	电源电压（内核和外部供电轨）		1.8	3.3	3.6	V
I _{DD}	电源电流	有源模式：代码 while(1){}				
		从闪存执行				
		系统时钟 = 12 MHz；默认模式； V _{DD} = 3.3 V	[2][3][4] [6][7]	1.4	-	mA
		系统时钟 = 12 MHz；低电流模式； V _{DD} = 3.3 V	[2][3][4] [6][7]	1.0	-	mA
		系统时钟 = 24 MHz；低电流模式； V _{DD} = 3.3 V	[2][3][8] [6][7]	<td>	-	
		系统时钟 = 24 MHz；低电流模式； V _{DD} = 3.3 V	[2][3][8] [6][7]	2.2	-	
		系统时钟 = 30 MHz；默认模式； V _{DD} = 3.3 V	[2][3][6] [7][8]	3.3	-	mA
		系统时钟 = 30 MHz；低电流模式； V _{DD} = 3.3 V	[2][3][6] [7][8]	3	-	mA
		睡眠模式：				
		系统时钟 = 12 MHz；默认模式； V _{DD} = 3.3 V	[2][3][4] [6][7]	0.8	-	mA
		系统时钟 = 12 MHz；低电流模式； V _{DD} = 3.3 V	[2][3][4] [6][7]	0.7	-	mA
		系统时钟 = 24 MHz；低电流模式； V _{DD} = 3.3 V	[2][3][8] [6][7]	<td>	-	mA
		系统时钟 = 24 MHz；低电流模式； V _{DD} = 3.3 V	[2][3][8] [6][7]	1.3	-	mA
		系统时钟 = 30 MHz；默认模式； V _{DD} = 3.3 V	[2][3][9] [6][7]	1.8	-	mA
		系统时钟 = 30 MHz；低电流模式； V _{DD} = 3.3 V	[2][3][9] [6][7]	1.7	-	mA
		深度睡眠模式； V _{DD} = 3.3 V	[2][3][10]	170	-	μA
		掉电模式； V _{DD} = 3.3 V	[2][3][10]	1.8	-	μA
		深度掉电模式； V _{DD} = 3.3 V 低功耗振荡器关闭	[2][11]	220	-	nA
		低功耗振荡器开启 /WKT 唤醒启用		<td>	-	nA
配置为数字引脚的标准端口引脚，RESET，参见图 12						
I _{IL}	低电平输入电流	V _I = 0 V；片内上拉电阻禁用	-	0.5	10	nA
I _{IH}	高电平输入电流	V _I = V _{DD} ；片内上拉电阻禁用	-	0.5	10	nA
I _{OZ}	断态输出电流	V _O = 0 V； V _O = V _{DD} ；片内上拉 / 下拉电阻禁用	-	0.5	10	nA

表 10. 静态特性 (续)

除非另有说明, 否则 $T_{amb} = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
V_I	输入电压	$V_{DD} \geq 1.8\text{ V}$; 除 PIO0_6 外的可承受 5V 电压的引脚	[13] [15] 0	-	5.0	V
		$V_{DD} \geq 1.8\text{ V}$; 可承受 3V 电压的引脚 PIO0_6	0	-	3.6	
		$V_{DD} = 0\text{ V}$	0	-	3.6	V
V_O	输出电压	输出有源	0	-	V_{DD}	V
V_{IH}	高电平输入电压		$0.7V_{DD}$	-	-	V
V_{IL}	低电平输入电压		-	-	$0.3V_{DD}$	V
V_{hys}	迟滞电压		-	0.4	-	V
V_{OH}	高电平输出电压	$2.5\text{ V} \leq V_{DD} \leq 3.6\text{ V}$; $I_{OH} = 4\text{ mA}$	$V_{DD} - 0.4$	-	-	V
		$1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$; $I_{OH} = 3\text{ mA}$	$V_{DD} - 0.4$	-	-	V
V_{OL}	低电平输出电压	$2.5\text{ V} \leq V_{DD} \leq 3.6\text{ V}$; $I_{OL} = 4\text{ mA}$	-	-	0.4	V
		$1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$; $I_{OL} = 3\text{ mA}$	-	-	0.4	V
I_{OH}	高电平输出电流	$V_{OH} = V_{DD} - 0.4\text{ V}$; $2.5\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	4	-	-	mA
		$1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	3	-	-	mA
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$ $2.5\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	4	-	-	mA
		$1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$	3	-	-	mA
I_{OHS}	高电平短路输出电流	$V_{OH} = 0\text{ V}$	[16] -	-	45	mA
I_{OLS}	低电平短路输出电流	$V_{OL} = V_{DD}$	[16] -	-	50	mA
I_{pd}	下拉电流	$V_I = 5\text{ V}$	10	50	150	μA
I_{pu}	上拉电流	$V_I = 0\text{ V}$; $2.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	15	50	85	μA
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$	10	50	85	μA
		$V_{DD} < V_I < 5\text{ V}$	0	0	0	μA

高电平驱动输出引脚配置为数字引脚 (PIO0_2、PIO0_3、PIO0_7、PIO0_12、PIO0_13), 参见图 12

I_{IL}	低电平输入电流	$V_I = 0\text{ V}$; 片内上拉电阻禁用	-	0.5	10	nA
I_{IH}	高电平输入电流	$V_I = V_{DD}$; 片内上拉电阻禁用	-	0.5	10	nA
I_{OZ}	断态输出电流	$V_O = 0\text{ V}$; $V_O = V_{DD}$; 片内上拉 / 下拉电阻禁用	-	0.5	10	nA
V_I	输入电压	$V_{DD} \geq 1.8\text{ V}$	[13] [15] 0	-	5.0	V
		$V_{DD} = 0\text{ V}$	0	-	3.6	V
V_O	输出电压	输出有源	0	-	V_{DD}	V
V_{IH}	高电平输入电压		$0.7V_{DD}$	-	-	V
V_{IL}	低电平输入电压		-	-	$0.3V_{DD}$	V
V_{hys}	迟滞电压		0.4	-	-	V
V_{OH}	高电平输出电压	$2.5\text{ V} \leq V_{DD} \leq 3.6\text{ V}$; $I_{OH} = -20\text{ mA}$	$V_{DD} - 0.4$	-	-	V
		$1.8\text{ V} \leq V_{DD} < 2.5\text{ V}$; $I_{OH} = -12\text{ mA}$	$V_{DD} - 0.4$	-	-	V

表 10. 静态特性 (续)

除非另有说明, 否则 $T_{amb} = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
V _{OL}	低电平输出电压	2.5 V ≤ V _{DD} ≤ 3.6 V ; I _{OL} = 4 mA	-	-	0.4	V
		1.8 V ≤ V _{DD} < 2.5 V ; I _{OL} = 3 mA	-	-	0.4	V
I _{OH}	高电平输出电流	V _{OH} = V _{DD} − 0.4 V ; 2.5 V ≤ V _{DD} ≤ 3.6 V	20	-	-	mA
		1.8 V ≤ V _{DD} < 2.5 V	12	-	-	mA
I _{OL}	低电平输出电流	V _{OL} = 0.4 V 2.5 V ≤ V _{DD} ≤ 3.6 V	4	-	-	mA
		1.8 V ≤ V _{DD} < 2.5 V	3	-	-	mA
I _{OLS}	低电平短路输出电流	V _{OL} = V _{DD}	[16] -	-	50	mA
I _{pd}	下拉电流	V _I = 5 V	[17] 10	50	150	μA
I _{pu}	上拉电流	V _I = 0 V 2.0 V ≤ V _{DD} ≤ 3.6 V	[17] 15	50	85	μA
		1.8 V ≤ V _{DD} < 2.0 V	10	50	85	μA
		V _{DD} < V _I < 5 V	0	0	0	μA
I ² C 总线引脚（PIO0_10 和 PIO0_11），参见图 12						
V _{IH}	高电平输入电压		0.7V _{DD}	-	-	V
V _{IL}	低电平输入电压		-	-	0.3V _{DD}	V
V _{hys}	迟滞电压		-	0.05V _{DD}	-	V
I _{OL}	低电平输出电流	V _{OL} = 0.4 V；I ² C 总线引脚配置为标准模式引脚 2.5 V ≤ V _{DD} ≤ 3.6 V	3.5	-	-	mA
		1.8 V ≤ V _{DD} < 2.5 V	3	-	-	
I _{OL}	低电平输出电流	V _{OL} = 0.4 V；I ² C 总线引脚配置为超快速引脚 2.5 V ≤ V _{DD} ≤ 3.6 V	20	-	-	mA
		1.8 V ≤ V _{DD} < 2.5 V	16	-	-	
I _{LI}	输入泄漏电流	V _I = V _{DD}	[18] -	2	4	μA
		V _I = 5 V	-	10	22	μA
振荡器输入引脚（PIO0_8 和 PIO0_9）						
V _{i(xtal)}	晶体输入电压		−0.5	1.8	1.95	V
V _{o(xtal)}	晶体输出电压		−0.5	1.8	1.95	V

[1] 不能保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。

[2] $T_{amb} = 25^{\circ}\text{C}$ 。[3] I_{DD} 测量条件为: 所有引脚配置为 GPIO 输出驱动至低电平, 并且上拉电阻禁用。

[4] IRC 启用; 系统振荡器禁用; 系统 PLL 禁用。

[5] 系统振荡器启用; IRC 禁用; 系统 PLL 禁用。

[6] BOD 禁用。

[7] 在 SYSAHBCLKCTRL 寄存器中所有外设禁用。系统配置模块中 USART、CLKOUT 和 IOCON 的外设时钟禁用。

[8] IRC 启用; 系统振荡器禁用; 系统 PLL 启用。

[9] IRC 禁用; 系统振荡器启用; 系统 PLL 启用。

[10] 所有振荡器和模拟模块在 PDSLEEPCFG 寄存器中关闭; PDSLEEPCFG = 0x0000 18FF。

[11] 从外部将 WAKEUP 引脚拉至高电平。

- [12] 在电源配置中运行 `set_power` 程序时，选择低电流模式 `PWR_LOW_CURRENT`。
- [13] 包括三态模式下输出上的电压。
- [14] 必须存在电源电压 V_{DD} 。
- [15] 深度掉电模式下，三态输出会变为三态模式。
- [16] 只要电流限制不超过器件允许的最大电流即可。
- [17] 上拉和下拉电流通过内部弱上拉 / 下拉电阻测得。参见图 7。
- [18] 至 V_{SS} 。

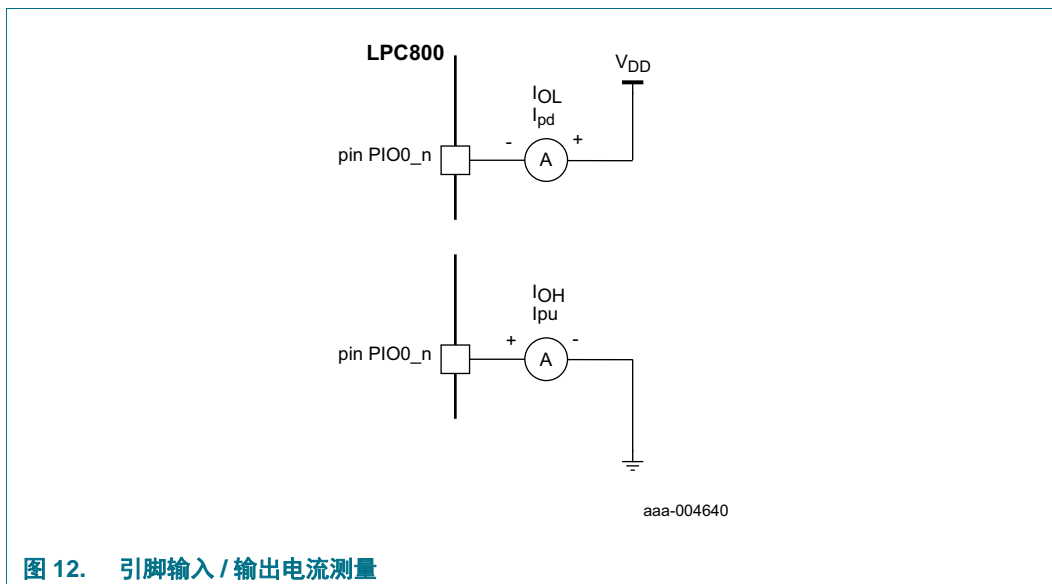
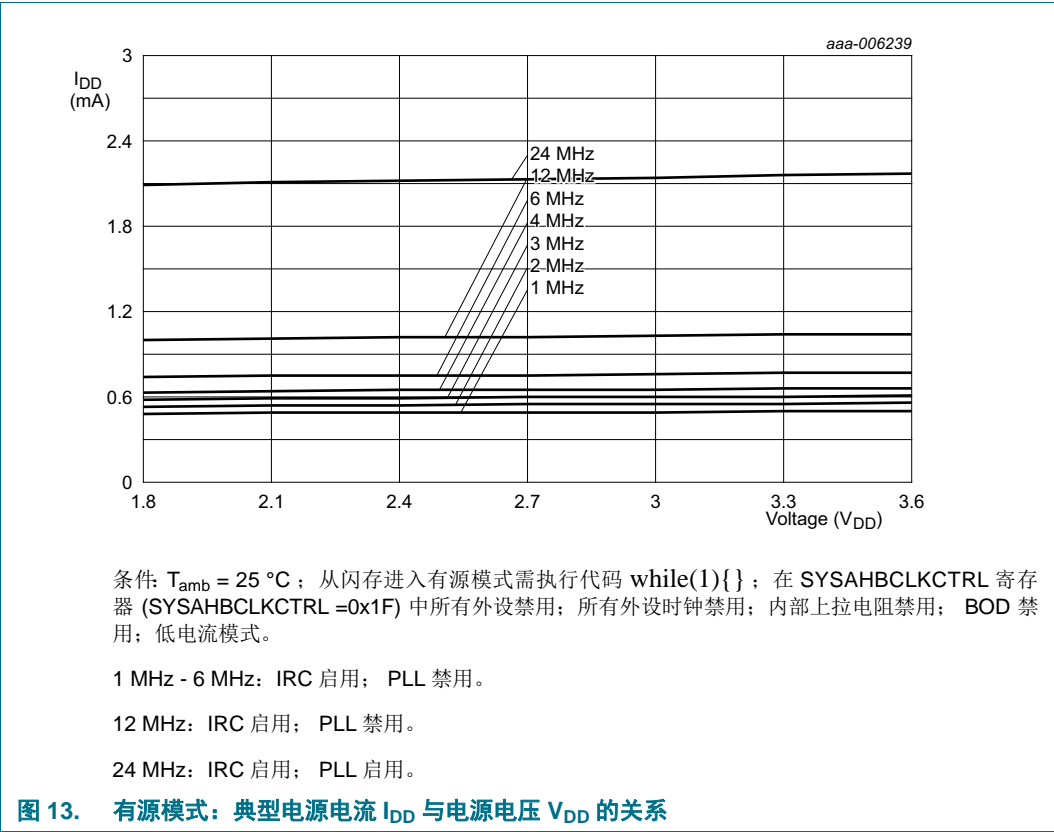


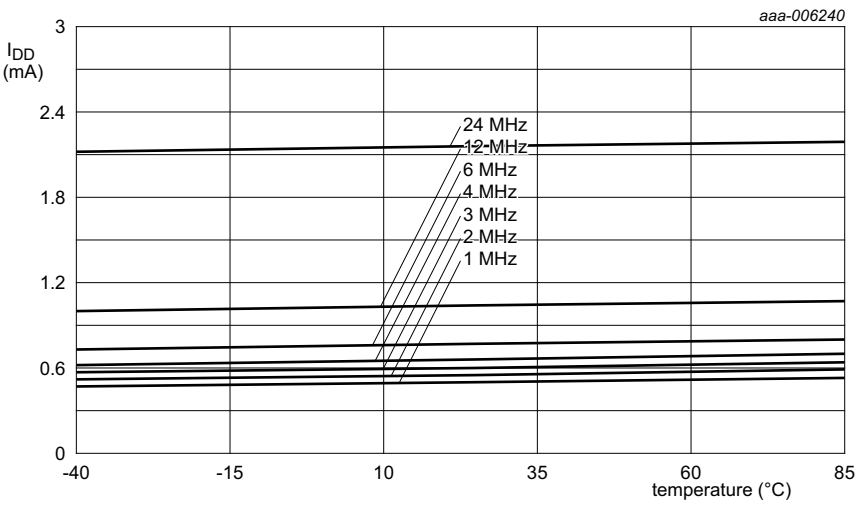
图 12. 引脚输入 / 输出电流测量

11.1 功耗

如下所列为工作模式、睡眠模式、深度睡眠模式下的功率测量条件：

- 将所有引脚配置为 GPIO，并在 IOCON 模块中禁用上拉电阻。
- 使用 GPIO DIR 寄存器将 GPIO 引脚配置为输出。
- 向所有 GPIO DATA 寄存器中写入 0，将输出驱动至低电平。





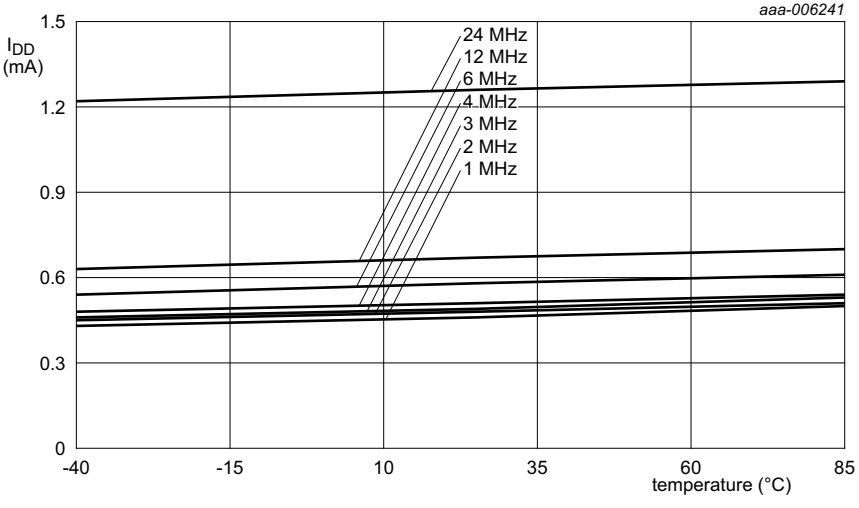
条件: $V_{DD} = 3.3\text{ V}$; 从闪存进入有源模式需执行代码 `while(1){}` ; 在 `SYSAHBCLKCTRL` 寄存器 (`SYSAHBCLKCTRL = 0x1F`) 中所有外设禁用; 所有外设时钟禁用; 内部上拉电阻禁用; BOD 禁用; 低电流模式。

1 MHz - 6 MHz: IRC 启用; PLL 禁用。

12 MHz: IRC 启用; PLL 禁用。

24 MHz: IRC 启用; PLL 启用。

图 14. 有源模式：典型电源电流 I_{DD} 与温度的关系



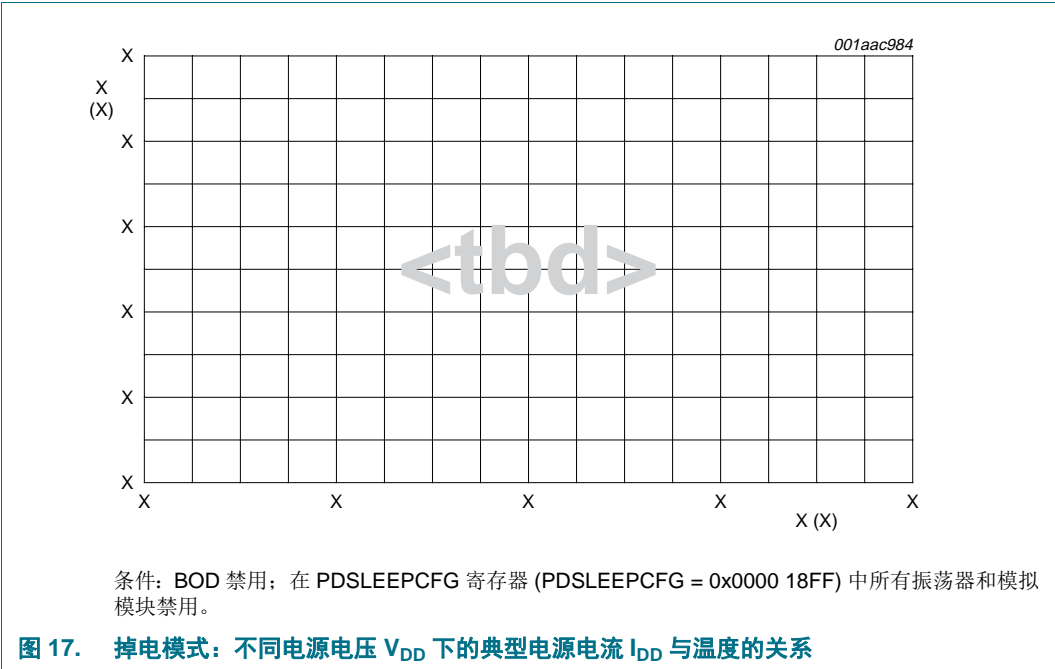
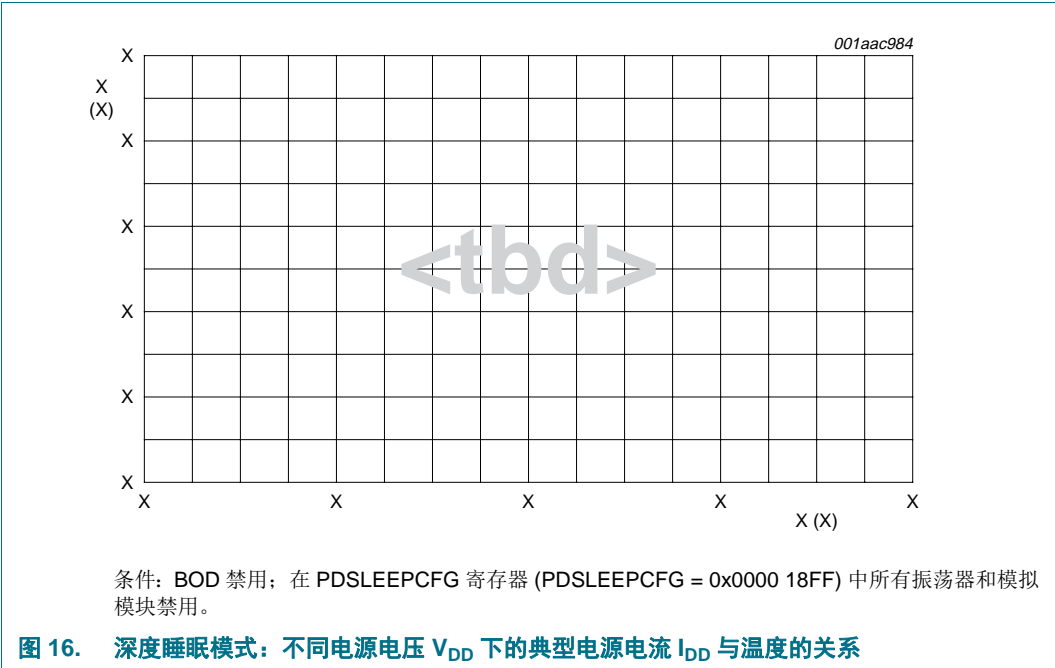
条件: $V_{DD} = 3.3\text{ V}$; 从闪存进入睡眠模式; 在 `SYSAHBCLKCTRL` 寄存器 (`SYSAHBCLKCTRL = 0x1F`) 中所有外设禁用; 所有外设时钟禁用; 内部上拉电阻禁用; BOD 禁用; 低电流模式。

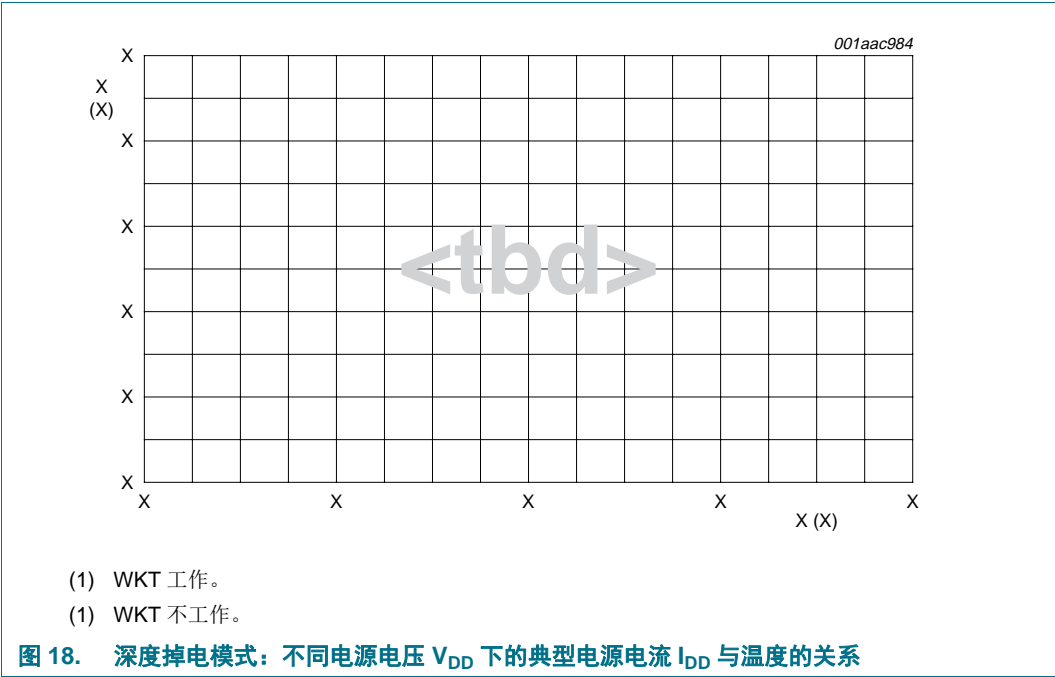
1 MHz - 6 MHz: IRC 启用; PLL 禁用。

12 MHz: IRC 启用; PLL 禁用。

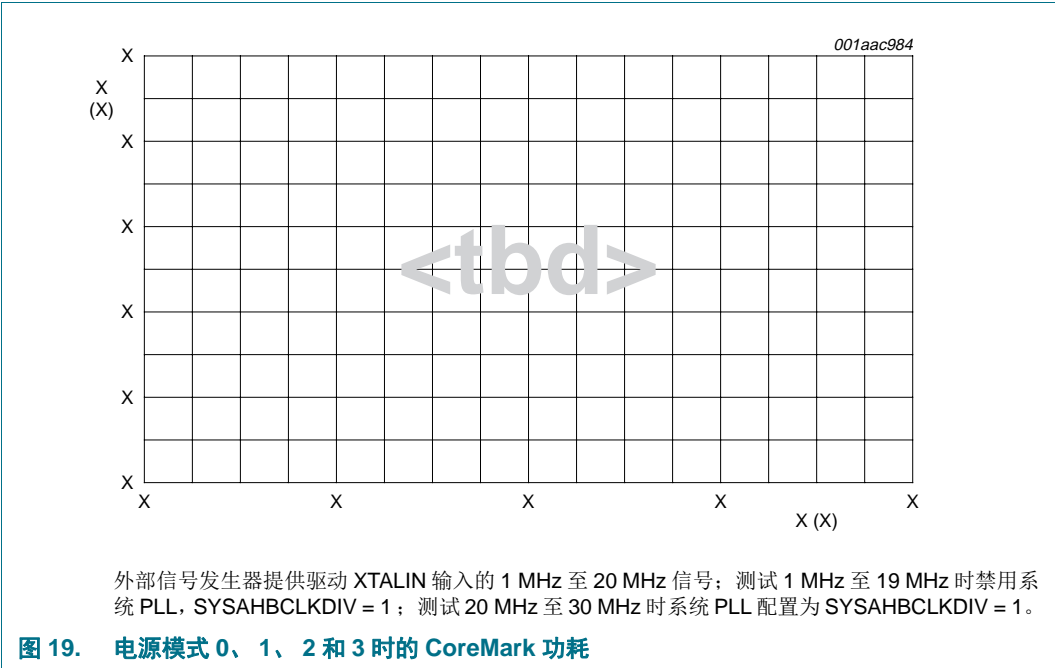
24 MHz: IRC 启用; PLL 启用。

图 15. 睡眠模式：不同系统时钟频率下的典型电源电流 I_{DD} 与温度的关系





11.2 CoreMark 数据



11.3 外设功耗

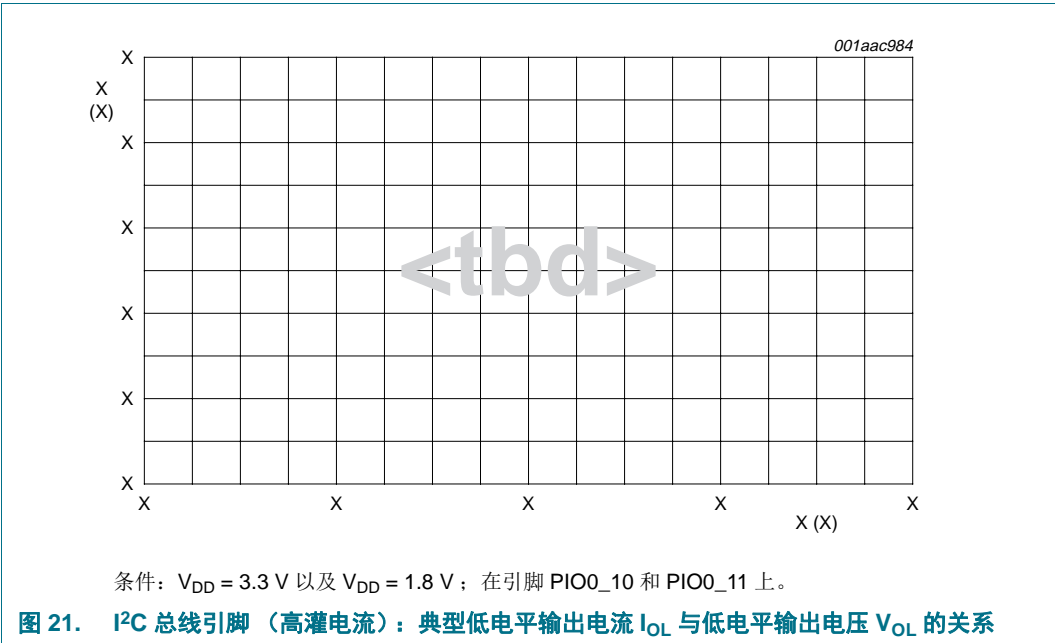
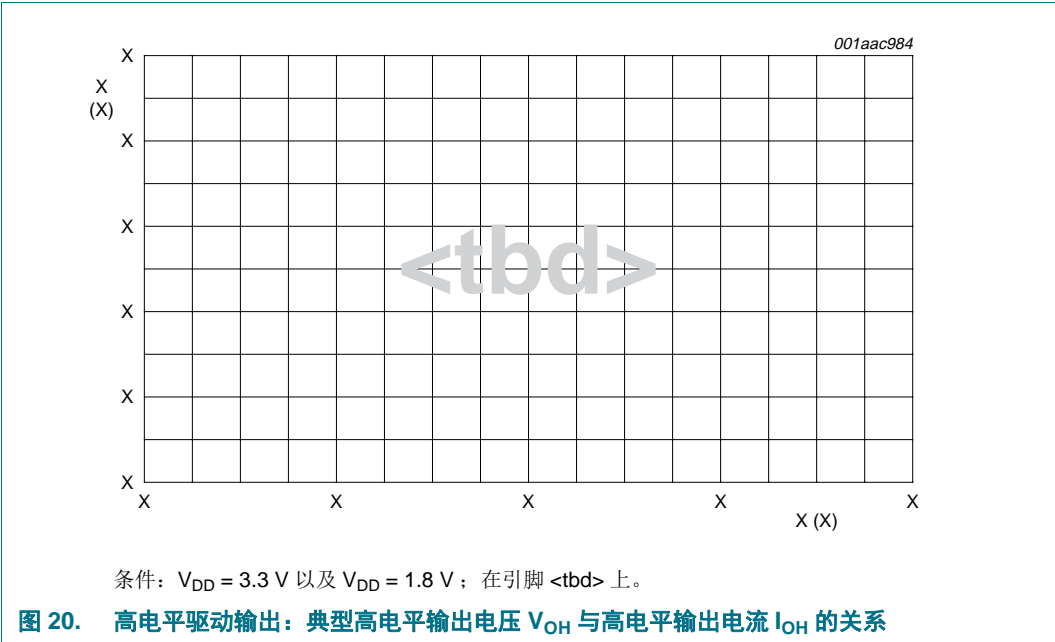
每个外设的电源电流测量值为外设模块启用和禁用时电源电流的差值；通过寄存器 SYSAHBCLKCFG 和 PDRUNCFG（用于模拟模块）进行设置。其它模块均在这两个寄存器中禁用，并且不执行代码。采用典型样本，在 T_{amb} = 25 °C 下测量。除非另有说明，否则系统振荡器和 PLL 均在测量时运行。

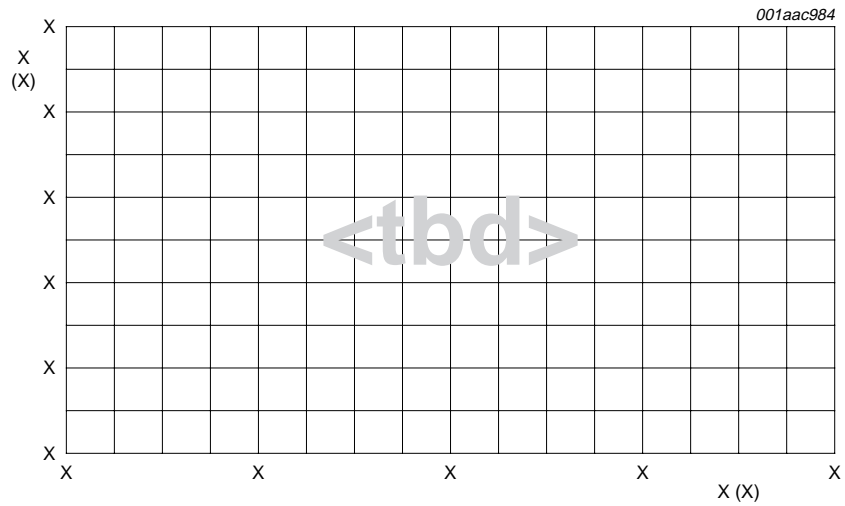
表中所列电源电流针对的是 12 MHz 和 30 MHz 的系统时钟频率。

表 11. 各个模拟和数字模块的功耗

外设	典型电源电流单位为 mA			备注
	n/a	12 MHz	30 MHz	
IRC	0.21	-	-	系统振荡器启用； PLL 禁用；不受主时钟频率影响。
系统振荡器：12 MHz	0.28	-	-	IRC 启用； PLL 禁用；不受主时钟频率影响。
看门狗振荡器：500 kHz/2	0.002	-	-	系统振荡器启用； PLL 禁用；不受主时钟频率影响。
BOD	0.05	-	-	不受主时钟频率影响。
Main PLL	-	0.31	-	-
CLKOUT	-	0.06	0.09	主时钟在 CLKOUTDIV 寄存器中 4 分频。
ROM	-	0.08	0.19	-
I2C	-	0.06	0.15	-
GPIO + 引脚中断 / 模式匹配	-	0.09	0.23	GPIO 引脚配置为输出，并设置为低电平。如果 GPIO 在 SYSAHBCLKCFG 寄存器中禁用，则保持方向和引脚状态。
SWM	-	0.03	0.07	-
SCT	-	0.17	0.42	-
WKT	-	0.01	0.03	-
MRT	-	0.09	0.21	-
SPI0	-	0.05	0.13	-
SPI1	-	0.06	0.14	-
CRC	-	0.03	0.07	-
USART0	-	0.04	0.10	-
USART1	-	0.04	0.11	-
USART2	-	0.04	0.10	-
WWDT	-	0.04	0.10	选作 WDT 时钟源的主时钟。
IOCON	-	0.03	0.08	-
Comparator	-	0.04	0.09	-

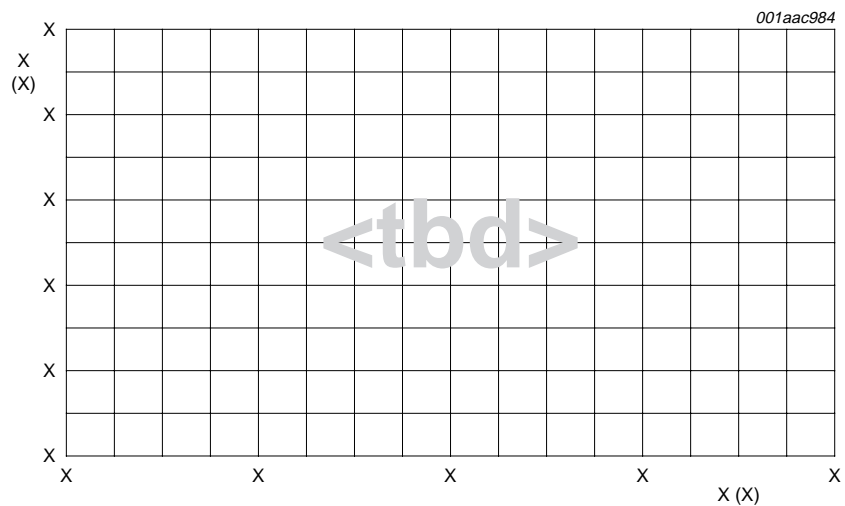
11.4 引脚电气特性





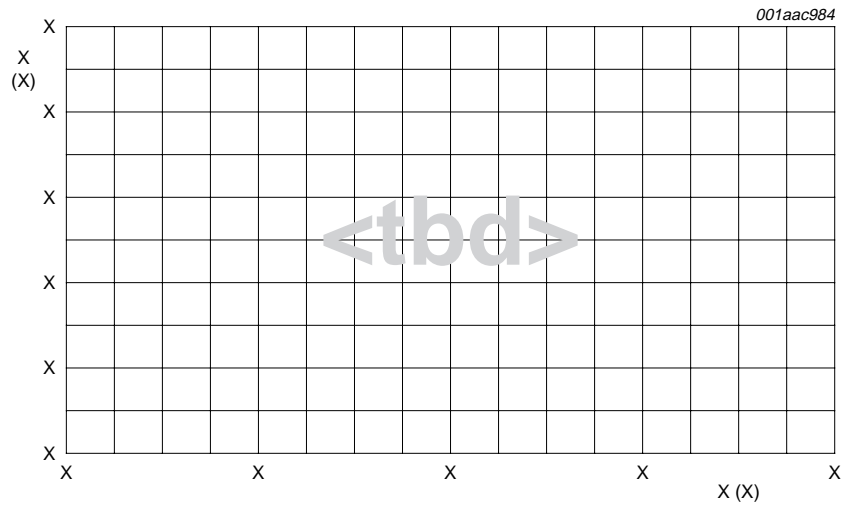
条件: $V_{DD} = 3.3\text{ V}$ 以及 $V_{DD} = 1.8\text{ V}$; 标准端口引脚和 `<tbdr>`。

图 22. 典型低电平输出电流 I_{OL} 与低电平输出电压 V_{OL} 的关系



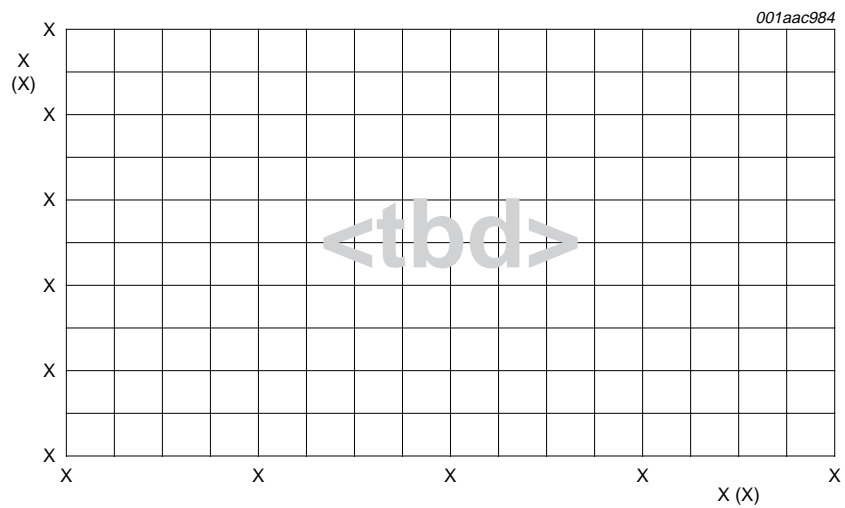
条件: $V_{DD} = 3.3\text{ V}$ 以及 $V_{DD} = 1.8\text{ V}$; 标准端口引脚。

图 23. 典型高电平输出电压 V_{OH} 与高电平输出源电流 I_{OH} 的关系



条件: $V_{DD} = 3.3\text{ V}$ 以及 $V_{DD} = 1.8\text{ V}$; 标准端口引脚。

图 24. 典型上拉电流 I_{pu} 与输入电压 V_I 的关系



条件: $V_{DD} = 3.3\text{ V}$ 以及 $V_{DD} = 1.8\text{ V}$; 标准端口引脚。

图 25. 典型下拉电流 I_{pd} 与输入电压 V_I 的关系

12. 动态特性

12.1 上电斜坡条件

<tbd>

12.2 闪存

表 12. 闪存特性

T_{amb} = -40 °C 至 +85 °C。基于 JEDEC NVM 认证。器件故障率 < 10 ppm，如下所示。

符号	参数	条件	最小值	典型值	最大值	单位
N _{endu}	耐受性		[2][4] 10000	100000	-	周期
t _{ret}	保留时间	上电	[2] 10	20	-	年
		未上电	[2] 20	40	-	年
t _{er}	擦除时间	扇区或多个连续扇区	[2] 95	100	105	ms
t _{prog}	编程时间		[2][3] 0.95	1	1.05	ms

- [1] 程序数 / 擦除周期。
- [2] 最小值和最大值仅对 T_{amb} = -40 °C 至 +85 °C 有效。
- [3] 将 <tbd> 字节写入闪存的编程时间给定。T_{amb} < +85 °C。数据必须以 256 字节一组，写入闪存。通过调用 IAP 实现闪存编程（参见 *LPC800 用户手册*）。IAP 调用的执行时间取决于系统时钟，通常为每 256 字节 1.5 至 2 ms。

12.3 从机模式和 CLKIN 的振荡器外部时钟

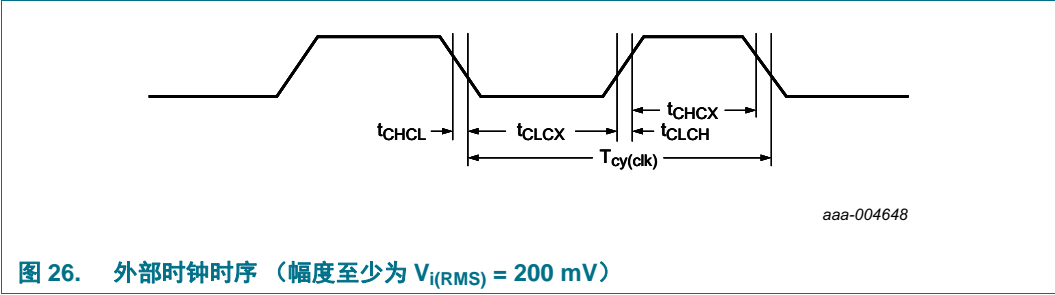
注：XTAL1/2 引脚上的输入电压必须为 ≤ 1.95 V（参见表 10）。要将振荡器连接至 XTAL 引脚，可参见章节 14.1。

表 13. 动态特性：外部时钟（XTALIN 或 CLKIN 输入）

T_{amb} = -40 °C 至 +85 °C；V_{DD} 在指定的范围内。[1]

符号	参数	条件	最小值	典型值 [2]	最大值	单位
f _{osc}	振荡器频率		1	-	25	MHz
T _{cy(clk)}	时钟周期时间		40	-	1000	ns
t _{CHCX}	时钟高电平时间		T _{cy(clk)} × 0.4	-	-	ns
t _{CLCX}	时钟低电平时间		T _{cy(clk)} × 0.4	-	-	ns
t _{CLCH}	时钟上升时间		-	-	5	ns
t _{CHCL}	时钟下降时间		-	-	5	ns

- [1] 除非另有说明，否则参数在工作温度范围内有效。
- [2] 不能保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。



12.4 内部振荡器

表 14. 动态特性：内部振荡器
 $T_{amb} = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ ； $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。 [1]

符号	参数	条件	最小值	典型值 [2]	最大值	单位
$f_{osc(RC)}$	内部 RC 振荡器频率	-	11.88	12	12.12	MHz

- [1] 除非另有说明，否则参数在工作温度范围内有效。
[2] 不能保证得到典型额定值。上表列出的值是在室温 (25°C)、标称的电源电压下测得的。

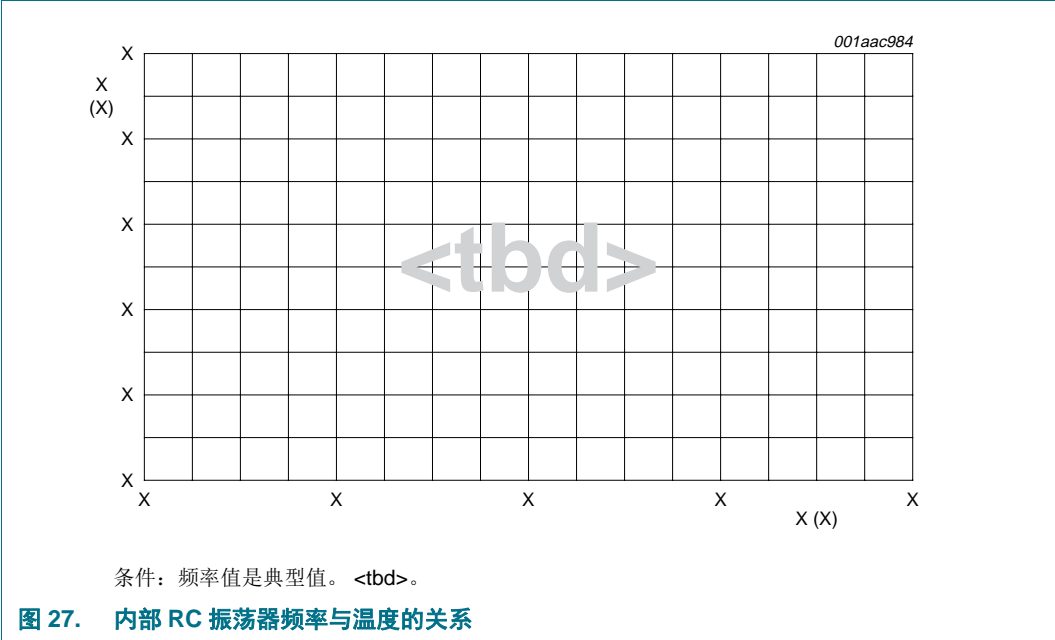


表 15. 动态特性：看门狗振荡器

符号	参数	条件	最小值	典型值	最大值	单位
				[1]		
f _{osc(int)}	内部振荡器频率	在 WDTOSCCTRL 寄存器中：DIVSEL = 0x1F, FREQSEL = 0x1 ;	[2][3] -	9.4	-	kHz
		在 WDTOSCCTRL 寄存器中：DIVSEL = 0x00, FREQSEL = 0xF	[2][3] -	2300	-	kHz

- [1] 不能保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。
- [2] 处理过程中，在温度 (T_{amb} = -40 °C 至 +85 °C) 范围内的频率扩散为 ±40 %。
- [3] 参见 *LPC800 用户手册*。

表 16. 动态特性：低功耗振荡器

符号	参数	条件	最小值	典型值	最大值	单位
				[1]		
f _{osc(int)}	内部振荡器频率		[2][3] -	9.4	-	kHz

- [1] 不能保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。
- [2] 处理过程中，在温度 (T_{amb} = -40 °C 至 +85 °C) 范围内的频率扩散为 ±40 %。
- [3] 参见 *LPC800 用户手册*。

12.5 I/O 引脚

表 17. 动态特性：I/O 引脚 [\[1\]](#)

T_{amb} = -40 °C 至 +85 °C ; 3.0 V ≤ V_{DD} ≤ 3.6 V。

符号	参数	条件	最小值	典型值	最大值	单位
t _r	上升时间	引脚配置为输出	3.0	-	5.0	ns
t _f	下降时间	引脚配置为输出	2.5	-	5.0	ns

- [1] 适用于标准端口引脚和 RESET 引脚。

12.6 I²C 总线

表 18. 动态特性：I²C 总线引脚 [1]
 $T_{amb} = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 。 [2]

符号	参数	条件	最小值	最大值	单位
f _{SCL}	SCL 时钟频率	标准模式	0	100	kHz
		快速模式	0	400	kHz
		超快速模式；位于 PIO0_10 和 PIO0_11 引脚上	0	1	MHz
t _f	下降时间	[4][5][6][7] SDA 和 SCL 信号	-	300	ns
		标准模式			
		快速模式	20 + 0.1 × C _b	300	ns
t _{LOW}	SCL 时钟的低电平周期	超快速模式；位于 PIO0_10 和 PIO0_11 引脚上	-	120	ns
		标准模式	4.7	-	μs
		快速模式	1.3	-	μs
t _{HIGH}	SCL 时钟的高电平周期	超快速模式；位于 PIO0_10 和 PIO0_11 引脚上	0.5	-	μs
		标准模式	4.0	-	μs
		快速模式	0.6	-	μs
t _{HD;DAT}	数据保持时间	[3][4][8] 超快速模式；位于 PIO0_10 和 PIO0_11 引脚上	0.26	-	μs
		标准模式	0	-	μs
		快速模式	0	-	μs
t _{SU;DAT}	数据建立时间	[9][10] 超快速模式；位于 PIO0_10 和 PIO0_11 引脚上	0	-	μs
		标准模式	250	-	ns
		快速模式	100	-	ns
		超快速模式；位于 PIO0_10 和 PIO0_11 引脚上	50	-	ns
		标准模式			
		快速模式			

[1] 详情请参见 I²C 总线规范 *UM10204*。

[2] 除非另有说明，否则参数在工作温度范围内有效。

[3] t_{HD;DAT} 是根据 SCL 的下降沿测量得出的数据保持时间；适用于数据传输和确认。

[4] 对于 SDA 信号，器件的内部必须能够提供至少 300 ns 的保持时间（关于 SCL 信号的 V_{IH(min)}），以便桥接 SCL 下降沿的未定义区域。

[5] C_b = 一条总线的总电容（以 pF 为单位）。

[6] SDA 和 SCL 总线的最大 t_f 被指定为 300 ns。SDA 输出阶段的最大下降时间 t_f 被指定为 250 ns。这将使得串联保护电阻能够在 SDA 和 SCL 引脚与 SDA/SCL 总线之间进行连接，而不会超出指定的最大 t_f。

[7] 在超快速模式中，为输出阶段和总线时序指定的下降时间相同。如果使用串联电阻，那么设计者在考虑总线时序时应考虑及这种情况。

[8] 标准模式和快速模式的最大 t_{HD;DAT} 可以分别为 3.45 μs 和 0.9 μs，但必须小于按跃迁时间计算的 t_{VD;DAT} 或 t_{VD;ACK} 的最大值（参见 *UM10204*）。只有在器件没有延长 SCL 信号的低电平周期 (t_{LOW}) 时，才必须满足该最大值。如果时钟延长了 SCL，则在建立时间之前，数据必须一直有效，然后才能释放时钟。

- [9] $t_{\text{SU;DAT}}$ 是根据 SCL 的上升沿测得的数据建立时间；适用于数据传输和确认。
- [10] 快速模式 I²C 总线器件可在标准模式 I²C 总线系统中使用，但必须满足 $t_{\text{SU;DAT}} = 250 \text{ ns}$ 这一要求。如果器件没有延长 SCL 信号的低电平周期，则会自动默认为这种情况。如果此类器件没有延长 SCL 信号的低电平周期，则它必须将下一个数据位输出到 SDA 线 $t_{\text{r(max)}} + t_{\text{SU;DAT}} = 1000 + 250 = 1250 \text{ ns}$ （根据标准模式 I²C 总线规格），然后才能释放 SCL 线。此外，确认时序也必须满足该建立时间。

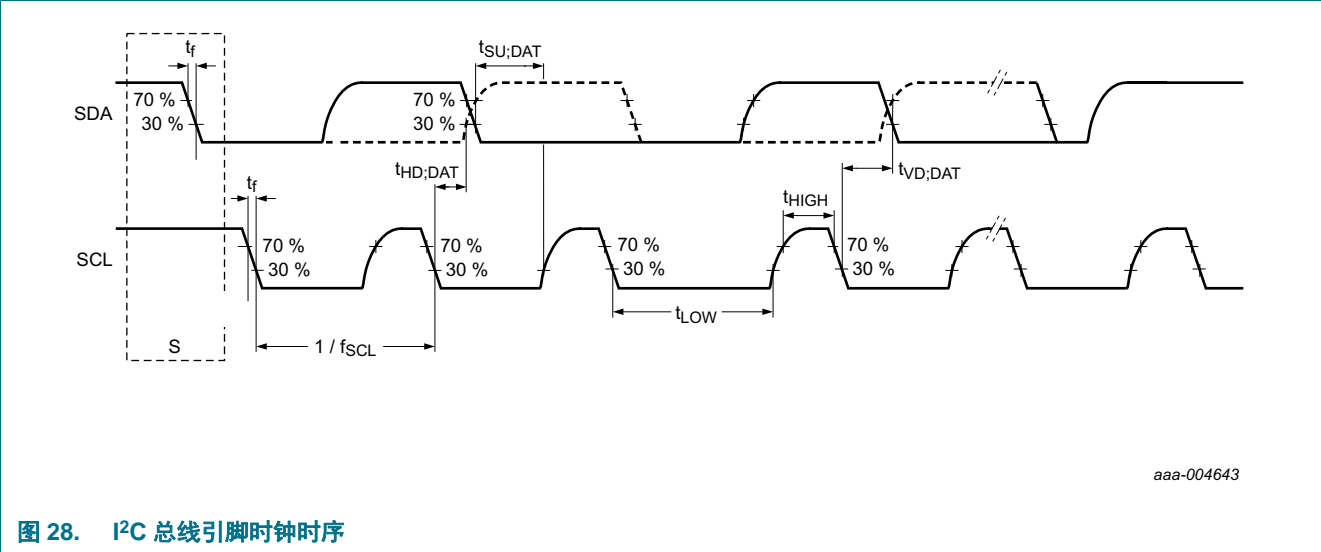


图 28. I²C 总线引脚时钟时序

12.7 SPI 接口

主机模式和从机模式下的最大数据比特率分别为 30 Mbit/s 和 25 Mbit/s。

注：SPI 功能可分配给所有数字引脚。特性适用于除开漏引脚 PIO0_10 和 PIO0_11 外的所有数字引脚。

表 19. SPI 引脚的动态特性
 $T_{\text{amb}} = -40 \text{ }^{\circ}\text{C}$ 至 $85 \text{ }^{\circ}\text{C}$; $C_L = \text{<tbid>}$; $1.8 \text{ V} \leq V_{\text{DD}} \leq 3.6 \text{ V}$ 。仿真参数，通过设计保证参数值。

符号	参数	条件	最小值	典型值	最大值	单位
SPI 主机（SPI 模式下）						
$T_{\text{cy}(\text{clk})}$	时钟周期时间	全双工模式	[1]	-	-	ns
		仅当发送时	[1]	-	-	ns
t_{DS}	数据建立时间	SPI 模式下	<tbid>	-	-	ns
		$2.4 \text{ V} \leq V_{\text{DD}} \leq 3.6 \text{ V}$	<tbid>	-	-	ns
		$2.0 \text{ V} \leq V_{\text{DD}} < 2.4 \text{ V}$	<tbid>	-	-	ns
t_{DH}	数据保持时间	SPI 模式下	<tbid>	-	-	ns
		$2.4 \text{ V} \leq V_{\text{DD}} \leq 3.6 \text{ V}$	<tbid>	-	-	ns
		$2.0 \text{ V} \leq V_{\text{DD}} < 2.4 \text{ V}$	<tbid>	-	-	ns
$t_{\text{V}(\text{Q})}$	数据输出有效时间	SPI 模式下	-	-	<tbid>	ns
$t_{\text{h}(\text{Q})}$	数据输出保持时间	SPI 模式下	<tbid>	-	-	ns
SPI 从机（SPI 模式下）						
$T_{\text{cy}(\text{PCLK})}$	PCLK 周期时间		<tbid>	-	-	ns
t_{DS}	数据建立时间	SPI 模式下	[2]	-	-	ns
		$2.4 \text{ V} \leq V_{\text{DD}} \leq 3.6 \text{ V}$	<tbid>	-	-	ns
t_{DH}	数据保持时间	SPI 模式下	[2]	-	-	ns
		$2.0 \text{ V} \leq V_{\text{DD}} < 2.4 \text{ V}$	<tbid>	-	-	ns

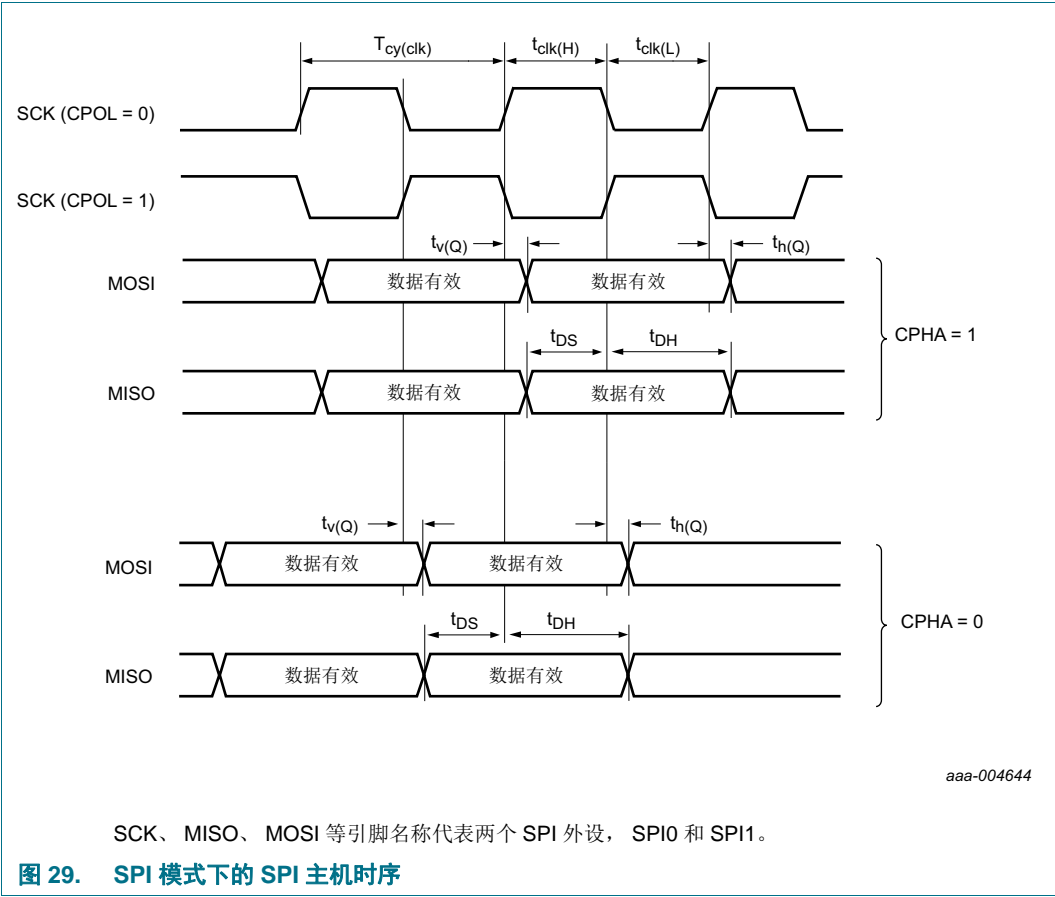
表 19. SPI 引脚的动态特性 (续)

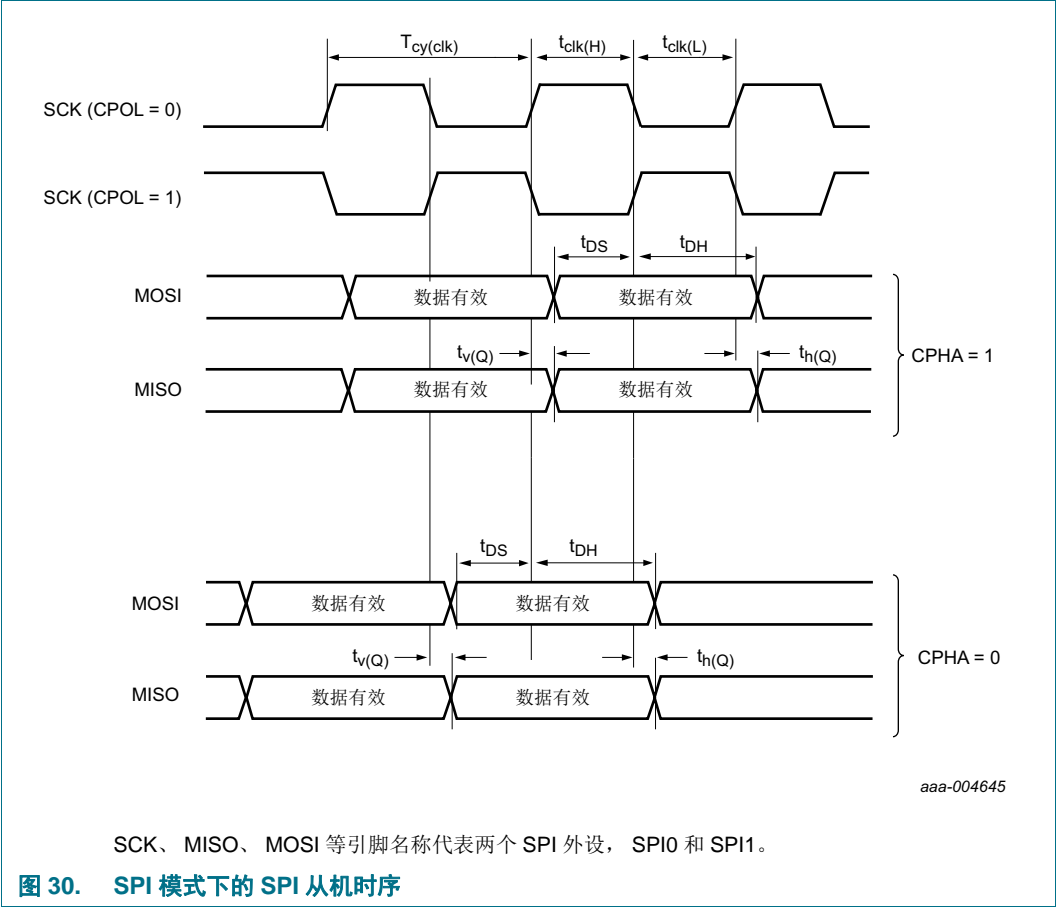
$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $85\text{ }^{\circ}\text{C}$; $C_L = \text{<tbid>}$; $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。仿真参数, 通过设计保证参数值。

符号	参数	条件	最小值	典型值	最大值	单位
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$	<tbid>	-	-	ns
$t_{v(Q)}$	数据输出有效时间	SPI 模式下	[2]	-	<tbid>	ns
$t_{h(Q)}$	数据输出保持时间	SPI 模式下	[2]	-	<tbid>	ns

[1] $T_{cy(\text{clk})} = \text{<tbid>}$ 。

[2] $T_{cy(\text{clk})} = 12 \times T_{cy(\text{PCLK})}$ 。





12.8 USART 接口

异步模式和同步模式下的最大 USART 比特率分别为 1.875 Mbit/s 和 10 Mbit/s（主机和从机模式）。

注：USART 功能可分配给所有数字引脚。特性适用于除开漏引脚 PIO0_10 和 PIO0_11 外的所有数字引脚。

表 20. 动态特性：同步主机模式下的 USART 接口

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $85\text{ }^{\circ}\text{C}$ ； $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ ； $C_L = <tb> \text{ pF}$ 。仿真值。

符号	参数	条件	最小值	典型值	最大值	单位
$T_{cy}(clk)$	时钟周期时间	位于 Ux_SCLK 引脚上	-	<tb>	-	μs
输出						
$t_{V(Q)}$	数据输出有效时间	位于 Ux_TXD 引脚上	-	<tb>	-	ns

13. 模拟特性

13.1 BOD

表 21. BOD 静态特性 [1]
 $T_{amb} = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
V_{th}	阈值电压	中断等级 1				
		有效	<tbd>	<tbd>	<tbd>	V
		失效	<tbd>	<tbd>	<tbd>	V
		中断等级 2				
		有效	<tbd>	<tbd>	<tbd>	V
		失效	<tbd>	<tbd>	<tbd>	V
		中断等级 3				
		有效	<tbd>	<tbd>	<tbd>	V
		失效	<tbd>	<tbd>	<tbd>	V
		复位等级 0				
		有效	<tbd>	<tbd>	<tbd>	V
		失效	<tbd>	<tbd>	<tbd>	V
		复位等级 1				
		有效	<tbd>	<tbd>	<tbd>	V
		失效	<tbd>	<tbd>	<tbd>	V
		复位等级 2				
		有效	<tbd>	<tbd>	<tbd>	V
		失效	<tbd>	<tbd>	<tbd>	V
		复位等级 3				
		有效	<tbd>	<tbd>	<tbd>	V
		失效	<tbd>	<tbd>	<tbd>	V

[1] 通过将电平值写入 BOD 控制寄存器 BODCTRL，选择中断电平。

13.2 POR

表 22. POR 静态特性
 $T_{amb} = 25^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
V_{th}		V_{DD} 上升 <tbd>				
		V_{DD} 下降 <tbd>	-	<tbd>	-	V

13.3 比较器

表 23. 比较器特性

除非另有说明，否则 $V_{DD(3V3)} = 3.0\text{ V}$ 和 $T_{amb} = 25\text{ }^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
静态特性						
I _{DD}	电源电流		-	55	-	μA
V _{IC}	共模输入电压		0	-	V _{DD}	V
DV _O	输出电压变化		0	-	V _{DD}	V
V _{offset}	偏置电压	V _{IC} = 0.1 V	-	1.8	-	mV
		V _{IC} = 1.5 V	-	2.0	-	mV
		V _{IC} = 2.8 V	-	1.8	-	mV
动态特性						
t _{startup}	启动时间	额定过程	-	4	-	μs
t _{PD}	传播延迟	高电平至低电平； V _{DD(3V3)} = 3.0 V ； V _{IC} = 0.1 V ； 50 mV 过驱输入	[1]	117	140	ns
		V _{IC} = 0.1 V ； 轨到轨输入	[1]	161	250	ns
		V _{IC} = 1.5 V ； 50 mV 过驱输入	[1]	101	130	ns
		V _{IC} = 1.5 V ； 轨到轨输入	[1]	104	160	ns
		V _{IC} = 2.9 V ； 50 mV 过驱输入	[1]	127	170	ns
		V _{IC} = 2.9 V ； 轨到轨输入	[1]	104	100	ns
		t _{PD}	传播延迟	低电平至高电平； V _{DD(3V3)} = 3.0 V ； V _{IC} = 0.1 V ； 50 mV 过驱输入	[1]	232
V _{IC} = 0.1 V ； 轨到轨输入	[1]			56	80	ns
V _{IC} = 1.5 V ； 50 mV 过驱输入	[1]			187	230	ns
V _{IC} = 1.5 V 轨到轨输入	[1]			144	200	ns
V _{IC} = 2.9 V ； 50 mV 过驱输入	[1]			190	240	ns
V _{IC} = 2.9 V 轨到轨输入	[1]			243	550	ns
V _{hys}	迟滞电压			正迟滞； V _{DD(3V3)} = 3.0 V ； V _{IC} = 1.5 V	[2]	6, 11, 21
V _{hys}	迟滞电压	负迟滞； V _{DD(3V3)} = 3.0 V ； V _{IC} = 1.5 V	[2]	5, 9, 19	-	mV
R _{Iad}	阶梯电阻	-	-	1.034	-	MΩ

[1] $C_L = 10\text{ pF}$ ；采用工艺边界处的硅芯片样本，在全温度范围（ $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$ ）下测得。

[2] 输入迟滞与基准电压源输入通道有关，并且可通过软件编程为三个电平。

表 24. 比较器电压阶梯动态特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{s(pu)}$	上电建立时间	根据 99% 电压阶梯 输出值	[1]	-	<tb>	μs
$t_{s(sw)}$	开关建立时间	根据 99% 电压阶梯 输出值	[1][2]	-	<tb>	μs

[1] 最大值为仿真最差情况时采用的数值（ $V_{DD} = 2.6\text{ V}$ ； $T_{amb} = 85\text{ }^{\circ}\text{C}$ ；慢速处理模型）。

[2] 建立时间适用于在比较器通道 <tb> 间切换。

表 25. 比较器电压阶梯参考静态特性

$V_{DD(3V3)} = 3.3\text{ V}$; $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值	最大值[1]	单位
$E_{V(O)}$	输出电压误差	内部 $V_{DD(3V3)}$ 电源				
		十进制代码 = 00	[2] -	0	0	%
		十进制代码 = 08	-	0	± 0.4	%
		十进制代码 = 16	-	-0.2	± 0.2	%
		十进制代码 = 24	-	-0.2	± 0.2	%
		十进制代码 = 30	-	-0.1	± 0.1	%
		十进制代码 = 31	-	-0.1	± 0.1	%
$E_{V(O)}$	输出电压误差	外部 V_{DDCMP} 电源				
		十进制代码 = 00	-	0	0	%
		十进制代码 = 08	-	-0.1	± 0.5	%
		十进制代码 = 16	-	-0.2	± 0.4	%
		十进制代码 = 24	-	-0.2	± 0.3	%
		十进制代码 = 30	-	-0.2	± 0.2	%
		十进制代码 = 31	-	-0.1	± 0.1	%

[1] 以 2 kHz 输入信号和 < 100 μV 的过驱测量 <td>。

[2] 除比较器、温度传感器和 IRC 外的所有外设均禁用。

14. 应用信息

14.1 XTAL 输入

施加到片内振荡器的输入电压最高为 1.8 V。如果振荡器采用从机模式下的时钟驱动，则建议采用 $C_i = 100\text{ pF}$ 的电容器对输入进行耦合。为将输入电压限制在额定范围内，选择一个额外电容器对 C_g 接地，便可使输入电压以系数 $C_i/(C_i + C_g)$ 进行衰减。从机模式下，至少需要 200 mV(RMS)。

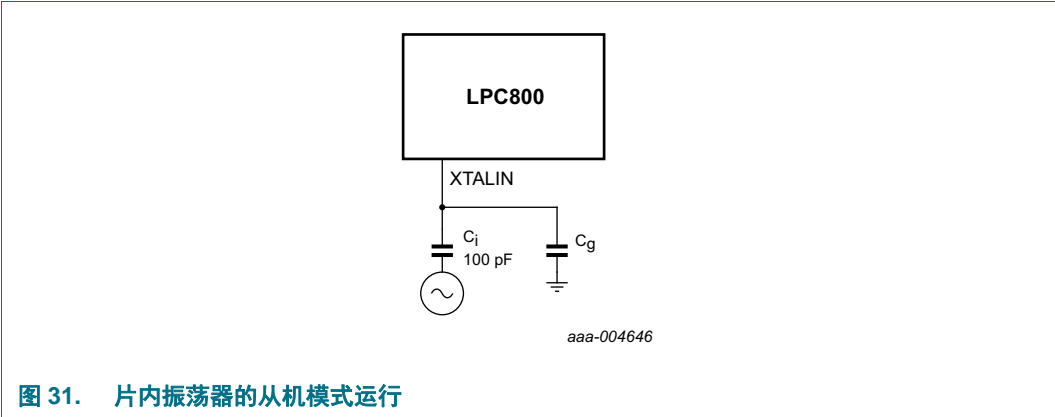


图 31. 片内振荡器的从机模式运行

从机模式下的输入时钟信号应通过 100 pF 电容耦合（图 31），使其幅度范围为 200 mV (RMS) 至 1000 mV (RMS)。这便相当于一个信号摆幅为 280 mV 至 1.4 V 的方波信号。此配置下的 XTALOUT 引脚可不连接。

振荡模式下所使用的外部元件和模型显示在图 32 中，以及表 26 和表 27 中。由于反馈电阻集成在芯片上，在基础模式振荡下（基础频率由 L 和 R_S 表示），只需外部连接晶体和电容 C_{X1} 和 C_{X2} 。电容 C_P （如图 32 所示）表示并联封装电容，它不得大于 7 pF。参数 F_{OSC} 、 C_L 、 R_S 和 C_P 均由晶体制造商提供（参见表 26）。

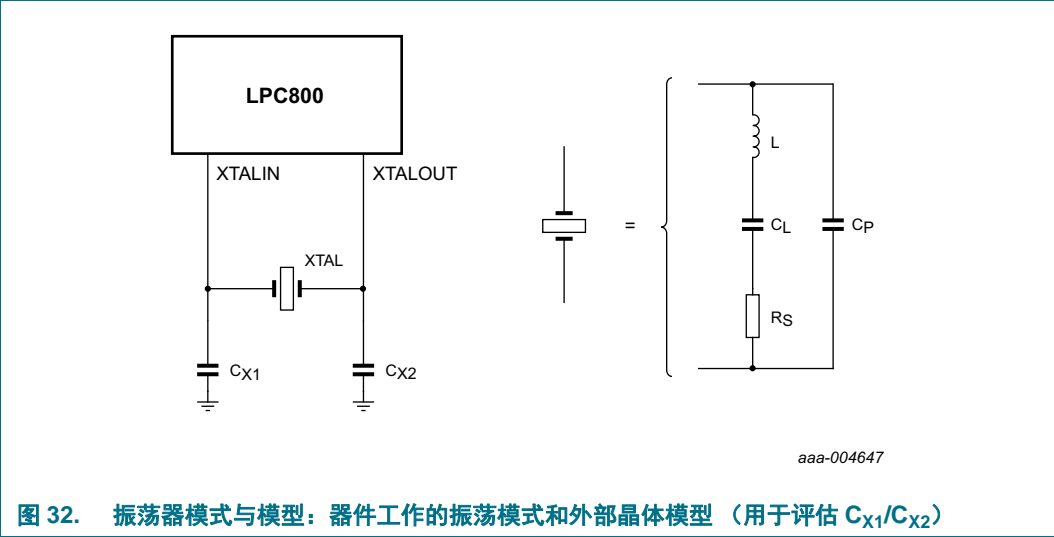


图 32. 振荡器模式与模型：器件工作的振荡模式和外部晶体模型（用于评估 C_{X1}/C_{X2} ）

表 26. 振荡模式（晶体和外部元件参数）低频模式下 C_{X1}/C_{X2} 推荐值

基础振荡频率 F_{OSC}	晶体负载电容 C_L	最大晶体串联电阻 R_S	外部负载电容 C_{X1}, C_{X2}
1 MHz - 5 MHz	10 pF	< 300 Ω	18 pF、18 pF
	20 pF	< 300 Ω	39 pF、39 pF
	30 pF	< 300 Ω	57 pF、57 pF
5 MHz - 10 MHz	10 pF	< 300 Ω	18 pF、18 pF
	20 pF	< 200 Ω	39 pF、39 pF
	30 pF	< 100 Ω	57 pF、57 pF
10 MHz - 15 MHz	10 pF	< 160 Ω	18 pF、18 pF
	20 pF	< 60 Ω	39 pF、39 pF
15 MHz - 20 MHz	10 pF	< 80 Ω	18 pF、18 pF

表 27. 振荡模式（晶体和外部元件参数）高频模式下 C_{X1}/C_{X2} 推荐值

基础振荡频率 F_{OSC}	晶体负载电容 C_L	最大晶体串联电阻 R_S	外部负载电容 C_{X1}, C_{X2}
15 MHz - 20 MHz	10 pF	< 180 Ω	18 pF、18 pF
	20 pF	< 100 Ω	39 pF、39 pF
20 MHz - 25 MHz	10 pF	< 160 Ω	18 pF、18 pF
	20 pF	< 80 Ω	39 pF、39 pF

14.2 XTAL 印刷电路板 (PCB) 布局指南

晶体应在尽可能靠近芯片的振荡器输入和输出引脚的 PCB 上进行连接。请注意，如果使用第三个谐波晶体，则负载电容 C_{X1} 、 C_{X2} 和 C_{X3} 具有一个公共的接地层。外部元件也必须连接到该接地层。循环必须尽可能的小，以使通过 PCB 进行耦合时所产生的噪音尽可能的小。此外，寄生现象也应保持尽可能的小。应根据 PCB 布局中的寄生现象增量，选择较小的 C_{X1} 和 C_{X2} 值。

14.3 电磁兼容性 (EMC)

LPC800 根据 IEC61967-2 标准，采用 TEM-cell 方法测得的辐射量参见表 28。

表 28. LPC800 的电磁兼容性 (EMC)（采用 TEM-cell 方法测量）

$V_{DD} = 3.3\text{ V}$; $T_{amb} = 25\text{ }^{\circ}\text{C}$ 。

参数	频段	系统时钟 =			单位
		12 MHz	24 MHz	48 MHz	
输入时钟：IRC (12 MHz)					
最大峰值电平	150 kHz 至 30 MHz	<td>	<td>	<td>	dBμV
	30 MHz 至 150 MHz	<td>	<td>	<td>	dBμV
	150 MHz 至 1 GHz	<td>	<td>	<td>	dBμV
IEC 电平 [1]	-	<td>	<td>	<td>	-
输入时钟：晶体振荡器 (12 MHz)					
最大峰值电平	150 kHz 至 30 MHz	<td>	<td>	<td>	dBμV
	30 MHz 至 150 MHz	<td>	<td>	<td>	dBμV
	150 MHz 至 1 GHz	<td>	<td>	<td>	dBμV
IEC 电平 [1]	-	<td>	<td>	<td>	-

[1] IEC 电平参见 IEC61967-2 规范中的附录 D。

15. 封装尺寸

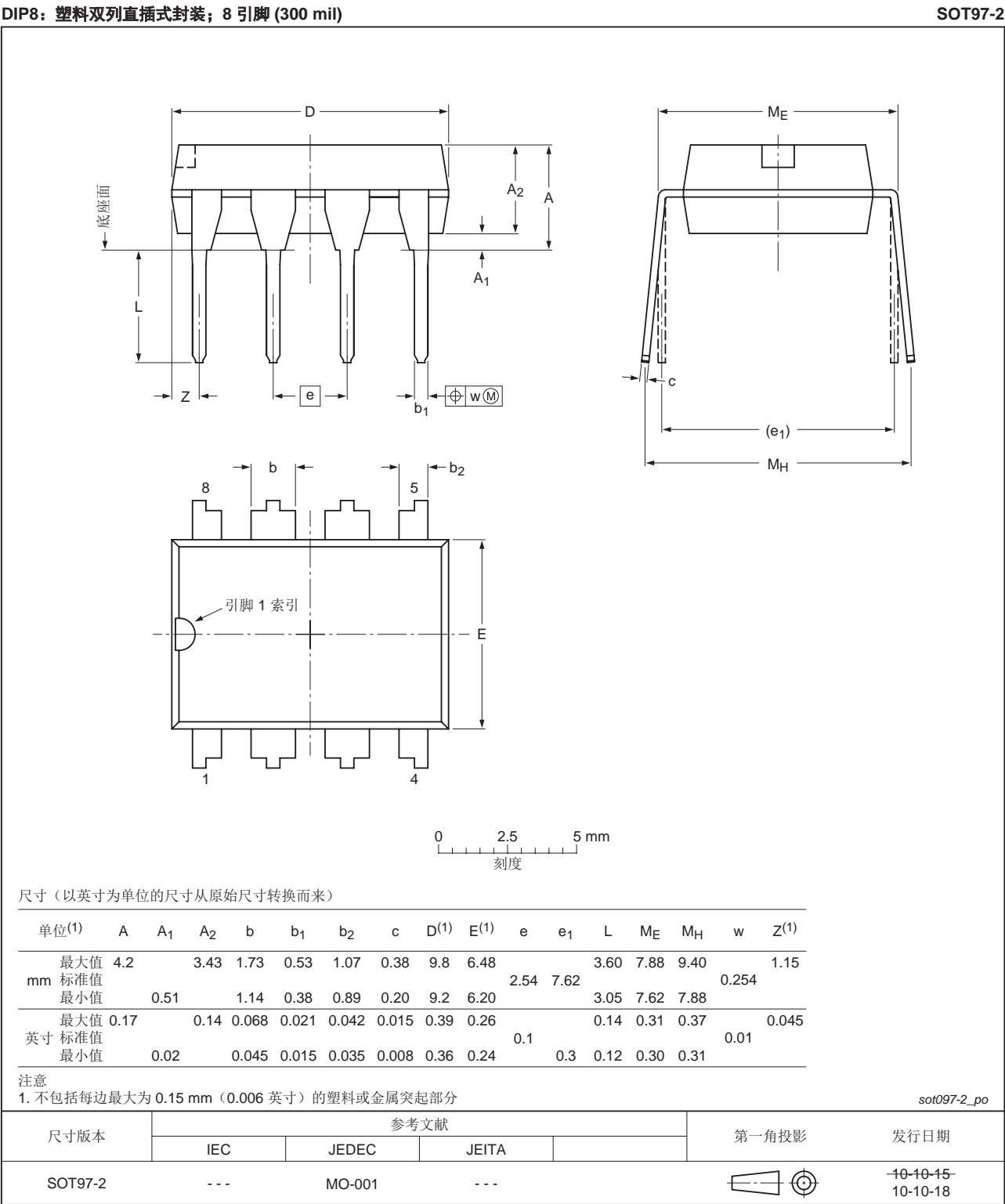


图 33. SOT97-2 (DIP8) 封 6.0 pt 装尺寸

TSSOP16：塑料减薄紧缩小型封装；16 引脚；体宽 4.4 mm

SOT403-1

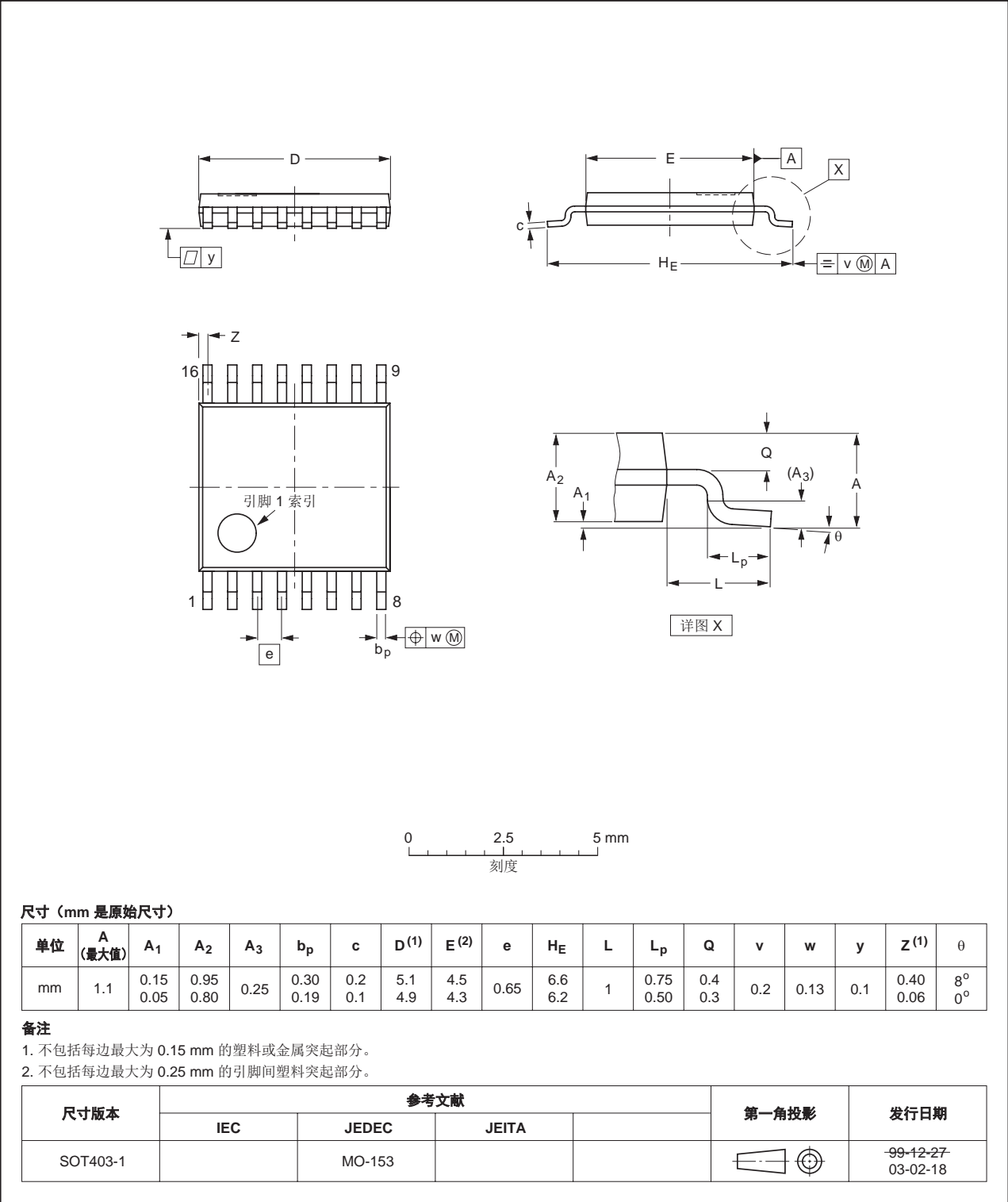


图 34. SOT403-1 (TSSOP16) 封装尺寸

SO20：塑料小型封装；20 引脚；体宽 7.5 mm

SOT163-1

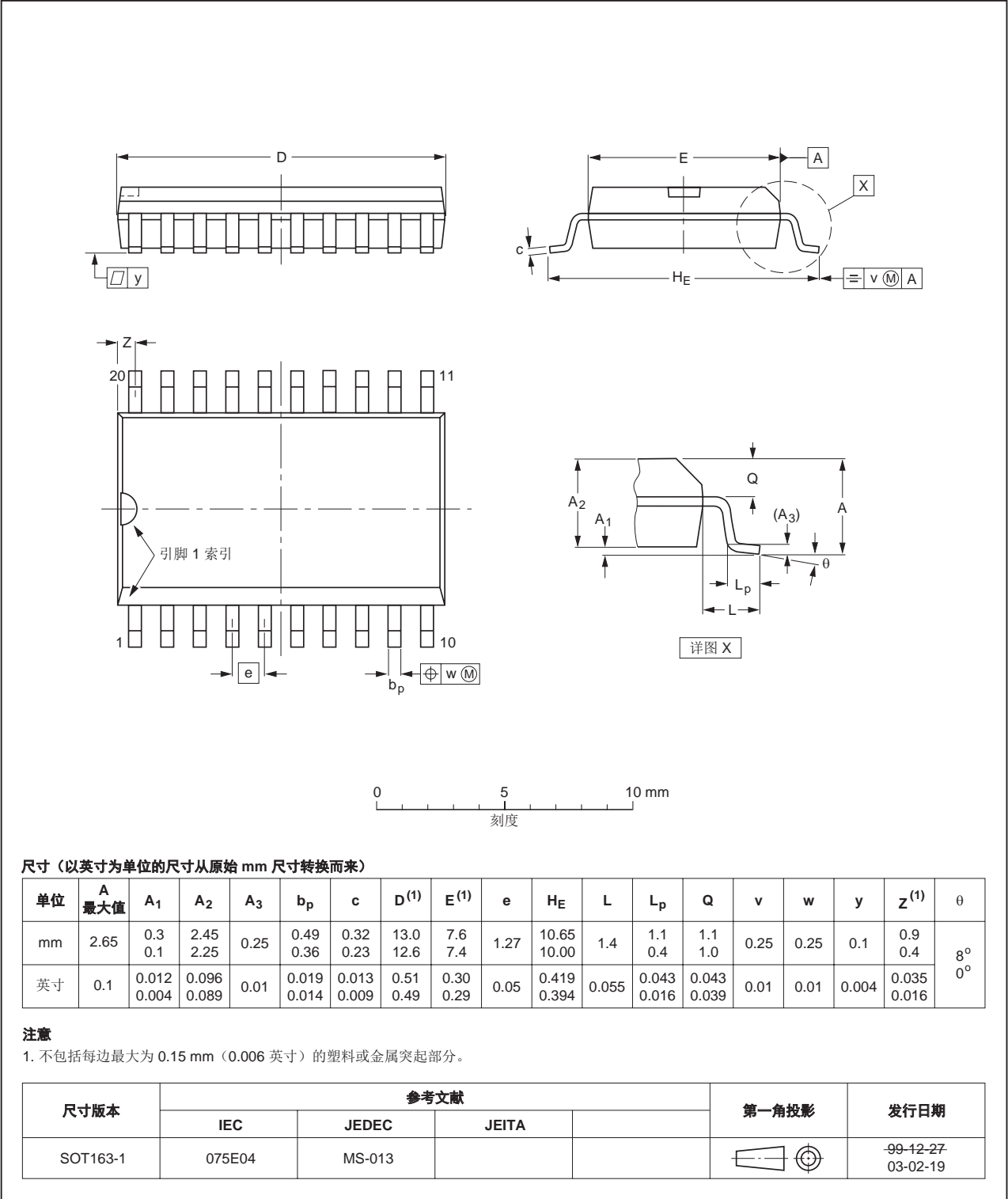


图 35. SOT163-1 (SO20) 封装尺寸

TSSOP20：塑料减薄紧缩小型封装；20 引脚；体宽 4.4 mm

SOT360-1

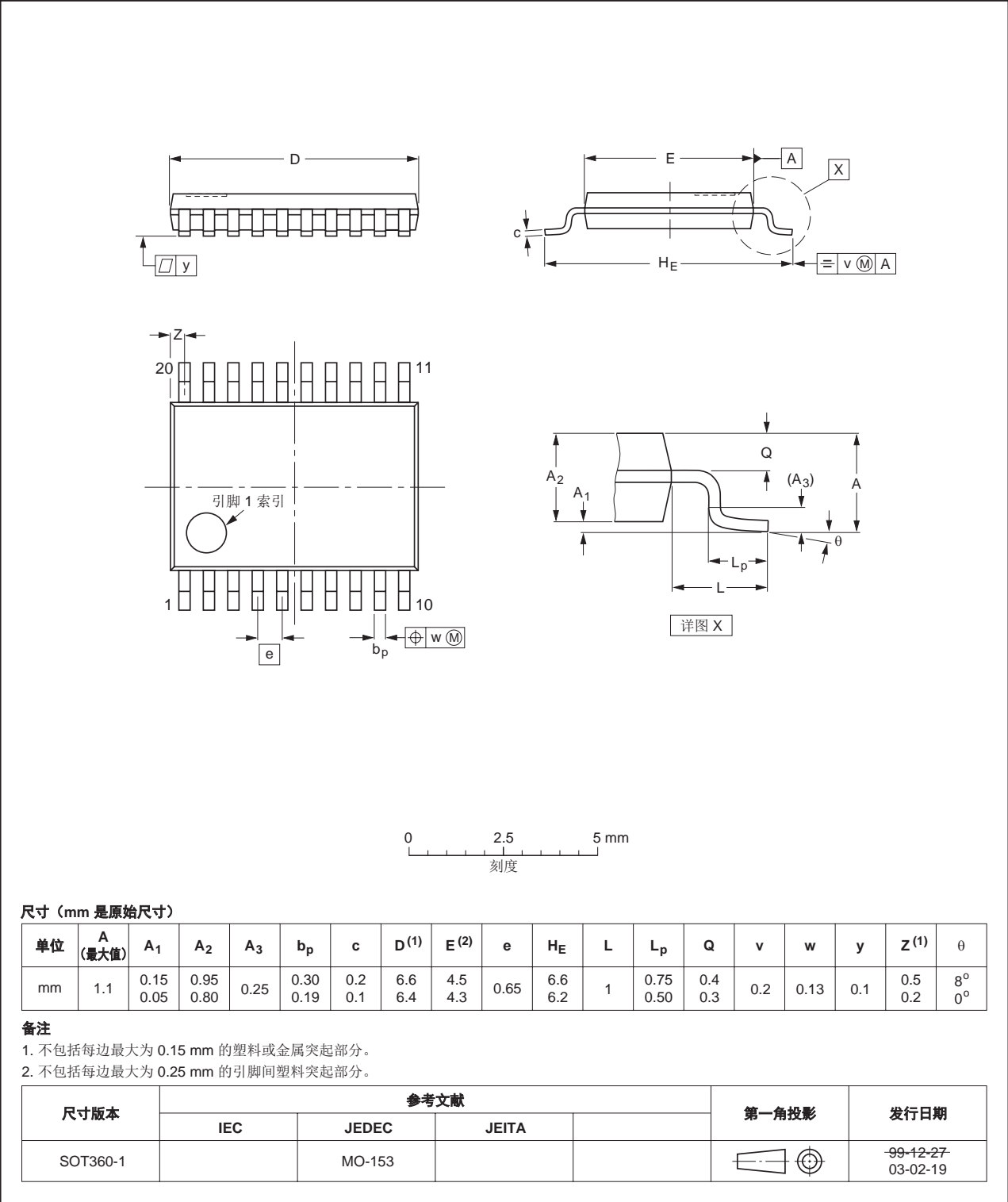


图 36. SOT360-1 (TSSOP20) 封装尺寸

16. 焊接

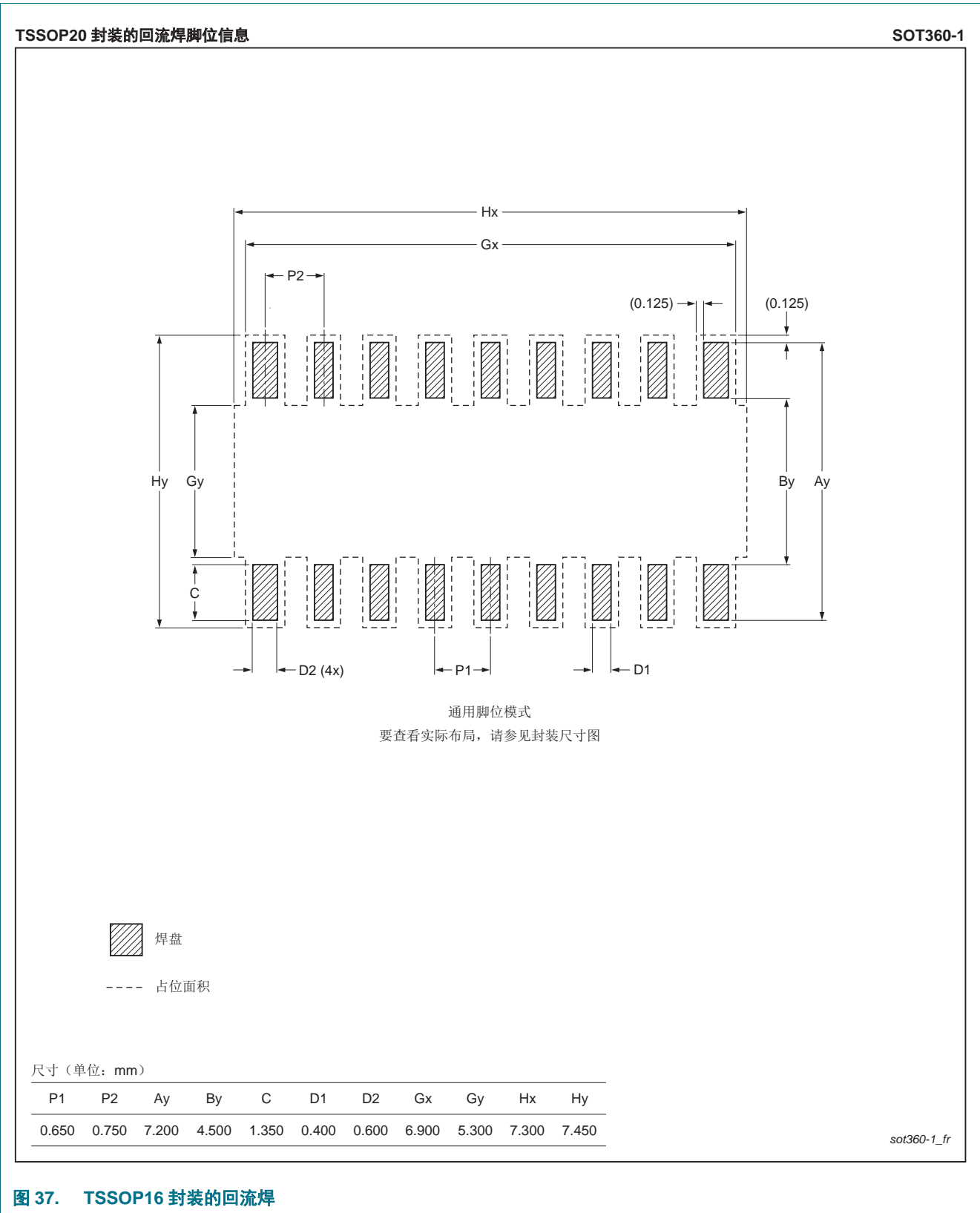
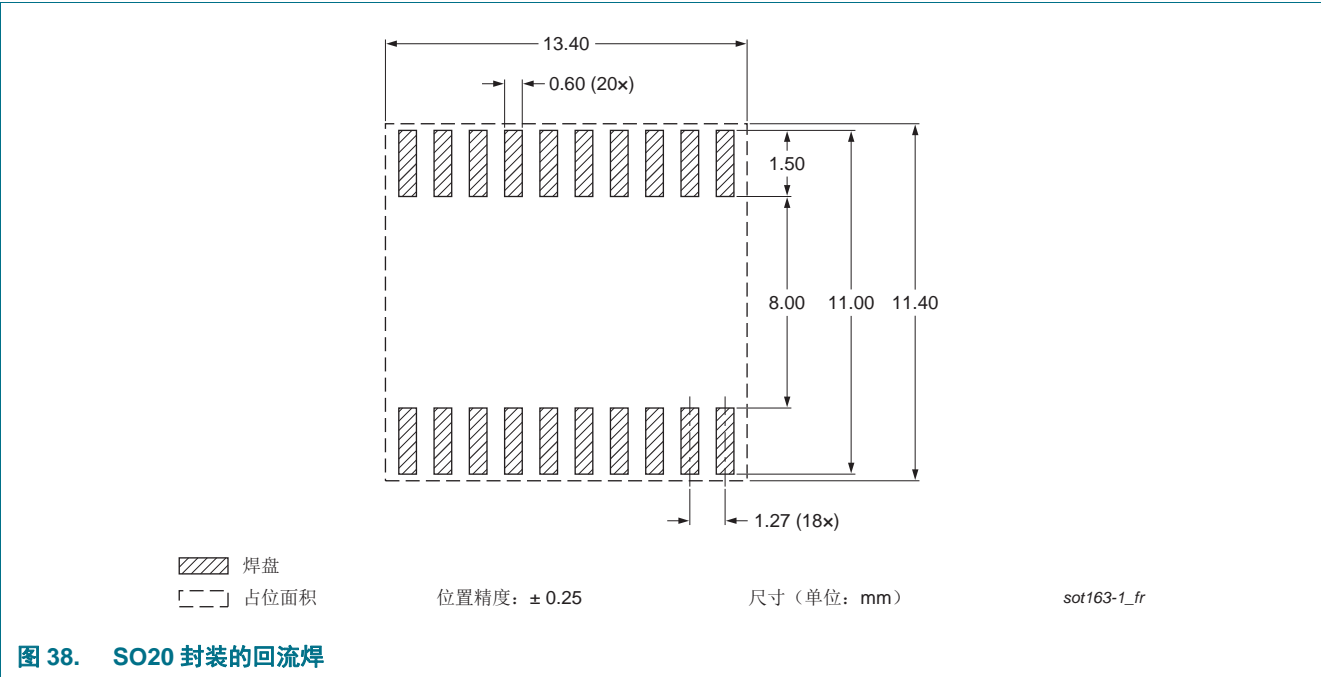
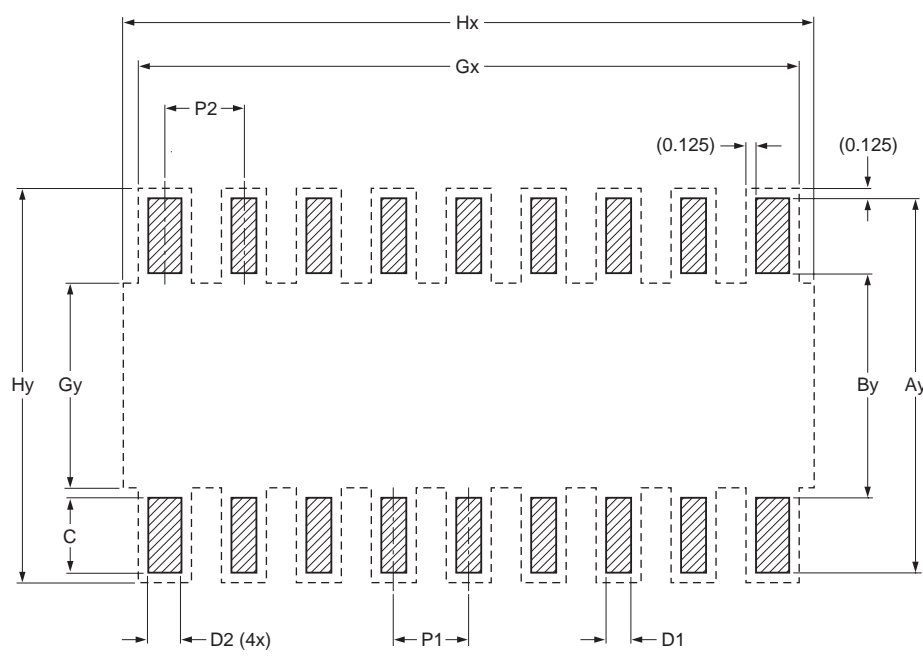


图 37. TSSOP16 封装的回流焊





TSSOP20 封装的回流焊脚位信息

SOT360-1



通用脚位模式
要查看实际布局，请参见封装尺寸图

 焊盘
 占位面积

尺寸（单位：mm）

P1	P2	Ay	By	C	D1	D2	Gx	Gy	Hx	Hy
0.650	0.750	7.200	4.500	1.350	0.400	0.600	6.900	5.300	7.300	7.450

sot360-1_fr

图 39. TSSOP20 封装的回流焊

17. 缩略词

表 29. 缩略词

首字母缩略词	说明
AHB	高级高性能总线
APB	高级外设总线
BOD	掉电检测
GPIO	通用输入 / 输出
PLL	锁相环
RC	电阻 - 电容
SPI	串行外设接口
SMBus	系统管理总线
TEM	横向电磁
UART	通用异步收发器

18. 参考文献

[1] I2C 总线规范 UM10204。

19. 修订记录

表 30. 修订记录

文档 ID	发布日期	数据手册状态	更改说明	取代版本
LPC81XM v.2	20130128	客观数据手册	-	LPC81XM v.1
变更内容：				
<ul style="list-style-type: none">• 图 6 中 MTB 存储器空间更改为 1 kB。• 表 10 中新增了电气引脚特性。• 新增了 图 11 “将 SWD 引脚连接到标准 SWD 连接器”。• 表 11 中新增了外设功耗。• 表 7 有所更新。• MRT 实施更改为 31 位定时器。• 新增了有源和睡眠模式下 IRC 的功耗数据。参见图 13 至 图 15。• 表 10 中校正了有源和睡眠模式下用于 12 MHz 低功耗模式的功耗（参数 IDD）。• 表 10 中新增了有源和睡眠模式下用于 24 MHz 低功耗模式的功耗（参数 IDD）。• 同步模式下的最大 USART 速度更改为 10 Mbit/s。• 新增了章节 5 “标识”。				
LPC81XM v.1	20121112	客观数据手册	-	-

20. 法律信息

21. 数据手册状态

文件状态 ^{[1][2]}	产品状态 ^[3]	定义
客观 [缩略版] 数据手册	开发	该文档包含产品开发客观规范的数据。
初始 [缩略版] 数据手册	验证	该文档含有初始规范的数据。
产品 [缩略版] 数据手册	产量	该文档含有产品规范。

请在开始或完成设计之前查看发布的最新文档。

有关《缩略版数据手册》的说明，请参见“定义”部分。

自本文件发布以来，文件中的器件产品状态可能已发生变化；如果存在多个器件，则可能存在差异。欲了解最新产品状态信息，请访问 <http://www.nxp.com>。

21.1 定义

初稿

本文仅为初稿版本。内容仍在内部审查，尚未正式批准，可能会有进一步修改或补充。恩智浦半导体对本文信息的准确性或完整性不做任何说明或保证，并对因使用此信息而导致的后果不承担任何责任。

缩略版数据手册

缩略版数据手册为产品型号和标题完全相同的完全版数据手册的节选。缩略版数据手册仅供快速参考使用，不包括详细和完整的信息。欲了解详细、完整的信息，请查看相关的完整版数据手册，可向当地的恩智浦半导体销售办事处索取。如完整版与缩略版存在任何不一致或冲突，请以完整版为准。

产品规格

产品数据手册中提供的信息和数据规定了恩智浦半导体与其客户之间约定的产品规格，恩智浦半导体及客户另行书面说明时除外。在任何情况下，若协议认为恩智浦半导体产品需要具有超出产品数据手册规定的功能和质量，则该协议无效。

21.2 免责声明

有限担保与责任

本文中的信息据信是准确和可靠的。但是，恩智浦半导体对此处所含信息的准确性或完整性不做任何明示或暗示的说明或保证，并对因使用此信息而导致的后果不承担任何责任。若文中信息并非来自恩智浦半导体，则恩智浦半导体对该信息的内容概不负责。

在任何情况下，对于任何间接、意外、惩罚性、特殊或衍生性损害（包括但不限于利润损失、积蓄损失、业务中断、因拆卸或更换任何产品而产生的开支或返工费用），无论此等损害是否基于侵权行为（包括过失）、担保、违约或任何其他法理，恩智浦半导体均不承担任何责任。

对于因任何原因给客户带来的任何损害，恩智浦半导体对本文所述产品的总计责任和累积责任仅限于恩智浦商业销售条款和条件所规定的范围。

修改权利

恩智浦半导体保留对本文所发布的信息（包括但不限于规格和产品说明）随时进行修改的权利，恕不另行通知。本文件将取代并替换之前就此提供的所有信息。

适宜使用

恩智浦半导体产品并非设计、授权或担保适合用于生命保障、生命关键或安全关键系统或设备，亦非设计、授权或担保适合用于在恩智浦半导体产品失效或故障时可导致人员受伤、死亡或严重财产或环境损害的应用。恩智浦半导体及其供应商对在此类设备或应用中加入和 / 或使用恩智浦半导体产品不承担任何责任，客户需自行承担因加入和 / 或使用恩智浦半导体产品而带来的风险。

应用

本文件所载任何产品的应用只用于例证目的。此类应用如不经进一步测试或修改用于特定用途，恩智浦半导体对其适用性不做任何说明或保证。

客户负责自行利用恩智浦半导体的产品进行设计和应用，对于应用或客户产品设计，恩智浦半导体无义务提供任何协助。客户须自行判断恩智浦半导体的产品是否适用于其应用和设计计划，以及是否适用于其第三方客户的规划应用。客户须提供适当的设计和操作安全保障措施，以降低与应用和产品相关的风险。

对于因客户应用或产品的任何缺陷或故障，或者客户的第三方客户的应用或使用导致的任何故障、损害、开支或问题，恩智浦半导体均不承担任何责任。客户负责对自己基于恩智浦半导体的产品的应用和产品进行所有必要测试，以避免这些应用和产品或者客户的第三方客户的应用或使用存在任何缺陷。恩智浦不承担与此相关的任何责任。

限值

超过一个或多个限值（如 IEC 60134 绝对最大额定值体系所规定）会给器件带来永久性损坏。限值仅为强度额定值，若器件工作于这些条件下或者超过“建议工作条件部分”（若有）或者本文档“特性”部分规定的条件下，则不在担保范围之内。持续或反复超过限值将对器件的质量和可靠性造成永久性、不可逆转的影响。

商业销售条款和条件

除非有效书面单项协议另有规定，恩智浦半导体的产品的销售遵循关于商业销售的一般条款和条件（见 <http://www.nxp.com/profile/terms>）。如果只达成了单项协议，则该协议的条款和条件适用。恩智浦半导体特此明确反对，应用客户就其购买恩智浦半导体的产品而制定的一般条款和条件。

无销售或许可要约

本文件中的任何信息均不得被理解或解释为对承诺开放的销售产品的要约，或者授予、让与或暗示任何版权、专利或其他工业或知识产权的任何许可。

出口管制

本文件以及此处所描述的产品可能受出口法规的管制。出口可能需要事先经主管部门批准。

非汽车应用产品

除非本数据手册明确表示，恩智浦半导体的本特定产品适用于汽车应用，否则，均不适用于汽车应用。未根据汽车测试或应用要求进行验证或测试。对于在汽车器件或应用中包括和 / 或使用非汽车应用产品的行为，恩智浦半导体不承担任何责任。

客户将产品用于设计导入以及符合汽车规范和标准的汽车应用时，客户须 (a) 使用产品但恩智浦半导体不对产品的此等汽车应用、用途和规范作任何担保；并且 (b) 若客户超越恩智浦半导体所提供规格使用汽车应用产品，须自行承担所有风险；并且 (c) 对于因客户设计以及客户超出恩智浦半导体标准担保范围和恩智浦半导体所提供规格使用汽车应用产品而导致的任何责任、损害或产品故障索赔，客户须免除恩智浦半导体的全部责任。

21.3 商标

注意：所有引用的品牌、产品名称、服务名称以及商标均为其各自所有者的资产。

I²C-bus

标志是恩智浦公司的商标。

22. 联系信息

欲了解更多信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：salesaddresses@nxp.com

23. 目录

1	简介	1	8.21.1.1	内部 RC 振荡器 (IRC)	23
2	特性和优势	1	8.21.1.2	晶体振荡器 (SysOsc)	23
3	应用	2	8.21.1.3	内部低功耗振荡器和看门狗振荡器 (WDOsc)	23
4	订购信息	3	8.21.2	时钟输入	23
4.1	订购选项	3	8.21.3	系统 PLL	23
5	标识	4	8.21.4	时钟输出	23
6	功能框图	5	8.21.5	唤醒过程	23
7	引脚配置信息	6	8.21.6	功率控制	24
7.1	引脚配置	6	8.21.6.1	电源配置	24
7.2	引脚说明	8	8.21.6.2	睡眠模式	24
8	功能说明	11	8.21.6.3	深度睡眠模式	24
8.1	ARM Cortex-M0+ 内核	11	8.21.6.4	掉电模式	24
8.2	片内可编程闪存	11	8.21.6.5	深度掉电模式	25
8.3	片内 SRAM	11	8.22	系统控制	25
8.4	片内 ROM	11	8.22.1	复位	25
8.5	可嵌套中断向量控制器 (NVIC)	11	8.22.2	掉电检测	25
8.5.1	功能	11	8.22.3	代码安全 (代码读保护 - CRP)	26
8.5.2	中断源	11	8.22.4	APB 接口	26
8.6	系统节拍定时器	12	8.22.5	AHBLite	26
8.7	存储器映射	12	8.23	仿真和调试	27
8.8	I/O 配置	13	9	限值	28
8.8.1	标准 I/O 焊盘配置	14	10	热特性	29
8.9	开关矩阵 (SWM)	15	11	静态特性	30
8.10	快速通用并行 I/O (GPIO)	15	11.1	功耗	34
8.10.1	功能	16	11.2	CoreMark 数据	37
8.11	引脚中断 / 模式匹配引擎	16	11.3	外设功耗	38
8.11.1	功能	16	11.4	引脚电气特性	39
8.12	USART0/1/2	16	12	动态特性	42
8.12.1	功能	17	12.1	上电斜坡条件	42
8.13	SPI0/1	17	12.2	闪存	42
8.13.1	功能	17	12.3	从机模式和 CLKIN 的振荡器外部时钟	42
8.14	I2C 总线接口	18	12.4	内部振荡器	43
8.14.1	功能	18	12.5	I/O 引脚	44
8.15	状态可配置定时器 (SCT)	18	12.6	I2C 总线	45
8.15.1	功能	18	12.7	SPI 接口	46
8.16	多速率定时器 (MRT)	19	12.8	USART 接口	48
8.16.1	功能	19	13	模拟特性	49
8.17	窗口化看门狗定时器 (WWDT)	19	13.1	BOD	49
8.17.1	功能	19	13.2	POR	49
8.18	自唤醒定时器 (WKT)	19	13.3	比较器	50
8.18.1	特性	20	14	应用信息	51
8.19	SysTick 定时器	20	14.1	XTAL 输入	51
8.20	模拟比较器 (ACMP)	20	14.2	XTAL 印刷电路板 (PCB) 布局指南	52
8.20.1	功能	20	14.3	电磁兼容性 (EMC)	53
8.21	时钟和电源控制	22	15	封装尺寸	54
8.21.1	晶体振荡器和内部振荡器	22	16	焊接	58

注意：关于本文件及相关产品的重要说明详见“法律信息”章节。

© NXP B.V. 2013.

版权所有

欲了解更多信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：salesaddresses@nxp.com

发布日期：2013 年 3 月 7 日

文档号：LPC81xM

17 缩略词 61

18 参考文献 61

19 修订记录 62

20 法律信息 63

21 数据手册状态 63

21.1 定义 63

21.2 免责声明 63

21.3 商标 64

22 联系信息 64

23 目录 65

This translated version is for reference only, and the English version shall prevail in case of any discrepancy between the translated and English versions.

版权所有 2013 恩智浦有限公司 未经许可，禁止转载