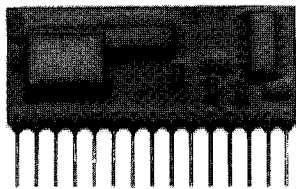


## Single channel decoder • *Decodifica monocanale*

mod. **D1MB**

Monostable and bistable output • *Uscita monostabile e bistabile*

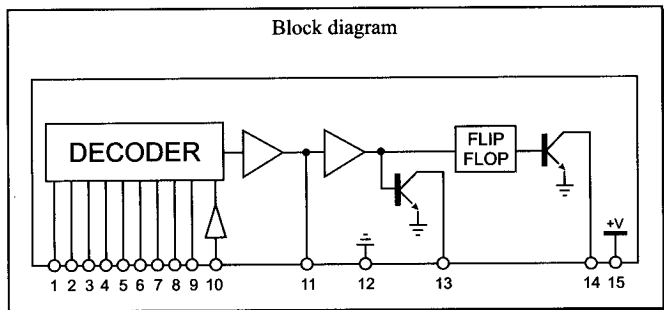


(Scale 1:1)

Single channel decoder with monostable and bistable outputs .  
Ideal complement of any AUR<sup>°</sup>EL data receiver (in case a coded control is requested) .

*Decodifica ad un canale con uscita monostabile e bistabile ideale complemento di tutti i ricevitori dati AUR<sup>°</sup>EL, ove richiesto un comando codificato .*

Block diagram



### Pin-out

- |              |                          |
|--------------|--------------------------|
| 1) Address 1 | 9) Address 9             |
| 2) Address 2 | 10) Data input           |
| 3) Address 3 | 11) RC filter            |
| 4) Address 4 | 12) Ground               |
| 5) Address 5 | 13) Monostable output    |
| 6) Address 6 | 14) Bistable output      |
| 7) Address 7 | 15) Supply : +5V to +15V |
| 8) Address 8 |                          |

## Technical Specification

- \* High-miniaturization SIL thick-film hybrid circuit ;
- \* Decoder : 145028 ;
- \* Encoder clock frequency : 1.7 KHz ;
- \* Parallel programming with 9 bits giving more than 13,000 codes ;
- \* Ability to set monostable low output time after end of valid coded signal ;
- \* Consumption : 1 mA quiescent ;
- \* Monostable output : open collector, 50 mA max ;
- \* Bistable output : open collector, 50 mA max ;
- \* Dipped in resin ;
- \* Custom design available on request ;
- \* Dimensions: 40 x 16.8 x 3.5 mm. Pin pitch 2.54 mm ;

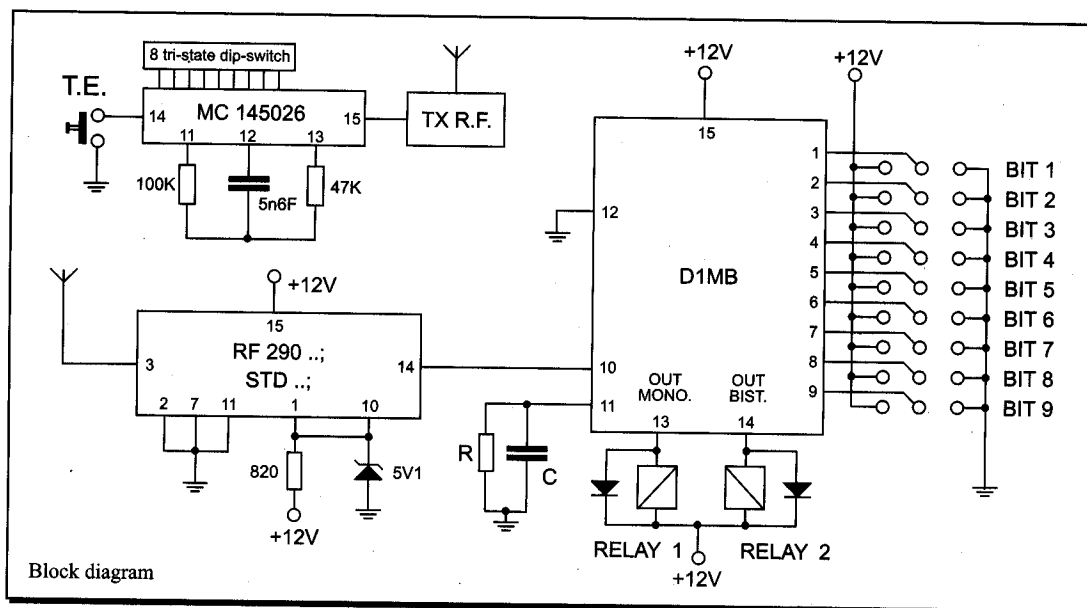
## Caratteristiche Tecniche

- \* Realizzazione in circuito ibrido su allumina ad elevata miniaturizzazione ;
- \* Decodifica : 145028 ;
- \* Frequenza di clock encoder : 1,7 KHz ;
- \* Programmazione parallela a 9 bit con oltre 13000 codici ;
- \* Possibilità di programmare il tempo di validità uscita dopo la scomparsa del segnale riconosciuto ;
- \* Assorbimento in assenza di uscite attive  $\leq 1$  mA ;
- \* Una uscita monostabile "open collector" con corrente  $\leq 50$  mA ;
- \* Una uscita bistabile "open collector" con corrente  $\leq 50$  mA ;
- \* Incapsulato in resina ;
- \* Formato "in line" con dimensioni: 40 x 16,8 x 3,5 mm. Pin passo 2,54 mm ;
- \* Possibilità di versioni "custom" su richiesta ;

\* Application Note available on paper/Internet

\* Nota Applicativa disponibile su carta/Internet

This information may be subject to revision without notice. AUR<sup>°</sup>EL makes no warranty and assumes no liability in connection with any use of this information .  
Variazioni senza preavviso delle presenti informazioni non implicano responsabilità da parte AUR<sup>°</sup>EL. L'acquirente assume ogni responsabilità derivante dall'uso del prodotto.



Address inputs 1 to 8 are tri-state, input 9 is two-state with an internal pull-up.

The RC network on pin 11 determines the time the monostable output remains low after the end of a valid coded signal.

As the monostable output triggers the bistable output, this network confers an extra degree of noise immunity on both outputs. Time delay is approx.  $R \times C$ .

Typical values are  $82K\Omega$  and  $4.7\mu F$ .

Setting  $C=0$ , minimum response time is obtained.

This equals the 145028 decoding time.

Both outputs are open-collector.

On power-up the bistable output is reset to the 'OFF' state.

*I bit da 1 a 8 sono codificati tri-state, il bit 9 è solo On-Off.*

*Il gruppo RC determina il tempo di permanenza del segnale valido in uscita, dopo la scomparsa del segnale in ingresso.*

*$R \gg 20 K\Omega$ ,  $C =$  qualsiasi valore (valore tipico  $R=82K\Omega$  e  $C=4,7\mu F$ ). Tempo di permanenza  $\gg R \times C$ .*

*In presenza di disturbi a radiofrequenza dovuti a commutazioni di potenza, oppure a fenomeni di sganciamento per cattiva propagazione del segnale RF, questo tempo garantisce comunque un'immunità a commutazioni indesiderate.*

*Ponendo  $C=0$  si ha la velocità di risposta massima pari al tempo di decodifica del 145028.*

*Collegare i dispositivi da controllare dal pin 13 (uscita monostabile) e pin 14 (uscita bistabile) al positivo dell'alimentazione.*

*Ogni volta che si alimenta il circuito l'uscita bistabile (TP2) si posiziona a +V.*

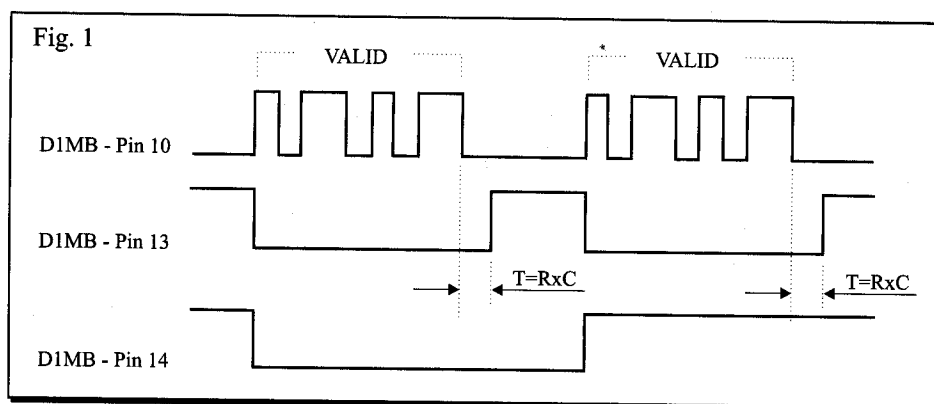


Fig. 1 \_ Timing diagram

Fig. 1 \_ Temporizzazione segnali riferiti alla nota applicativa.