

AN5013K

テレビ電子選局回路／TV Electronic Channel Selection Circuit

■ 概要

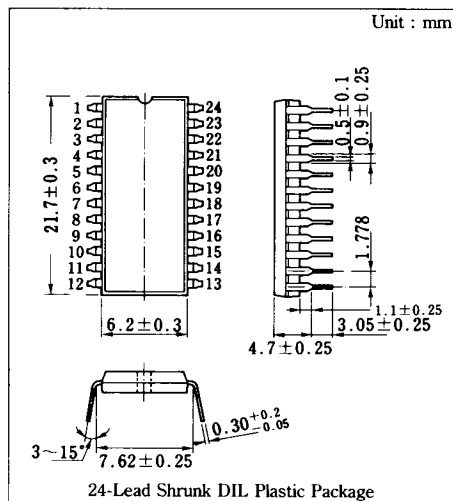
AN5013Kは、プリセットボリューム方式の電子チューナ選局用に設計された半導体集積回路です。

■ 特徴

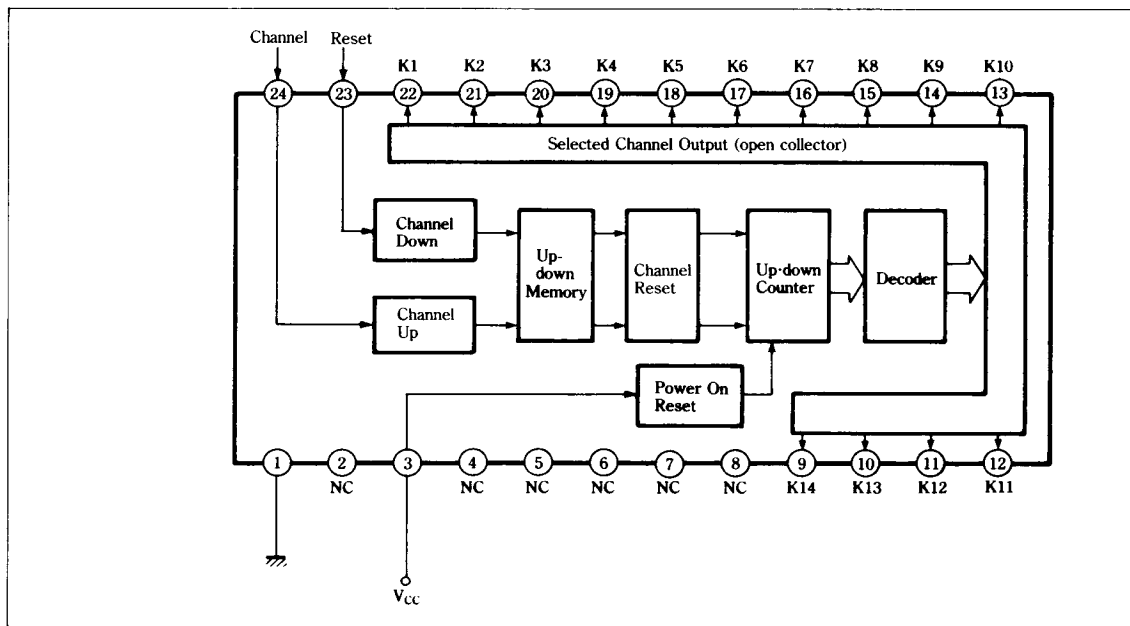
- LED直結可能 ($V_{sat}=75mV$ typ., $I_K=15mA$)
- 14局までの選局動作可能
- 選局出力端子耐圧: 50V
- 低消費電力 ($V_{CC}=5V$, $I_{CC}=13mA$ typ.)

■ Features

- Can drive LED directly ($V_{sat}=75mV$ typ., $I_K=15mA$)
- Capable of tuning 14 channels
- Break down voltage of output terminal : 50V
- Low power consumption ($V_{CC}=5V$, $I_{CC}=13mA$ typ.)



■ ブロック図／Block Diagram



■ 端子名／Pin

Pin No.	端 子 名	Pin Name	Pin No.	端 子 名	Pin Name
1	アース	GND	13	選局出力端子 (K10)	Selection Output (K10)
2	NC	NC	14	選局出力端子 (K9)	Selection Output (K9)
3	電圧 (V _{CC})	Supply Voltage (V _{CC})	15	選局出力端子 (K8)	Selection Output (K8)
4	NC	NC	16	選局出力端子 (K7)	Selection Output (K7)
5	NC	NC	17	選局出力端子 (K6)	Selection Output (K6)
6	NC	NC	18	選局出力端子 (K5)	Selection Output (K5)
7	NC	NC	19	選局出力端子 (K4)	Selection Output (K4)
8	NC	NC	20	選局出力端子 (K3)	Selection Output (K3)
9	選局出力端子 (K14)	Selection Output (K14)	21	選局出力端子 (K2)	Selection Output (K2)
10	選局出力端子 (K13)	Selection Output (K13)	22	選局出力端子 (K1)	Selection Output (K1)
11	選局出力端子 (K12)	Selection Output (K12)	23	チャンネルダウン端子 (CH.D)	Channel Down (Ch.D)
12	選局出力端子 (K11)	Selection Output (K11)	24	チャンネルアップ端子 (CH.U)	Channel Up (Ch.U)

■ 絶対最大定格／Absolute Maximum Ratings (Ta = 25℃)

Item	Symbol	Rating	Unit
電源電圧	V _{CC}	6	V
端子電圧	V _{9~22-1}	0~50	V
	V _{23, 24-1}	0~V _{CC}	V
電源電流	I _{CC}	22	mA
端子電流	I _{9~22}	0~30	mA
許容損失	P _D	150	mW
動作周囲温度	T _{opr}	-20~+70	℃
保存温度	T _{stg}	-55~+150	℃

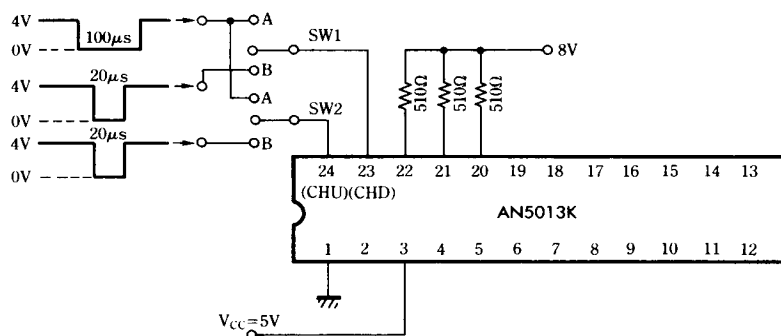
■ 電気的特性／Electrical Characteristics (Ta = 25℃)

Item	Symbol	Test Circuit	Condition	min.	typ.	max.	Unit
電源電流	I _{tot} *		V _{CC} =5V	7.0	13.0	18.0	mA
選局出力飽和電圧	V _{OL(K)} *		V _{CC} =4V I _{OL} =15mA			150	mV
選局出力リーク電流	I _{OH(K)} *		V _{CC} =4V V _{OH} =50V			5	μA
チャンネル UP,DOWN 入力電流	I _{IH(CH)} *		V _{CC} =5V V _{23, 24-1} =4V	50		450	μA
チャンネル UP,DOWN リーク電流	I _{IL(CH)} *		V _{CC} =5V V _{IL} =0V	-5			μA
CH UP/DOWNパルス幅	I ₁	1	V _{CC} =5V			20	μs
イニシャライズ設定パルス幅	I ₂	1	V _{CC} =5V			100	μs

* 試験条件／Test Conditions

Item	Symbol	Test Pin No.	Pin No.																								注
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
電 源 電 流	Itot	I ₃	0V	5V																				5V	5V		
選局出力飽和電圧	V _{OL(K)}	V ₂₂	0V	5V																			3.3kΩ 50V	to ③	to ③	K1ch の場合	
選局出力リーク電流	I _{OH(K)}	I ₂₂	0V	5V																			100kΩ 50V	to .3	to ③	K1ch の場合	
CH U、D入力電流	I _{IH(CH)}	I _{23, 24}	0V	5V																				4V	4V		
CH U、Dリーク電流	I _{IL(CH)}	V _{23, 24-1}	0V	5V																			10kΩ 0V	10kΩ 0V			

Test Circuit 1 (I_1 , I_2)



- ① SW1, SW2がA側が、100 μ sの
パルスでイニシャライズする
(イニシャライズとは、CHU、
CHDが同時にLowとなった
時、出力が1chになること。)
- ② SW1がB側で30 μ sのパルスで
CHD動作すること。
(CHD動作とは、CHDがLow
となった時チャンネルが1
つDownすること。)
- ③ SW2がB側で20 μ sのパルスで
CHU動作する
(CHU動作とは、CHUがLow
となった時チャンネルが1
つUpすること。)

■ 応用回路例／Application Circuit

